



Circuit de pilotage intégré pour transistor de puissance

Duc Ngoc To

► To cite this version:

Duc Ngoc To. Circuit de pilotage intégré pour transistor de puissance. Energie électrique. Université Grenoble Alpes, 2015. Français. NNT : 2015GREAT017 . tel-01179035

HAL Id: tel-01179035

<https://theses.hal.science/tel-01179035>

Submitted on 21 Jul 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Génie Electrique**

Arrêté ministériel : 7 août 2006

Présentée par

Duc Ngoc TO

Thèse dirigée par Yves LEMBEYE et
codirigée par Nicolas ROUGER et Jean-Daniel ARNOULD

préparée au sein du **Laboratoire de Génie Electrique de Grenoble**
et **L'Institut de Microélectronique Electromagnétisme et Photonique** et
le Laboratoire d'Hyperfréquences et de Caractérisation
dans l'**École Doctorale Electronique, Electrotechnique, Automatique &**
Traitement du signal

Circuit de pilotage intégré pour transistor de puissance

Thèse soutenue publiquement le **2 Avril 2015**,

devant le jury composé de :

M. Bruno ALLARD

Professeur à l'INSA de Lyon (AMPERE), Président et Rapporteur

M. François COSTA

Professeur à l'Université Paris XII (SATIE), Rapporteur

M. Ambroise SCHELLMANN

Maître de conférences à Polytech Tours (GREMAN), Examineur

M. Yves LEMBEYE

Professeur à l'UJF Grenoble (G2ELAB), Directeur de thèse

M. Nicolas ROUGER

Chargé de recherche au CNRS (G2ELAB), Co-encadrant

M. Jean-Daniel ARNOULD

Maître de conférences à Phelma (IMEP-LAHC), Co-encadrant



Remerciements

Tout d'abord, je voudrais remercier le Ministère de l'Education Nationale Française qui a financé cette thèse avec laquelle j'ai eu l'occasion de suivre une étude de haute qualité.

Ensuite, j'adresse mes remerciements à tous les membres du jury pour l'intérêt qu'ils ont porté à ce travail, en commençant par le Professeur Bruno ALLARD pour m'avoir fait l'honneur d'être rapporteur et président de jury. Je tiens à remercier également M. François COSTA pour avoir accepté d'être rapporteur de mon travail. Je remercie M. Ambroise SCHELLMANNNS d'avoir examiné ma thèse.

Je remercie sincèrement Monsieur Yves LEMBEYE, Professeur à l'université Joseph Fourier Grenoble, mon directeur de thèse. Je suis très heureux d'avoir eu l'honneur, la chance et le plaisir de travailler avec lui. Tout au long de mes années de thèse, il m'a donné non seulement les conseils scientifiques, mais encore beaucoup d'encouragements.

Je tiens aussi à remercier chaleureusement mon co-encadrant de thèse, Jean-Daniel Arnould, qui m'a toujours été d'une aide précieuse. Ses idées et ses solutions intéressantes ont apporté des améliorations importantes pour mon travail de thèse. Merci Jean-Daniel pour ton état d'esprit, ta disponibilité, ta gentillesse et tes encouragements.

Avec tous mes sentiments, je remercie à Nicolas ROUGER, qui m'avait déjà encadré durant mon stage de Master 2. Je suis très heureux d'avoir eu l'honneur et la chance de travailler avec toi pendant mes cinq ans en France. Je te remercie pour tes qualités scientifiques et aussi humaines, de m'avoir donné un très bon sujet de thèse et de m'avoir mené vers le domaine de la recherche.

Je voudrais adresser mes remerciements à tout le personnel du CIME-Nanotech que j'ai eu l'occasion de côtoyer durant ces trois années de thèse, Alexandre CHAGOYA pour son aide mais aussi pour avoir toujours été présent afin de résoudre mes problèmes sur le logiciel Cadence, Irène PHENG pour s'être occupé de réaliser les bondings quand j'en avais besoin. Je voudrais remercier Nicolas CORRAO pour sa disponibilité et sa gentillesse sur la manip RF de laboratoire IMEP-LAHC.

Je souhaiterais également remercier tous les doctorants et permanents du laboratoire G2Elab et IMEP-LAHC par leur présence, leurs conseils et leur soutien. Merci entre autres à Benoit, Antoine, Gatien, Mounir, Alexis, Guillaume, Johan, Melissa, Mahmoud, Romain,

Olivier, Sellé, Diego, Sokchea, Zaki, Elena, Damian, Mor, Raha, Clément, Léo, Emil, Farshid, Lyubomir, Vincent, Xavier, Davy, Anthony, Vipin.

Je souhaiterais également remercier mes amis Vietnamiens de G2Elab (Trung Son, Le Long, Dinh Quang, Quang Linh, Nhat Hoang, Dinh Binh, Van Linh, Ngoc An, Van Sang, Tuan Anh...), et particulièrement Thanh Trung NGUYEN et Thanh Hai PHUNG pour m'avoir beaucoup aidé non seulement autour de la thèse mais aussi au niveau de ma vie personnelle. Un grand merci à la famille de Thanh Trung LE, aux Manh Quan NGUYEN et Van Tan VU de GIPSA-lab de m'avoir beaucoup aidé pendant la période de fin de ma thèse.

Mes derniers mots iront à mes parents et mon frère, qui ont toujours été à mes côtés et m'ont supporté et soutenu tout au long de ces années d'études en France.

Cám ơn tất cả mọi người đã giúp đỡ để tôi có thể hoàn thành luận văn này !

Grenoble, Avril 2015

Table des matières

<i>Table des matières.....</i>	<i>iii</i>
<i>Introduction générale</i>	<i>1</i>
CHAPITRE I : Interaction et interconnexion des composants de puissance, driver de cellule de commutation.....	6
I.1. Electronique de puissance et le mariage entre la partie commande et la partie de puissance	6
I.2. Problématiques de l'association du driver, du composant de puissance et dans l'environnement de commutation.....	10
I.2.1. Structure du driver et impacts sur les performances de la commutation	10
A. Compromis sur la dynamique de commutation entre les pertes par commutation, la surtension, le sur-courant et la CEM du convertisseur	11
B. Topologies du driver avec contrôle de la dynamique de commutation.....	18
I.2.2. L'interconnexion et l'intégration du circuit de commande et du composant de puissance.....	25
A. Intégration monolithique	27
B. Intégration hybride	30
I.3. L'organe d'isolation galvanique au centre de la gestion de la commutation....	41
I.3.1. L'interface de commutation et de gestion intelligent via l'isolation galvanique.....	41
I.3.2. Possibilité d'une conception couplée plus forte entre commande-puissance	50
I.4. Conclusion.....	59
CHAPITRE II : Conception, modélisation et caractérisation d'un transformateur intégré en technologie CMOS 0.35μm bulk et CMOS 0.18μm SOI.....	64
II.1. Introduction	64
II.2. Conception du transformateur intégré	67
II.2.1. Technologie CMOS H35B4M3	67
II.2.2. Topologie du transformateur	69
II.2.3. Dimensions géométriques du transformateur	70

II.3. Modèle électromagnétique dans HFSS	73
II.4. Modèle électrique équivalent.....	76
II.4.1. Les branches séries	77
II.4.2. Les branches shunts.....	78
II.4.3. Éléments de couplage.....	79
II.5. Caractérisation du transformateur intégré.....	80
II.5.1. Banc de caractérisation et méthode de de-embedding	80
A. Plateforme de caractérisation RF	80
B. Méthode de de-embedding « Open-Short »	81
II.5.2. Résultats expérimentaux.....	83
A. Validation des modèles proposés du transformateur intégré	83
B. Influence du diamètre	92
C. Influence de la forme de l'enroulement	94
D. Influence de la largeur des pistes.....	96
E. Tension de claquage et optimisation de la conception	99
II.5.3. Conception optimale du transformateur intégré pour le circuit de commande	101
A. Figure de mérite de la conception du transformateur intégré.....	103
B. Extrapolation par les paramètres S des gains en tension pour une charge arbitraire.....	105
C. Simulation temporelle du transformateur intégré	107
II.6. Conclusion	109
 CHAPITRE III : Conception, dimensionnement et caractérisation du driver en technologie CMOS 0.35μm bulk et CMOS 0.18μm SOI	
III.1. Introduction.....	112
III.2. Conception et dimensionnement du circuit de commande rapprochée dans une technologie CMOS bulk	112
III.2.1. Conception de la puce de commande intégrée CMOS bulk.....	113
A. Topologie du driver intégré CMOS bulk	113
B. Conception de la partie 15V du driver CMOS.....	114
C. Conception de la partie 3.3V du driver CMOS	121
D. Elaboration du layout du driver CMOS	126

III.2.2. Caractérisation et validation expérimentale du driver	129
A. Tests préliminaires des fonctionnalités du driver intégré	129
B. Validation expérimentale du driver CMOS dans un convertisseur Buck	130
C. Conclusion sur le driver CMOS	137
III.2.3. Conception du convertisseur segmenté pour la charge partielle	137
A. Topologie du driver segmenté CMOS pour la charge partielle.....	138
B. Approche de la segmentation du composant de puissance	140
C. Gain en rendement du convertisseur par la conception couplée entre le composant de puissance segmenté et le driver segmenté.....	143
D. Elaboration le layout du driver CMOS à charge partielle	150
E. Conclusion sur le driver CMOS pour la charge partielle	151
III.3. Conception et dimensionnement du driver intégré en technologie CMOS	
SOI 0.18μm.....	151
A. Technologie CMOS SOI 0.18 μ m.....	152
B. Topologie du driver intégré SOI	153
C. Choix de la fréquence de porteuse et optimisation de la conception du transformateur intégré en technologie CMOS SOI 0.18 μ m	159
D. Dimensionnement du circuit au primaire du driver SOI	163
E. Dimensionnement du circuit au secondaire du driver SOI	169
F. Elaboration du layout du driver SOI.....	175
G. Conclusion du driver SOI	177
III.4. Conclusion.....	178
<i>Conclusion générale et perspectives.....</i>	<i>180</i>
<i>Références bibliographiques.....</i>	<i>185</i>
<i>Annexes.....</i>	<i>192</i>

Introduction générale

Actuellement, l'électronique de puissance joue un rôle de plus en plus important dans le domaine énergétique. Cela comprend l'étude et la réalisation :

- de la commande et des composants de puissance pour les convertisseurs
- des structures des convertisseurs
- des applications industrielles de ces convertisseurs

Ses applications sont assez larges dans les domaines de l'industrie, du transport, des secteurs de la consommation, la production, etc... Les dispositifs d'électronique de puissance ont fortement contribué à l'évolution de ces domaines avec le développement des organes de contrôle et de mise en forme de l'énergie électrique. De plus, pour bien gérer l'efficacité et la modulation de transfert de l'énergie électrique, les convertisseurs nécessitent d'utiliser au moins un interrupteur de puissance commandé. Cet interrupteur est associé et piloté par un circuit de commande appelé « driver », formant la structure du convertisseur. Depuis plusieurs décennies, les défis autour des convertisseurs sont l'utilisation et la mise en œuvre de techniques de réalisation et d'intégration plus performantes, ainsi que la recherche sur la miniaturisation de ces structures. Les travaux présentés dans ce mémoire s'inscrivent dans ce contexte d'intégration des structures d'électronique de puissance, tirant partie d'une forte évolution de la microélectronique.

Le cœur scientifique de ce mémoire de thèse concerne la conception, la modélisation et la caractérisation d'un driver intégré pour transistors de puissance comprenant un transformateur sans noyau pour le transfert isolé d'ordres de commutation. La thèse est composée de deux grandes parties :

- Une partie orientée vers l'intégration monolithique des composants passifs, comprenant la conception, la modélisation et la caractérisation d'un transformateur intégré dans deux technologies CMOS 0.35 μm bulk et CMOS 0.18 μm SOI, afin de concevoir une isolation galvanique performante et intégrée dans le driver.
- Une partie orientée vers l'électronique de puissance intégrée portant sur la conception, la simulation et la mise en œuvre de deux circuits de commande intégrés en technologie CMOS bulk et en technologie CMOS SOI. Ainsi, l'aspect système du convertisseur de puissance sera étudié en proposant une nouvelle conception couplée

commande/puissance afin d'améliorer les performances de la conversion d'énergie à faible charge.

Concrètement, le premier chapitre de ce mémoire présente l'état de l'art sur l'interaction et l'interconnexion de la cellule de commutation – composant de puissance – driver. Ainsi, nous allons étudier les impacts de la conception du driver sur les performances du convertisseur ainsi que différentes solutions d'interconnexion entre la puce de commande et la puce de puissance. Cet aperçu sur le contexte de travail nous a permis de fixer nos choix de technologies, de solution d'interconnexion et de solution d'isolation galvanique intégrée au sein du driver. Parmi les solutions existantes dans l'état de l'art, deux solutions d'intégration ont été réalisées au cours de ce travail de thèse : une « commande intégrée partielle-puissance » dans une technologie CMOS standard et une « commande toute intégrée-puissance » dans une technologie SOI. D'autre part, le transformateur intégré a été choisi comme organe d'isolation galvanique au sein du driver. Nous présentons également en fin de ce chapitre, l'idée d'une conception fortement couplée entre commande/puissance, permettant d'avoir une reconfiguration dynamique de l'impédance de sortie du driver ainsi qu'une modularité dans la taille d'un composant de puissance pendant son fonctionnement. L'avantage de cette solution réside dans le gain énergétique, permettant de maintenir un haut rendement quelque soient les cycles d'utilisation du convertisseur.

Dans le deuxième chapitre, une étude approfondie sur la conception d'un transformateur intégré en technologie CMOS bulk et CMOS SOI sera présentée. Plusieurs transformateurs sans noyau magnétique sont conçus, analysés et caractérisés via une réalisation CMOS $0.35\mu\text{m}$ standard en prenant un soin particulier sur les valeurs des couplages hautes fréquences qu'ils permettent mais aussi aux éléments parasites. En se basant sur ces résultats, deux modèles fiables (électrique 2D et électromagnétique 3D) du transformateur intégré ont été établis et validés. Ces modèles nous permettent de prévoir les performances du transformateur intégré afin de guider le concepteur de circuits intégrés aussi bien en technologie CMOS et qu'en d'autres technologies utilisant la même approche.

En se basant sur nos conceptions de transformateurs intégrés présentées au chapitre II, un transformateur de diamètre de $300\mu\text{m}$ a été utilisé pour être intégré au sein d'un driver CMOS $0.35\mu\text{m}$ afin de permettre le transfert d'ordres de commutation isolés. Ce circuit de transmission électromagnétique des ordres est intégré conjointement avec plusieurs

fonctions de pilotage et le bon fonctionnement de l'ensemble du driver est démontré aussi bien pour les composants Haute Tension « High Side » que « Low Side » d'un bras de commutation. Malgré les limitations liées à la réalisation du système de refroidisseur, les résultats du driver CMOS bulk sont encourageants et nous offrent les possibilités de la conception d'un circuit de commande pour la charge partielle mais aussi les perspectives de concevoir un circuit de commande « tout-intégré » en technologie SOI.

Les avantages de la technique de segmentation du circuit de commande et du composant de puissances ayant été démontrés lors du premier chapitre, nous proposons dans ce dernier chapitre la conception d'un driver segmenté qui sera simulé avec un composant de puissance lui aussi segmenté. Ce travail se terminera par la réalisation du routage du driver en technologie CMOS 0.35 μ m.

Finalement, un driver générique a été conçu en technologie CMOS SOI, intégrant dans une seule puce les étages de commande éloignée, l'isolation galvanique et la commande rapprochée du transistor de puissance. Ce driver présente de nombreux avantages en termes d'interconnexion, de surface de silicium, de consommation et de CEM.

Chapitre I

Interaction et interconnexion des composants de puissance, driver de cellule de commutation

CHAPITRE I : Interaction et interconnexion des composants de puissance, driver de cellule de commutation.....	6
I.1. Electronique de puissance et le mariage entre la partie commande et la partie de puissance	6
I.2. Problématiques de l'association du driver, du composant de puissance et dans l'environnement de commutation.....	10
I.2.1. Structure du driver et impacts sur les performances de la commutation	10
A. Compromis sur la dynamique de commutation entre les pertes par commutation, la surtension, le sur-courant et la CEM du convertisseur	11
B. Topologies du driver avec contrôle de la dynamique de commutation.....	18
I.2.2. L'interconnexion et l'intégration du circuit de commande et du composant de puissance.....	25
A. Intégration monolithique	27
B. Intégration hybride	30
I.3. L'organe d'isolation galvanique au centre de la gestion de la commutation....	41
I.3.1. L'interface de commutation et de gestion intelligent via l'isolation galvanique.....	41
I.3.2. Possibilité d'une conception couplée plus forte entre commande-puissance	50
I.4. Conclusion.....	59

CHAPITRE I : Interaction et interconnexion des composants de puissance, driver de cellule de commutation

I.1. Electronique de puissance et le mariage entre la partie commande et la partie de puissance

- **La commande d'un interrupteur de puissance dans son environnement**

L'électronique de puissance est une partie de l'électronique, dédiée spécifiquement à la conversion de l'énergie dans l'optique de minimiser les pertes électriques des systèmes de conversion de l'énergie électrique. Les activités de l'électronique de puissance consistent à fournir un moyen afin de pouvoir transférer l'énergie à une ou plusieurs charges électriques à partir d'une ou plusieurs sources primaires d'énergie.

Pour pouvoir contrôler, moduler et transférer l'énergie, les convertisseurs de puissance ont besoin d'utiliser au moins un interrupteur de puissance commandé. Pour cela nous disposons de nombreux interrupteurs en technologie Silicium (IGBT, MOSFET) ainsi que des composants à semi-conducteur à large bande interdite (SiC, GaN) proposés par différents constructeurs et instituts de recherche. Les transistors à grille isolée comme les MOSFET ou les IGBT doivent être pilotés par un circuit de commande, appelé « driver ». Ce circuit driver a pour but de fournir et contrôler la charge et/ou la décharge de l'électrode de grille du composant de puissance (pouvant être normalement représentée sous la forme d'une capacité de grille) afin de permettre les changements d'états (passage de l'ouverture à la fermeture ou de la fermeture à l'ouverture) ainsi que permettre le maintien dans un état ouvert ou fermé. Pour les composants MOSFET de puissance, la quantité typique de charge à injecter se situe autour de quelques centaines de pC à quelques nC et la dynamique de charge est ajustée par le driver afin d'impacter sur la dynamique de commutation du composant de puissance [IRF]. Le principe de commande de nombreux convertisseurs de puissance se base sur la modulation de largeur d'impulsion (MLI) du signal de commande (Pulse Width Modulation en Anglais), permettant de moduler les échanges d'énergie en fonction d'un rapport cyclique et pour une fréquence généralement fixe.

- **Éléments nécessaires à une structure de base d'un driver**

Nous étudions dans cette partie les fonctions associées aux circuits de commande dans un convertisseur de puissance à travers la structure de convertisseur de base qui suit.

La Figure I.-1 montre les différents éléments nécessaires a un driver d'un convertisseur en demi-pont.

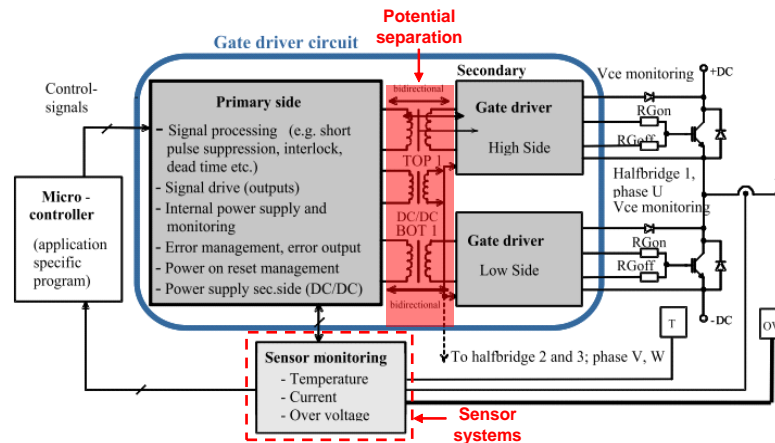


Figure I.-1. Schéma d'un convertisseur en demi-point [Herze 10].

Comme on peut le voir sur cette figure, les ordres venant de la commande éloignée (commande par microcontrôleur ici) sont adaptés via différentes fonctions de la commande rapprochée du driver pour être traduit en un signal permettant la commutation de l'interrupteur. C'est la fonction principale du driver. Des critères de performances vont permettre de dimensionner cette fonction en prenant garde qu'un compromis devra toujours exister entre pertes par commutation et perturbations CEM [Costa 01], entre vitesse de commutation et sûreté de fonctionnement. Nous pouvons retrouver les fonctionnalités principales :

- La commande rapprochée de la grille

Le driver avec ses circuits de contrôle et de protection crée une interface entre la commande éloignée et le composant de puissance permettant de fournir et gérer l'énergie nécessaire à la grille afin de faire commuter le transistor.

- Fonctions de capteurs et de surveillance pour la protection du composant de puissance

Le driver doit réaliser la protection du composant de puissance en cas de défaut. Cette fonction est principalement basée sur des capteurs permettant de surveiller les états du

composant de puissance (courant, tension, température). Cette sécurité est nécessaire pour que l'interrupteur de puissance travaille dans sa zone de caractéristique normale.

- Alimentation flottante du driver
- Transfert des ordres à différents potentiels

Dans de nombreuses applications, une séparation des potentiels est nécessaire entre la commande éloignée et la commande rapprochée. Grâce à celle-ci toutes les connexions sur le côté d'entrée (côté primaire), et toutes les connexions sur le côté de sortie (secondaire) sont séparées électriquement.

Cependant, nous pouvons trouver des configurations de convertisseurs ne nécessitant pas d'isolation galvanique. La Figure I.-2-a nous montre la configuration d'un convertisseur de demi-pont en dissymétrie pour laquelle il est possible de piloter le transistor NMOS en high side (transistor du haut) en utilisant un étage « level-shifter » sans l'isolation galvanique mais permettant d'adapter les potentiels. Cette méthode est moins complexe à intégrer mais est limitée aux applications basse tension [Balog 01] ou nécessite des circuits spécifiques en haute tension [Rossbe 07]. Pour la structure en demi-pont avec deux transistors NMOS en high side et aussi en low side, il est indispensable de n'avoir aucune connexion électrique entre le primaire et le secondaire afin de piloter le transistor NMOS high side, comme illustré dans Figure I.-2-b.

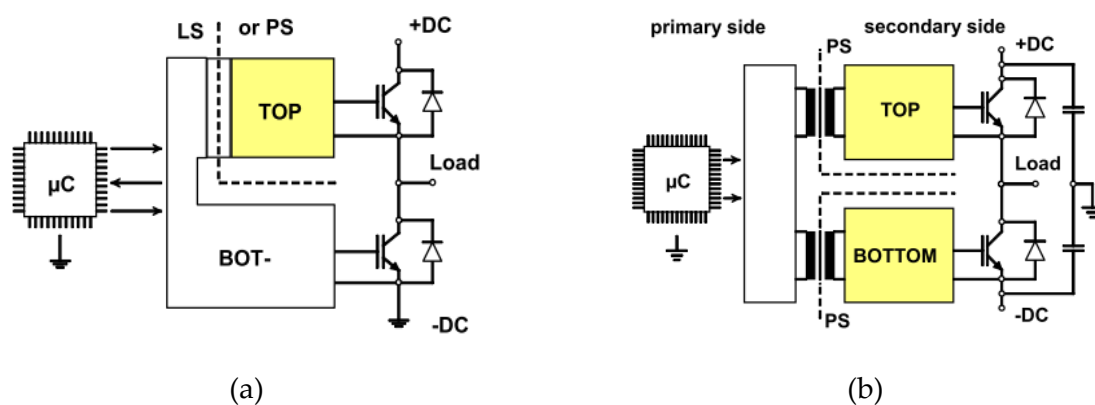


Figure I.-2. Configuration du convertisseur de demi-pont dissymétrie, sans l'isolation galvanique (a) et demi-pont en symétrie avec l'isolation galvanique pour une séparation de potentiel [Herze 10].

En effet, le choix de l'interface d'isolation galvanique dépend principalement de la topologie du convertisseur et de la plage de la tension d'application. Pour synthétiser cette problématique, on représente le Tableau I-1 par Semikron Electronik en 2010. Ce tableau présente différents types de driver en fonction de la puissance requise.

Type de driver	Isolation	Transmission du signal isolé	Transmission de l'énergie	Application
Driver intégré (Demi-pont, Entrelacée, etc...)	Pas d'isolation galvanique	Level-shifter	Circuit de bootstrap (pour high side)	Basse puissance < 5kW
Driver hybride (Demi-pont, Entrelacée, etc...)	Isolation galvanique	Opto-coupleur Transformateur d'impulsion	Convertisseur DC/DC	Moyenne puissance (5 ... 100 kW)
		Fibre optique	Convertisseur DC/DC	Haute puissance (> 100 kW)

Tableau I-1. Configuration du driver en fonction de l'application et de la gamme de puissance utilisée [Herze 10].

• Conclusion

Cette partie présente le contexte générale de la commande des transistors de puissances. Les éléments nécessaires pour pouvoir réaliser un convertisseur de base ont été présentés en association avec la problématique de la commutation dans un environnement de puissance. La suite de cette présentation va se décomposer comme suit :

- Dans la partie I.2, nous allons étudier les problématiques d'association entre le driver et le composant de puissance à travers différentes conceptions du driver et différents modes d'interconnexion entre la puce de commande et la puce de puissance afin d'avoir une vue globale autour des impacts du driver et des modes d'interconnexion sur le rendement et la conception du convertisseur. Nous fixerons notre choix de technologie mise en œuvre dans le cadre de cette thèse dans cette partie.
- La partie I.3 présentera l'étude de la réalisation d'un organe d'isolation galvanique permettant la transmission bidirectionnelle d'informations au sein du driver. Une comparaison entre différentes solutions de transfert d'ordres isolés sera présentée permettant de justifier le choix d'une solution intégrée. Nous présentons aussi dans cette

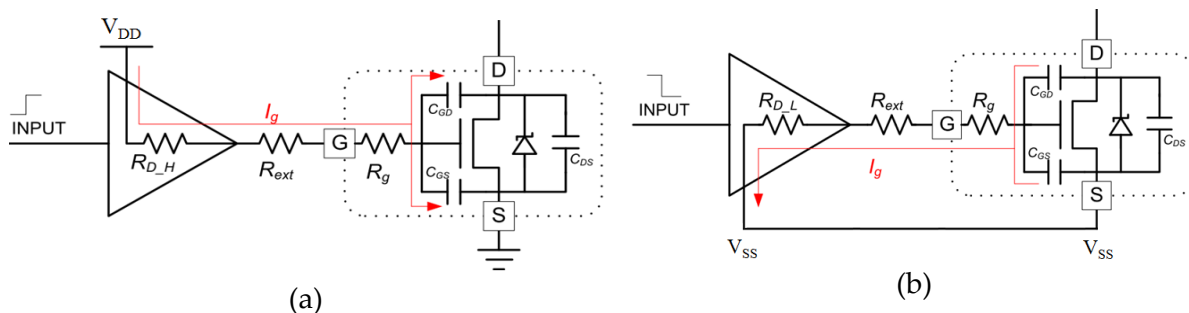
partie une nouvelle conception couplée entre la commande et la puissance. Se basant sur la technique de segmentation du driver et du composant de puissance, cette conception ayant pour but d'améliorer les performances du convertisseur à faible charge.

- La partie I.4 présentera les conclusions préliminaires de ce chapitre.

I.2. Problématiques de l'association du driver, du composant de puissance et dans l'environnement de commutation

I.2.1. Structure du driver et impacts sur les performances de la commutation

Le circuit de commande de grille conventionnel est, en général, constitué d'un étage amplificateur réalisé par deux transistors MOSFET câblés en configuration push-pull comme le montre la Figure I-3. La capacité de grille du transistor de puissance est, classiquement, chargée et déchargée à travers des résistances de grille permettant de contrôler la dynamique de la commutation. Ces résistances sont constituées de la somme de la résistance de grille interne du transistor de puissance R_g , d'une résistance externe optionnelle R_{g_ext} et de la résistance de sortie du driver R_D . Pendant la phase de fermeture du transistor MOSFET, la capacité d'entrée C_{iss} est chargée par la source d'alimentation V_{DD} tandis que pendant la phase de d'ouverture, la capacité est déchargée à travers le potentiel V_{SS} du driver. Ce potentiel est normalement tenu à une valeur négative à l'aide d'une tension de commande bipolaire ($-V_{dd}$, $+V_{dd}$) pour pouvoir éviter l'effet de réouverture du MOSFET pendant la phase de blocage du MOSFET [Van 12].



A. Compromis sur la dynamique de commutation entre les pertes par commutation, la surtension, le sur-courant et la CEM du convertisseur

L'approche conventionnelle de la commande unipolaire pour le composant de puissance dans un hacheur série est présentée Figure I.-4. La partie puissance se compose d'un transistor MOSFET de puissance (M) et d'une diode de roue-libre D1. Le MOSFET de puissance est représenté par un modèle équivalent composé des capacités parasites C_{gd} , C_{gs} , C_{ds} . Ces capacités peuvent être reorganisées sous la forme de la capacité d'entrée C_{iss} , la capacité sortie C_{oss} ou la capacité de transfert inverse C_{rss} du transistor. Les autres paramètres importants dans le comportement CEM sont les inductances parasites de drain et de source L_D et L_S due aux connexions dans le boîtier et aux éléments de câblage. Ces inductances, associées avec d'autres termes parasites externes comme les inductances de maille, imposent des limitations importantes sur les performances de la commutation du MOSFET [Hoa 11] [Chen 06] [Xiao 04]. La source d'entrée du convertisseur est une tension DC V_D tandis que la charge à la sortie est modélisée par un source de courant constant I_D .

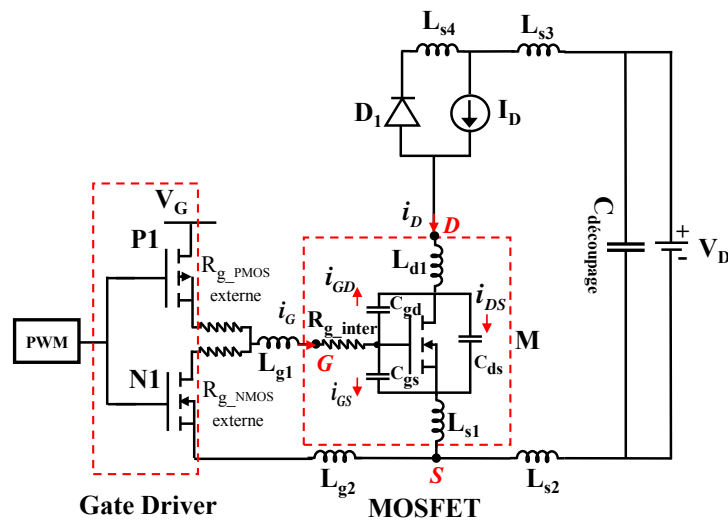


Figure I.-4. Circuit équivalent d'une cellule de commutation.

Afin d'avoir une interconnexion la moins pénalisante possible entre le driver et de la partie de puissance, nous avons cherché à diminuer la valeur des inductances parasites d'interconnexion L_{g1} , L_{g2} et L_{s1} . Diminuer ces inductances nous permettrait aussi d'utiliser une commande unipolaire de grille (0, V_{dd}) pour faire commuter le transistor de puissance et améliorer l'association entre le driver et le composant de puissance.

• **Influence du mode d'interconnexion sur la commande**

Figure I-5-a montre une configuration classique entre le circuit de commande et le circuit de puissance. Les inductances parasites dues aux pistes en cuivre de PCB dans la boucle du courant peuvent être regroupées dans l'inductance de maille L_{MAILLE} , représentés par L_{d1} , L_{s1} , L_{s2} , L_{s3} tandis que les inductances dues aux interconnexions entre le driver et la partie puissance sont représentées par L_{g1} et L_{g2} . La boucle de commande partage avec la boucle de puissance une même inductance de source commune L_{s1} (pouvant aller au-delà de dizaines nH selon le choix technologique). Tableau I-2 présente des valeurs typiques, tirées de l'état de l'art, pour les inductances parasites dans les deux boucles de commutation d'un convertisseur Buck 400V-8A [Teulin 96].

L_{g1}	5 nH
L_{g2}	5 nH
L_{d1}	4.5 nH
L_{s1}	7.5 nH
L_{s2}	10 nH
L_{s3}	10 nH
L_{sg}	7.5 nH

Tableau I-2. Valeurs des inductances des boucles de commutation.

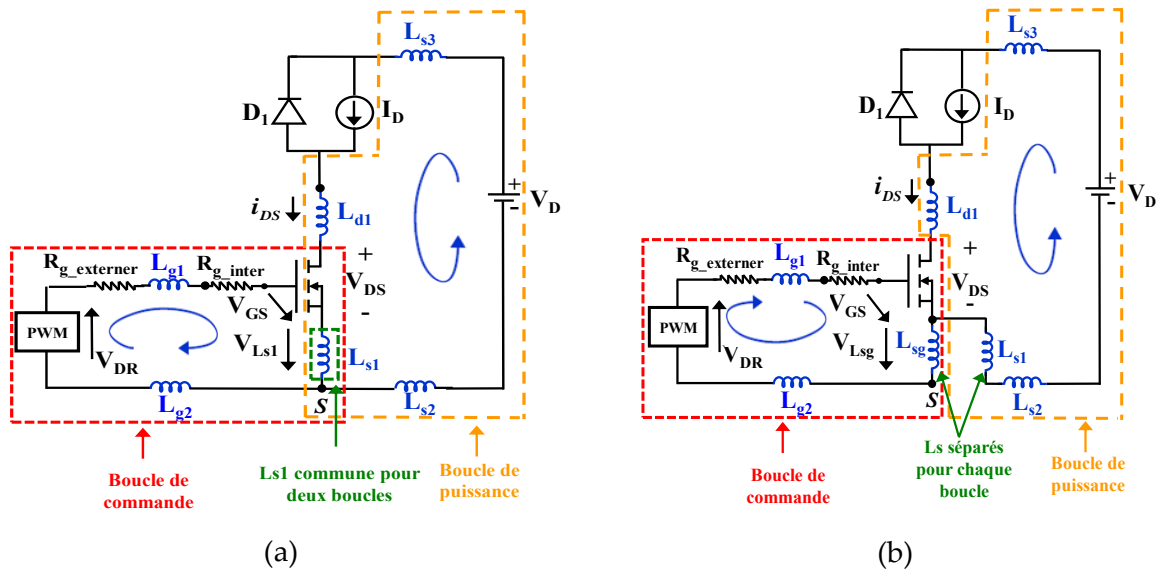


Figure I-5. (a) Conception classique de l'interconnexion entre driver et transistor de puissance. (b) Conception améliorée de l'interconnexion entre la partie commande et la partie puissance.

L'inductance commune L_{s1} provoque une contre-réaction sur la commande sous l'influence d'une grande vitesse de commutation du courant de charge dI_D/dt , et ensuite crée plusieurs ondulations sur la tension V_{GS} [Power 11]. D'autre part, nous devons considérer une chute de tension sur L_{s1} , qui peut être estimée par l'équation suivante :

$$V_{LS1} = L_{s1} \cdot \frac{dI_D}{dt} \quad (I.1)$$

Cette chute de tension réduit la différence de potentiel entre l'électrode G et l'électrode S, pourtant, la maîtrise de cette différence de potentiel est nécessaire pour assurer une commutation maîtrisée du composant de puissance. Par conséquence, la vitesse de commutation est ralentie ce qui provoque ensuite plus de pertes par commutation. La tension de commande de grille réelle doit être calculée par l'équation suivante, en tenant compte de la chute de tension V_{LS1} :

$$V_{GS} = V_{DR} - V_{LS1} \quad (I.2)$$

Pour pouvoir résoudre ce problème, la meilleure méthode est de ne pas inclure l'inductance de source L_{s1} dans la boucle de commande de grille, comme montré dans la Figure I-5-b. Cette conception améliorée sépare les inductances de sources pour chaque boucle de commutation en reportant le driver sur le composant de puissance par une interconnexion flip chip 3D [Tim 11] par exemple ou en favorisant une reprise de potentiel de référence (source Kelvin) au plus proche de la puissance [Stella 14]. Un autre exemple d'amélioration d'interconnexion est ainsi proposé par Infineon [Infineon 13]. Le circuit de commande de grille est complètement flottant par rapport à la masse de l'alimentation car les IGBTs sont mis dans un boîtier de 4 broches fournissant une électrode de source supplémentaire (Kelvin source). Cette électrode sert seulement à référencer le potentiel de source du driver et à créer un chemin spécifique pour la boucle de commande avec une meilleure séparation des chemins de puissance et de commande. Par conséquence, la chute de tension aux bornes de l'inductance de source L_{s1} et la contre-réaction sur la commande peuvent être évités.

Pour illustrer ce point, nous avons fait deux simulations de commutation d'un MOSFET IRF 840 (400V, 8A) pour deux configurations proposées dans Figure I-5 en utilisant la même valeur de résistance de grille de 5 Ω . La Figure I-6-a montre que le circuit de commande classique est perturbée car on observe des réenclenchement du MOSFET à cause

des oscillations autour de la tension de seuil V_{th} de la tension V_{GS} . En revanche, une interconnexion améliorée permet d'avoir moins d'ondulations de V_{GS} , de négliger les rebonds sur le MOSFET ainsi que d'avoir une vitesse de commutation plus élevée. On peut voir sur Figure I.-6-b que le circuit de commande avec l'interconnexion améliorée permet des gains sur les énergies de commutation lors de la fermeture et de l'ouverture par rapport au circuit utilisant une interconnexion classique.

L'énergie dissipée E est donnée par le produit de la tension V_{DS} et du courant I_{DS} entre les électrodes drain-source du transistor MOSFET. La valeur instantanée de E peut être calculée par l'équation (I.3) :

$$E(t) = \int_0^t V_{DS}(t) \cdot I_{DS}(t) \cdot d(t) \quad (I.3)$$

E_{ON} , E_{OFF} et $E_{CONDUCTION}$ sont respectivement les énergies dissipées pendant la phase de fermeture, d'ouverture et de conduction du MOSFET.

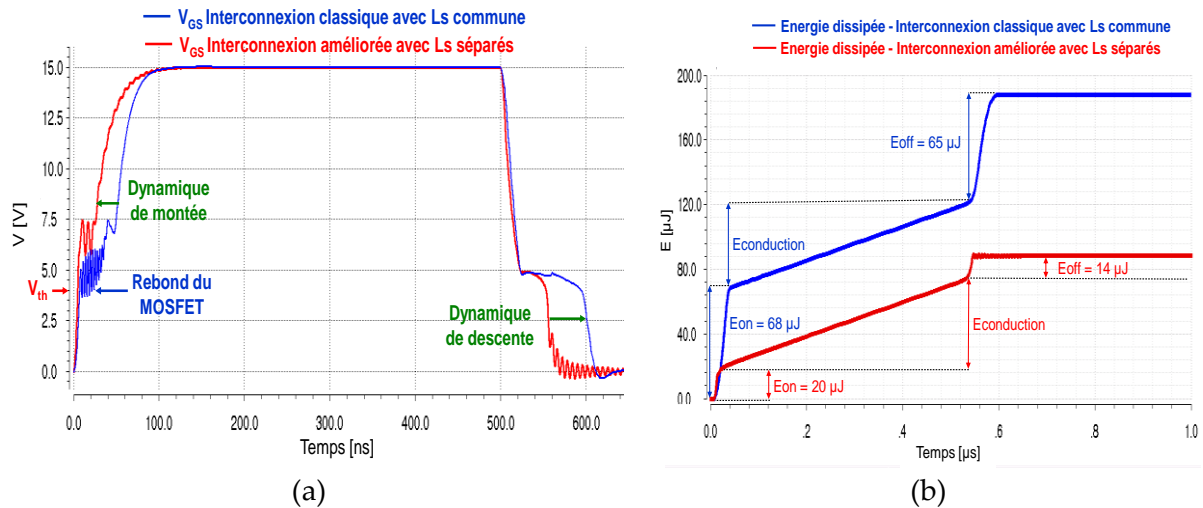
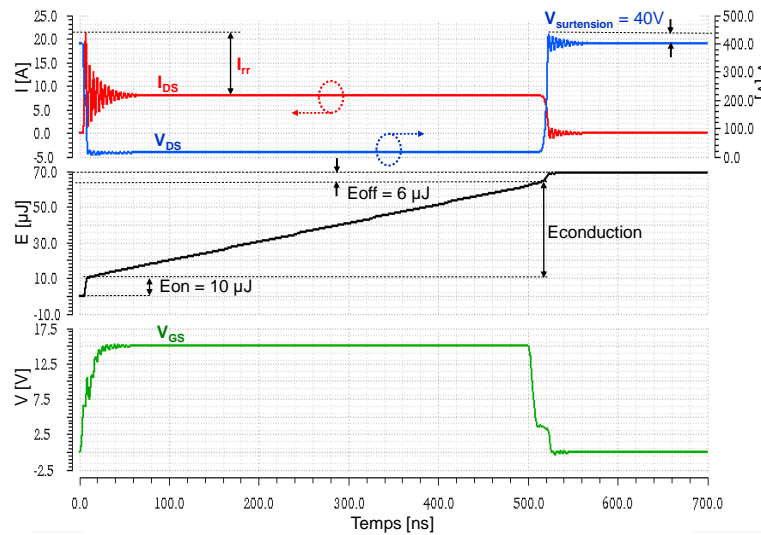


Figure I.-6. (a) Courbe de commutation V_{GS} et (b) l'énergie dissipée dans le transistor de puissance pour deux configurations d'interconnexion (commutation 400V, 8A).

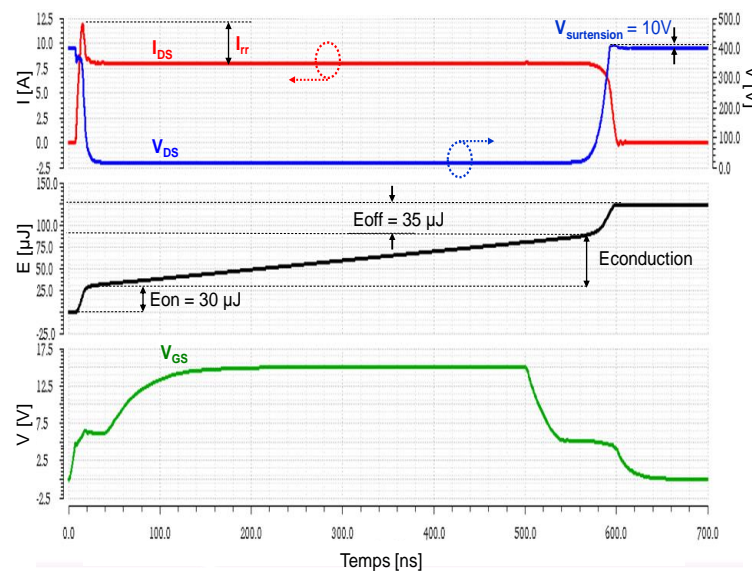
Par cette comparaison, nous trouvons qu'il est nécessaire d'utiliser une mode d'interconnexion de source amélioré afin d'augmenter les performances du convertisseur et permettre un meilleur contrôle de la dynamique de commutation par le circuit de pilotage (driver).

- **Problèmes de la résistance de commutation de grille**

La Figure I-7 nous montre deux simulations de commutation d'un MOSFET IRF 840 (400V, 8A) pour deux valeurs de résistance : une résistance faible (1Ω) et une résistance grande (10Ω).



(a) R_G faible (1Ω)



(b) R_G grande (10Ω)

Figure I-7. Caractéristiques de commutation du MOSFET IRF840 (commutation à 1MHz, 400V, 8A) pour différentes valeurs de résistances de grille (a) Faible valeur de R_{GRILLE} . (b) : Grande valeur de R_{GRILLE} .

Ces résultats nous montrent que la commutation avec une faible résistance de grille R_G permet de diminuer les énergies de commutation dissipées lors de la fermeture et de

l'ouverture E_{ON} , E_{OFF} grâce à des dynamiques de dV_{ds}/dt et de dI_{ds}/dt plus importantes. En revanche, une grande valeur de résistance de grille R_G provoque une commutation lente, avec plus d'énergies de commutation E_{ON} , E_{OFF} . Cependant, différentes contraintes sur le fonctionnement en sécurité du transistor de puissance sont à considérer lors de la commutation, imposant un compromis entre vitesse de commutation et pertes influant sur le choix de la résistance de grille R_G .

- **Surtension et sur courant lors de la commutation**

Lors de la commutation à l'ouverture, en raison de la présence des inductances de maille et de la vitesse de variation du courant, le composant de puissance est soumis à une surtension que l'on peut calculer grâce à l'équation ci-dessous :

$$V_{SURTENSION} = (L_{d1} + L_{s1} + L_{s2} + L_{s3}) \cdot \frac{dI_D}{dt} \quad (I.4)$$

Où :

$L_{d1}+L_{s1}+L_{s2}+L_{s3}$ sont égales à l'inductance de maille L_{MAILLE}

dI_D/dt : dynamique de courant de drain du composant de puissance

L'énergie stockée dans les inductances parasites peut être estimée par cette équation :

$$E_{inductance} = \frac{1}{2} \cdot L_{MAILLE} \cdot I_{rev_peak}^2 \quad (I.5)$$

Avec : I_{rev_pic} pic de courant inverse à cause de la diode body du MOSFET

Cette énergie inductive sera déchargée à travers la capacité de sortie C_{oss} du MOSFET et influe sur le pic de la surtension de drain du transistor. De plus, le circuit résonnant LC, composé de L_{MAILLE} et de C_{oss} crée des oscillations sur cette surtension.

D'autre part, le composant de puissance sera aussi le siège d'un sur courant due à la charge de recouvrement de la diode déterminé par l'équation suivante :

$$I_{rr} = \frac{2 \cdot Q_{rr}}{t_{rr}} \quad (I.6)$$

Où : Q_{rr} est la charge de recouvrement de la diode de roue-libre. La dynamique du courant de drain I_D est liée à la résistance de grille R_G , comme le montre l'équation suivante :

$$\frac{dI_D}{dt} = gm \cdot \frac{V_G - V_{th} - \frac{I_{DS}}{2 \cdot gm}}{C_{iss} \cdot R_G} \quad (I.7)$$

Avec :

V_G : tension de grille

gm : la transconductance de l'interrupteur

On le voit, la détermination de cette résistance de grille va être très liée aux contraintes en tension et en courant que l'on va vouloir imposer au composant de puissance.

- **Problèmes CEM liés à la commutation**

Les fortes dynamiques de commutation dV_{DS}/dt et dI_D/dt provoquent aussi des perturbations électromagnétiques en mode conduit et en mode rayonné [Larde 96].

La Figure I-8 montre le chemin du courant de mode commun à travers la capacité parasite commune C de l'isolation galvanique entre le primaire et le secondaire. La variation de la tension de la source S du transistor high side par rapport à la masse au primaire cause un courant de mode commun I_C vers la commande éloignée pouvant éventuellement perturber la commande éloignée.

La valeur de ce courant peut être évaluée par l'équation :

$$I_C = C \cdot \frac{dV_{S-Masse}}{dt} \quad (I.8)$$

Or, la dynamique de la tension V_{DS} du transistor high side dépend principalement de la résistance de grille R_G :

$$\frac{dV_{DS}}{dt} = \frac{V_G - V_{MILLER}}{C_{GD} \cdot R_G} \quad (I.9)$$

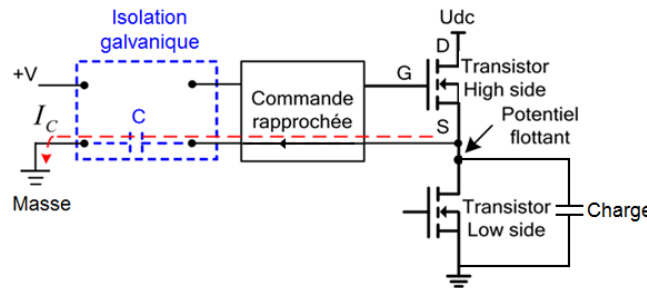


Figure I-8 Perturbations électromagnétiques dues au mode commun [Van 11].

La présence des capacités parasites du mode commun provoquent des problèmes CEM critiques lors de vitesses de commutation élevées.

Pour synthétiser, le Tableau I-3 donne un aperçu des tendances du comportement de la commutation d'un IGBT en fonction de la valeur de la résistance de grille.

Caractéristique	R _G grande	R _G petit
t _{ON}	++	--
t _{OFF}	++	--
E _{ON}	++	--
E _{OFF}	++	--
I _{D_PIC} (FERMETURE)	--	++
V _{D_PIC} (OUVERTURE)	--	++
Problèmes de CEM	--	++

Tableau I-3. Influence de la valeur de R_G sur les contraintes de commutation du transistor.

• Conclusion

Cette partie présente les compromis existants entre la conception du driver et les performances du convertisseur :

- L'influence du mode de l'interconnexion sur les performances
- Le compromis entre la vitesse de commutation et les pertes
- Le compromis entre la vitesse de commutation et les contraintes sur la surtension et le sur courant (complexité du mode de packaging, réduction des parasites)

La partie suivante présente les pistes qui vont être explorées.

B. Topologies du driver avec contrôle de la dynamique de commutation

Afin d'avoir un driver capable de fournir une commande optimale et d'assurer le bon fonctionnement du transistor de puissance en toute sécurité, plusieurs types de drivers ont été proposés dans la littérature permettant de s'affranchir des limitations classiques d'un driver. Ils peuvent être classifiés comme suit :

- Contrôle de la commutation par des composants passifs tels que R_G [Volke 11], C_{Miller} [Ono 05], ou des diodes externes [Lefra 05].
- Contrôle de la commutation en boucle ouverte par différentes résistances de grille [Man 03] ou par une résistance de grille variable [Hemme 09] ou bien par une tension/courant de grille variable [Van 11].
- Contrôle de la commutation en boucle fermée : contrôle actif du di/dt [Idir 06] ou du dv/dt [Lobsi 12] du composant de puissance

Nous exposons les principes et les exemples pour quelques solutions dans la partie suivante.

- **Driver contrôlant la commutation par des composants passifs**

Un exemple a été proposé par [Ono 05]. Présentée Figure I-9, il utilise un circuit RC supplémentaire. La capacité supplémentaire C_x est capable d'injecter un courant supplémentaire pendant la phase de décharge de la capacité C_{GC} , elle empêche la tension V_{GE} de diminuer et réduit la surtension sur V_{CE} .

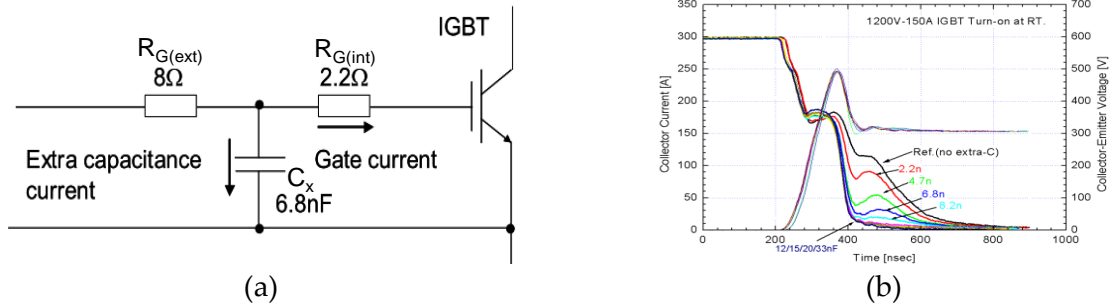


Figure I-9. Contrôle de dI_C/dt par un circuit RC supplémentaire. (a) Schéma, (b) influences du circuit RC supplémentaires sur les courbes V_{CE} et I_{CE} de l'IGBT [Ono 05].

Cette solution est moins complexe et a un intérêt en terme économique. En revanche, elle provoque des pertes par commutation supplémentaires et augmente les temps de retard de commutation. En outre, la valeur de capacité discrète C_x doit être ajustée en fonction de la résistance de grille interne $R_{G(int)}$ et en fonction du point de fonctionnement de l'IGBT. Pour cette raison, cette solution n'est pas intégrable.

- **Driver contrôlant la commutation en boucle ouverte**

La Figure I-10 présente une autre technique permettant de contrôler la dynamique de commutation de I_C et de V_{CE} de l'IGBT en utilisant une commande en boucle ouverte est présentée dans [Man 03].

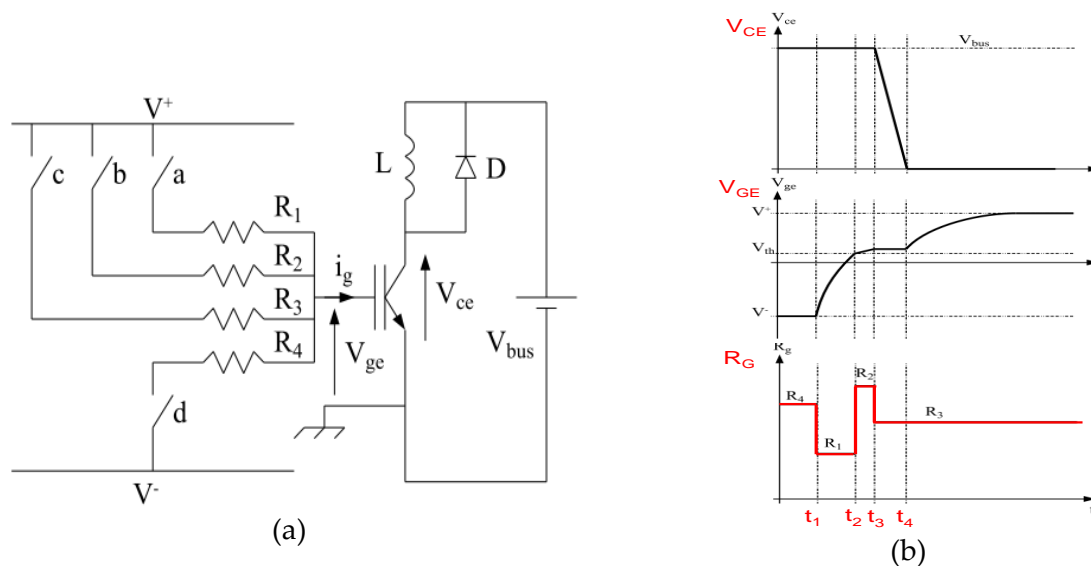


Figure I.-10. (a) Schéma, (b) principe de fonctionnement de la solution du driver utilisant plusieurs résistances de grille [Man 03].

L'idée de cette solution est de subdiviser les phases de commutation en plusieurs intervalles en fonction de la pente de courant I_c ou de la pente de la tension V_{ce} . En distribuant des valeurs de résistances de grille présélectionnées pour chaque intervalle, il permet de diminuer les pertes par commutation de 20% par rapport à la commande par un driver conventionnel utilisant une seule résistance de grille. En revanche, la caractéristique des capacités parasites des IGBT étant fortement non-linéaire, cela provoque des difficultés pour détecter précisément les débuts de chaque intervalle de la commutation. De plus, le point de fonctionnement de transistor dépendant également de la charge et de la température de travail cela complexifie encore le fonctionnement.

Cette technique peut être adaptée en segmentant la commande de grille. Nous appelons cette technique « technique de segmentation du gate drive ».

La Figure I.-11 montre un exemple d'un driver segmenté en technologie TSMC 0.18 μm ayant pour but d'équilibrer les courants de charges entre des IGBT connectés en parallèle dans un module de puissance [Sasaki 13]. Les IGBTs d'un module de puissance sont souvent connectés en parallèle afin de fournir un niveau de courant plus important. Toutefois les courants traversant ces IGBTs ne sont pas toujours identiques en raison des dissymétries pouvant exister entre les connexions des différents composants ainsi que les variations des caractéristiques des IGBTs. Ceci conduit à un déséquilibre en courant de charge I_G et influence l'efficacité du système. Pour résoudre ce problème, ce circuit de commande

propose de contrôler les temps de retard t_{d_on} et t_{d_off} de chaque IGBT par des changements de la résistance de grille pendant la commutation comme illustrée Figure I.-11. Par conséquent, la différence des temps de retard entre les IGBT est contrôlée, conduisant à un meilleur équilibrage des courants de charge I_c des IGBTs.

Le driver est composé, dans une même puce, d'un circuit intégré de contrôle numérique ainsi que de neuf étages de sortie identiques, segmentés en parallèle pour chaque transistor high side et low side. Ces étages de sortie peuvent être commandés indépendamment par le décodage d'un signal de commande externe de 4 bits, généré par un FPGA afin de faire varier les résistances de grilles.

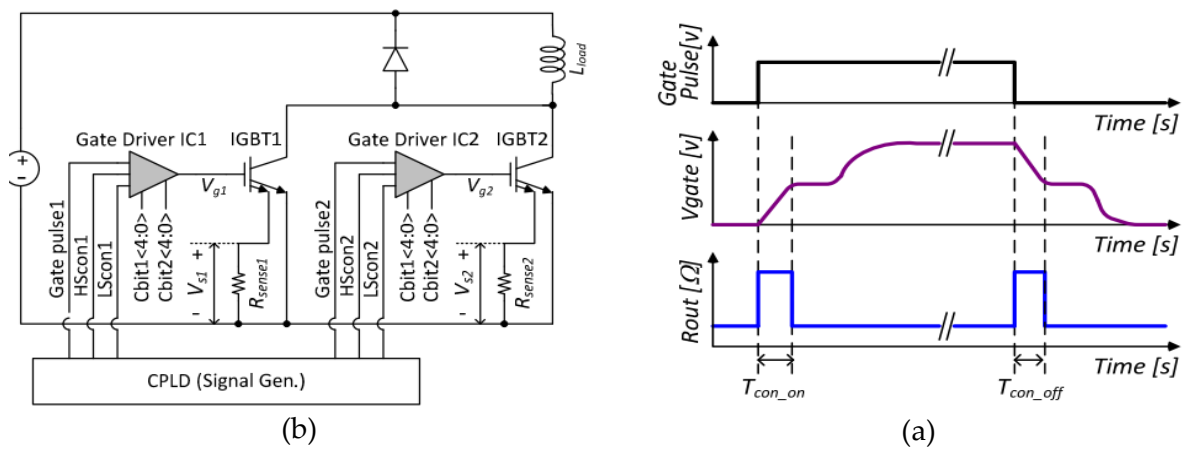


Figure I.-11. (a) Schéma, (b) principe variation de la résistance de grille pendant la commutation [Sasaki 13].

La Figure I.-12 présente une vue du gate drive numérique segmenté. Il utilise une faible surface de silicium. Les résultats expérimentaux montrent respectivement des améliorations de 89% et 98 % pour la phase de fermeture et d'ouverture pour l'équilibrage des courants I_c sans diminuer le rendement du convertisseur.

Nous pouvons trouver un autre exemple de driver segmenté réalisé en technologie AMS 0.35 μ m 40V HVCMOS permettant de diminuer les problèmes de CEM de commutation [Shorten 11] Il est présenté sur la Figure I.-13. Le composant de puissance est piloté par une faible valeur de résistance de grille dans un premier temps pendant la commutation et, une fois que la transition de la charge de grille est terminée, la résistance de grille est ajustée vers une valeur plus grande afin de diminuer la dynamique. Par cette technique d'adaptation de

R_{GRILLE}, ce driver permet une amélioration jusqu'au 7dB μ V le pic de CEM entre 20 MHz et 30 MHz.

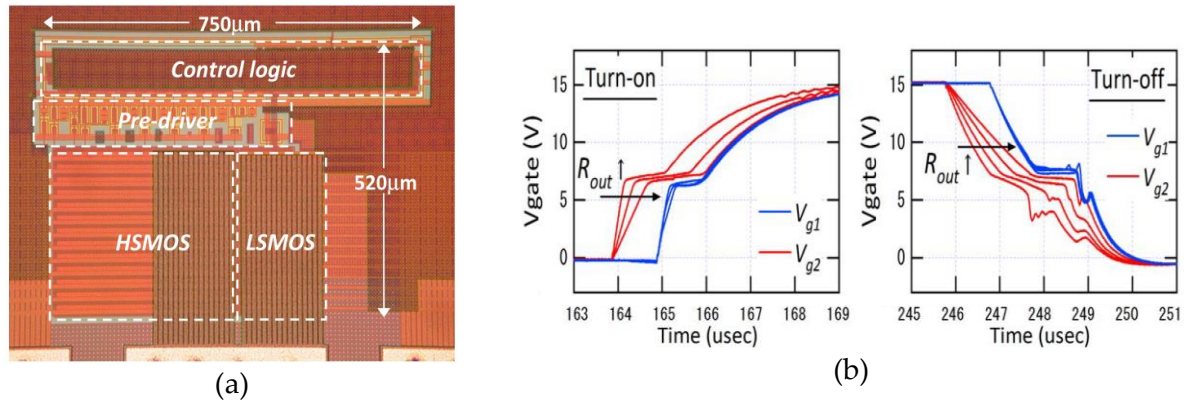


Figure I-12. (a) Photo du driver segmenté. (b) Courbes de commutation pendant la phase d'ouverture et de fermeture de deux IGBT (600V,90A) en parallèle .

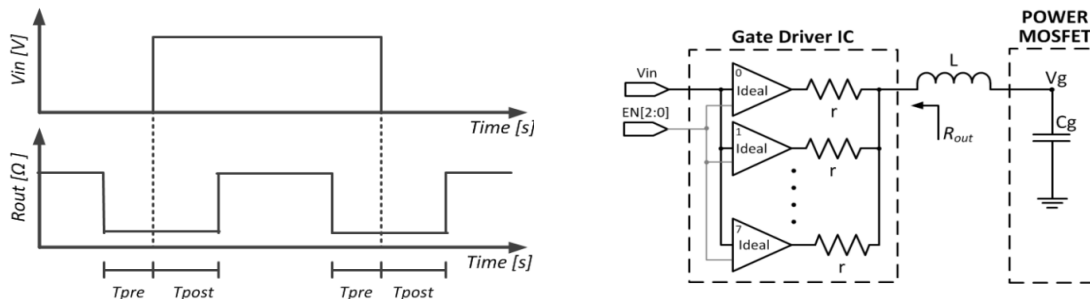


Figure I-13. Principe de variation de la résistance de grille (a) et d'opération du driver segmenté (b) pour réduire le problème de CEM [Shorten 11].

Ces approches sont très efficaces afin de réduire les défauts sur le composant de puissance et minimiser les pertes par commutation. En revanche, il faut définir précisément les profils de tension ou de courant appropriés pendant la commutation ainsi que pour tous les points de fonctionnement. Ces définitions sont très complexes en raison de la caractéristique non-linéaire de la charge/ décharge du composant de puissance et de la dépendance de ses caractéristiques au point de fonctionnement. C'est pourquoi l'utilisation d'un driver avec contrôle par une boucle fermée peut être nécessaire afin d'améliorer la précision du système de protection, au prix de contraintes dynamiques fortes.

- **Contrôle de la commutation en boucle fermée** : contrôle actif du di/dt ou du dv/dt du composant de puissance

Un exemple de contrôle actif du dI_c/dt de l'IGBT a été réalisé dans [Ishii 98] et est montré Figure I.-14. Le principe est basé sur deux mécanismes : la détection du dI_c/dt et le changement de résistance de grille. Lors de l'apparition d'un dI_c/dt excessif, les transistors Q4 et Q6 sont bloqués, faisant que l'on a une résistance de grille élevée de valeur $R1 + R2$ limitant la vitesse de commutation et donc la surtension sur le composant de puissance. Les formes de commutation Figure I.-14 montrent un meilleur compromis entre la surtension et la vitesse de commutation avec cette conception de driver.

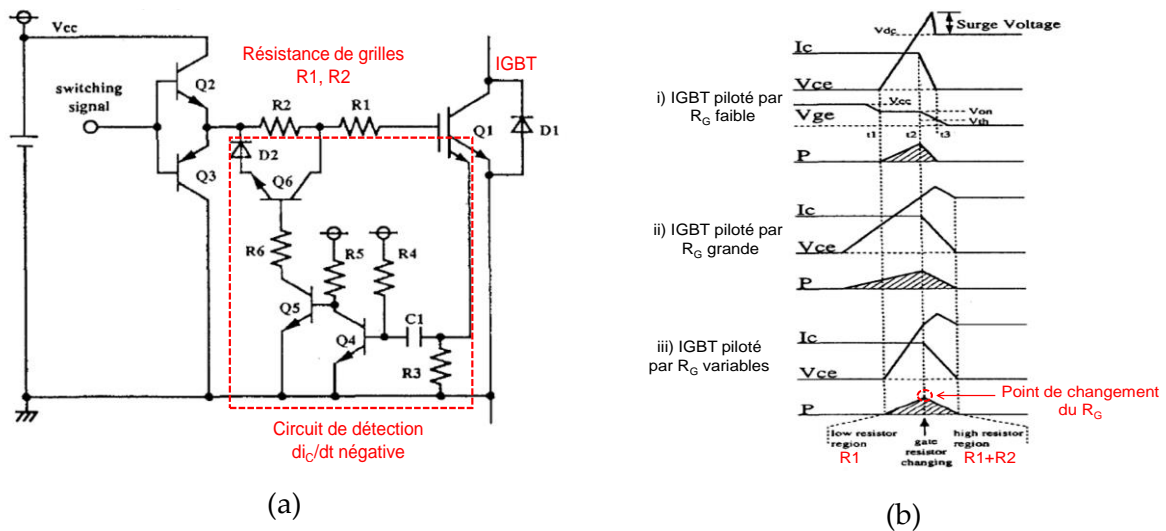


Figure I.-14. (a) Schéma et principe d'opération du circuit de contrôle de la dynamique dI_c/dt par un circuit de détection de valeur excessive du dI_c/dt [Ishii 98].

Nous pouvons ainsi trouver une conception de driver permettant un contrôle individuel du dI_c/dt et du dV_{ce}/dt par l'utilisation d'une boucle de type PI dans laquelle la surtension ou la surintensité dans le composant de puissance seront maîtrisées par la comparaison avec des tensions des valeurs de référence comme illustré Figure I.-15. Cette utilisation de retours négatifs sur l'état de I_c ou V_{ce} permet ainsi de contrôler les dynamiques sans connaissance à priori des non-linéarités du composant ainsi que de sa température et de son point de fonctionnement.

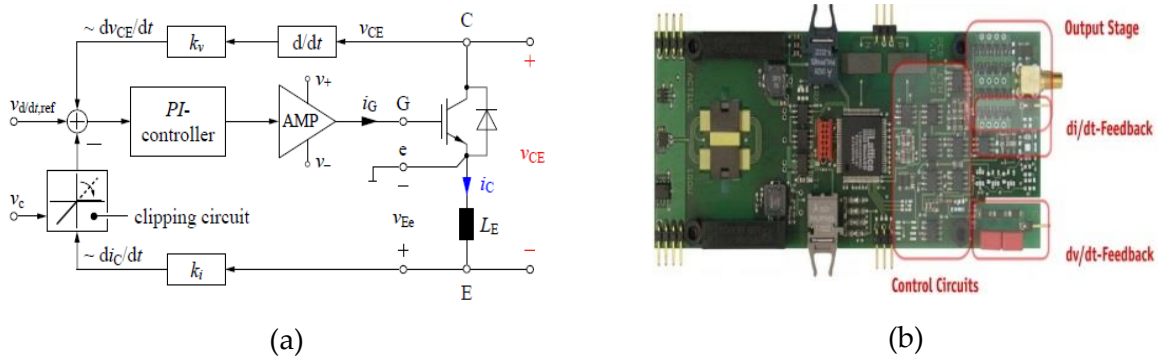


Figure I.-15. (a) Principe de contrôle de la dynamique de di/dt et dv_{ce}/dt par une boucle PI. (b) Prototype développé du driver proposé, dimension de PCB est de 50 mm x 133.3 mm [Lobsi 14].

Une autre approche de contrôle en boucle fermée par des circuits numériques a aussi été utilisée dans [Lan 11] et est présentée Figure I.-16. Les dynamiques di/dt et dv_{ce}/dt sont mesurées et sont converties en signaux numériques afin d'être contrôlées par un FPGA.

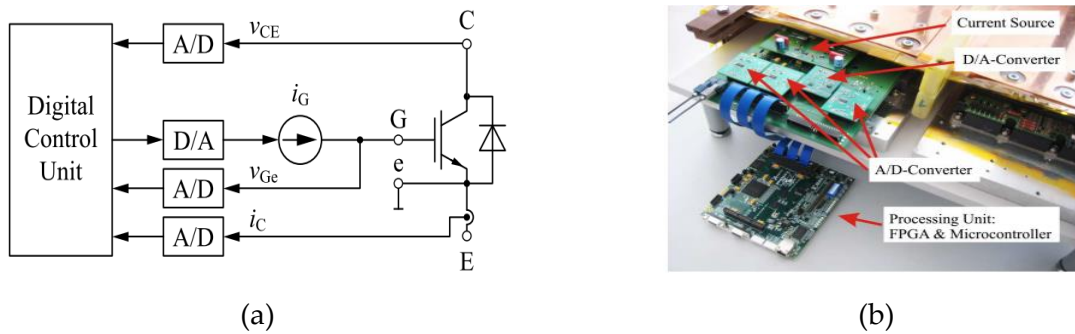


Figure I.-16. Circuit de contrôle de la dynamique par une approche numérique. (a) Principe de contrôle de la dynamique de di/dt et dv_{ce}/dt . (b) Prototype développé du driver proposé [Lan 11].

Ces solutions sont capables de contrôler directement le di/dt et le dv_{ce}/dt et d'adapter automatiquement ces dynamiques de commutation en fonction de la caractéristique de l'IGBT, de la variation de température de travail et des points de fonctionnements du convertisseur. En revanche, ces solutions sont complexes et ont des limitations en termes de bande passante du dispositif de contrôle et de la rapidité de la transmission. Elles présentent un large temps de délais (de 100ns et 200ns) à cause de la conversation Analogique/Numérique (ou inversement) empêchant la réalisation d'un système de contrôle de dynamique en temps réel. Cette solution est adaptée seulement aux applications où des

transistors de puissance de fort calibre seront pilotés lorsque les temps de commutation sont supérieurs à $2\mu\text{s}$.

- **Conclusion**

Cette partie nous montre l'état de l'art sur les fonctionnalités de la commande, du contrôle et de la protection du composant de puissance par un driver. A travers ces conceptions, nous trouvons que le driver permet d'obtenir les comportements en commutations désirés nécessaires afin de minimiser les pertes par commutation, de limiter les termes CEM, ainsi que d'assurer un bon fonctionnement des transistors de puissance. On voit que les fonctions du driver influencent fortement sur les performances du convertisseur. Par contre, comme vu dans la partie I.2.1, les modes d'interconnexion influent aussi fortement. Il reste donc encore à rechercher des solutions d'assemblages appropriées pour aller au-delà des compromis classiques. Une conclusion importante est qu'il est souhaitable que le driver offre une modularité afin d'offrir un meilleur contrôle des commutations sur un cycle d'utilisation. Dans la partie qui suit, nous allons introduire différentes techniques d'intégration monolithique ou hybride afin de donner une vision globale sur les modes d'interconnexion et d'intégration récentes.

I.2.2. L'interconnexion et l'intégration du circuit de commande et du composant de puissance

- **Choix du mode d'interconnexion entre le driver et le composant de puissance**

Généralement, toutes les structures de l'électronique de puissance sont basées sur une structure nommée « cellule de commutation ». Cette structure de base est la brique élémentaire de tous les convertisseurs statiques et est composée, sous forme d'un bras d'onduleur, soit par deux transistors connectés en série dans une configuration high side – low side, soit par une configuration transistor-diode, illustré Figure I-17.

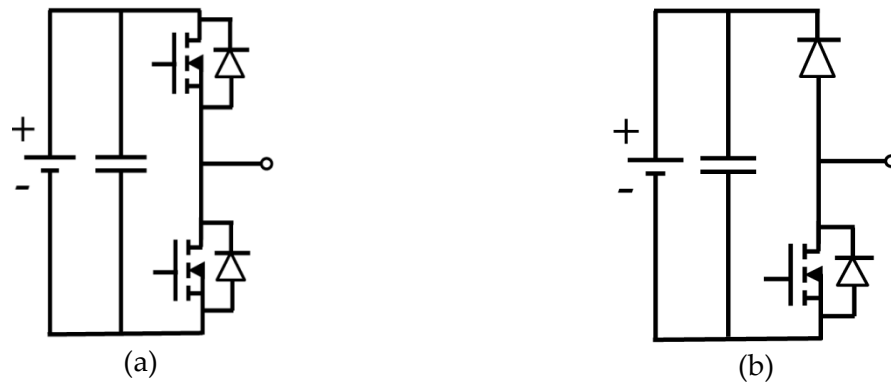


Figure I-17. (a) Cellule de commutation à deux transistors. (b) Cellule de commutation transistor-diode.

Comme nous l'avons montré dans la partie précédente, les assemblages utilisés pour la puce de commande et la puce de puissance ont des impacts importants sur les performances du convertisseur et il ressort qu'il va être nécessaire de maîtriser ces interconnexions. Une solution est donc de s'intéresser à l'intégration des circuits de commandes au plus près du composant de puissance.

Nous avons deux types de driver pour une cellule de commutation : un driver qui pilote les deux transistors ou un driver « générique » qui pilote chaque transistor, comme montré Figure I-18.

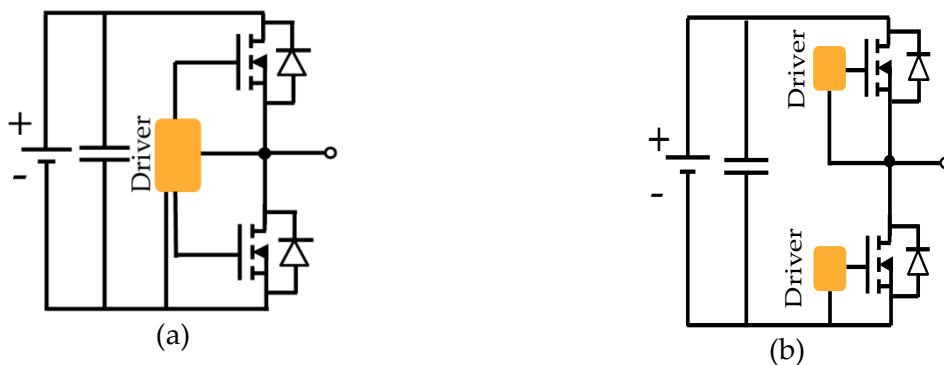


Figure I-18. (a) Driver unique pour deux transistors high side – low side. (b) Driver "générique" dédié à chaque transistor.

Nous pouvons trouver des exemples industriels de la première configuration comme, par exemple, le driver IR2117 d'International Rectifier [IRF] ou le FAN7385 de Fairchild Semiconductor [FAN]. Ces circuits utilisent la technique du « Bootstrap » avec une diode haute tension externe ou intégrée et une capacité pour pouvoir créer une alimentation

flottante pour le driver high side à partir de l'alimentation du circuit de commande du transistor low side. Cependant, la capacité possède normalement une grande valeur, liée à la fréquence de travail de l'interrupteur et ne peut pas être intégrée à l'intérieur du driver. De plus, l'alimentation « bootstrap » nécessite une diode devant tenir la tension commutée qui n'est pas, également intégrable, ni au sein de la puce de puissance, ni à l'intérieur du driver à cause des incompatibilités électriques et technologiques que la réalisation de ces composants impose. Enfin, cette configuration ne permet pas une interconnexion proche entre le gate drive et les deux transistors du bras d'onduleur. Ces limitations nous conduisent à la deuxième solution pour laquelle un driver est associé à chaque interrupteur de puissance avec l'idée de concevoir cet ensemble totalement autonome. Cette solution permet un assemblage au plus proche du driver avec le composant de puissance et donne la possibilité d'intégrer un système d'alimentation flottante. Nous appellerons cet ensemble driver + composant de puissance « l'interrupteur générique ». Nous allons étudier plusieurs solutions d'interconnexion pour cet interrupteur générique dans la partie suivante.

A. Intégration monolithique

- Solution « l'interrupteur générique »

Pour pousser l'effort d'intégration, les travaux que l'on rencontre dans la littérature se sont intéressés à l'intégration monolithique pour laquelle les fonctionnalités de commande basse tension (l'isolation galvanique, la commande rapprochée, les fonctions de protection, la récupération d'énergie) sont intégrées sur le même substrat de silicium que la puce de puissance de haute tension, illustré dans la Figure I.-19.

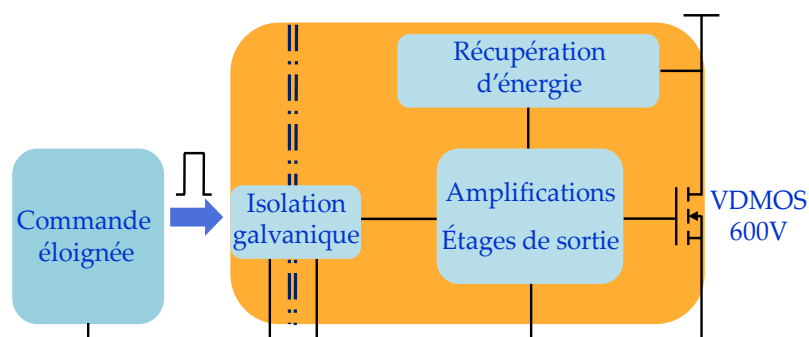


Figure I.-19. Solution d'intégration monolithique de « l'interrupteur générique ».

Cette solution offre de nombreux avantages en termes de compacité et de fiabilité en réduisant presque tous les fils d'interconnexion et en donnant un meilleur contrôle de la commutation. Néanmoins, l'intégration d'une puce de commande au sein d'une puce de puissance pose plusieurs problèmes au niveau de la technique d'intégration monolithique. Ainsi on rencontre entre autres des problèmes de gradient thermique et l'intégration de l'étage d'isolation galvanique. En effet, l'électronique de commande qui sert principalement au transfert des signaux et de l'information, est composée seulement de composants analogiques, actifs et sensibles à l'environnement de puissance perturbé. A l'issue de ce problème, l'intégration monolithique nécessite une forme d'isolation électrique du circuit de commande afin de minimiser le couplage électrique avec le substrat commun de silicium et les forts dv/dt associés à ce potentiel.

Toutefois, nous pouvons trouver des exemples de drivers de ce type réalisés par des industriels comme, entre autre ST Microelectronics avec sa technologie VIPer [VIPer] comme illustrée Figure I.-20, ainsi que des travaux académiques comme [Binh 08], et [Crebier 10]. Nous trouvons aussi des exemples de travaux sur des modes d'intégration fonctionnels au sein des laboratoires LAAS et LAPLACE [Capy 09], [Khadi 14], ou par la communauté internationale [Hanyu 10], visant à intégrer des composants élémentaires actifs dans la puce de puissance. Ainsi on voit que l'intégration de composants MOS latéraux basse tension est possible dans une zone isolée du substrat réalisée par l'utilisation de caissons d'isolation P ou N et cela soit dans une zone existante au-dessous de la zone active de l'interrupteur de puissance, soit en créant une nouvelle zone isolée spécifique pour l'intégration des fonctions [Crebier 06].

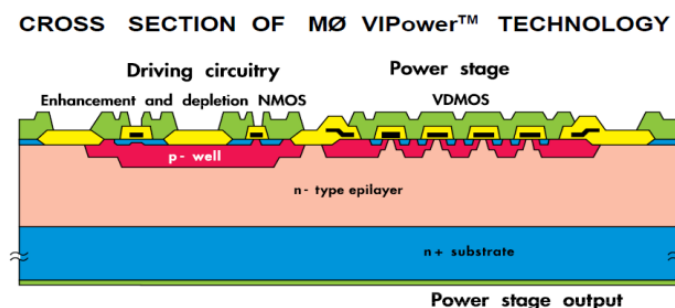


Figure I.-20. Technologie VIPer de ST : L'intégration de différents types de composants (CMOS, VDMOS) dans un même substrat [VIPer].

Les fonctions capteurs ou isolation galvanique sont aussi réalisables en utilisant les structures parasites thyristors existant dans la technologie verticale VDMOS, comme illustré Figure I.-21.

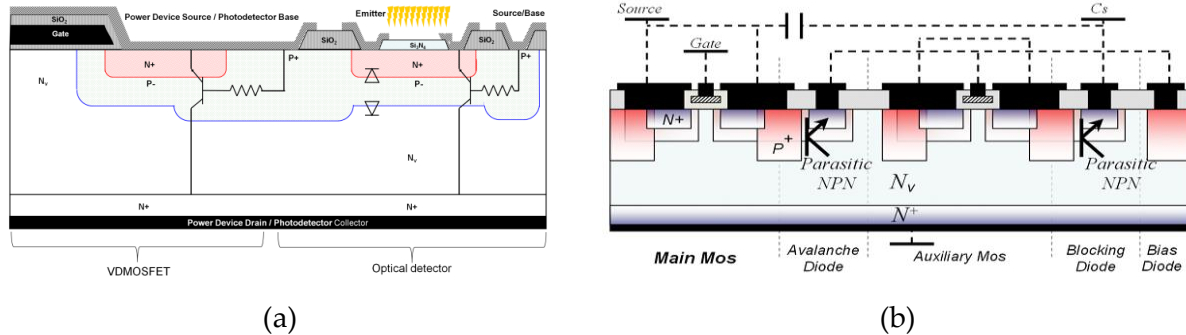


Figure I.-21. (a) Vue en coupe de l'intégration monolithique d'une isolation optique au sein du composant VDMOS [Raha 14]. (b) Intégration monolithique de tous les composants pour l'auto-alimentation, au sein de transistor de puissance de type VDMOS [Nico 08].

Malgré les avantages présentés plus haut, nous devons considérer les contraintes et les inconvénients de cette solution, liées à la technologie :

- Cette solution ne peut optimiser qu'un cahier des charges donné à cause de ses fonctions figées. Pour remplir d'autres cahiers des charges, il est nécessaire de mettre plusieurs cellules de ce type en série ou en parallèle.
- La complexité de la technologie verticale due aux nombreuses étapes de masquage/implantation/diffusion obligeant de mutualiser les étapes de fabrication des composants latéraux CMOS et des composants verticaux VDMOS, ou introduit de nombreuses étapes technologiques supplémentaires.
- Les contraintes multiples liées à technologie 600V et aux différentes fonctions à réaliser dans le même substrat.
- L'absence de filière technologique pour la réalisation des composants basse tension de la commande et la nécessité de devoir adapter la technologie verticale pour chaque fonctionnalité créée.
- L'utilisation non-optimale du silicium à cause des zones de substrat silicium inutiles au-dessous de la zone périphérique de la commande.

En raison des nombreuses contraintes imposées par la technologie, il est difficile d'optimiser, à la fois, les fonctions de commande et les caractéristiques du composant de puissance. Ces limitations nous conduisent à d'autres solutions d'intégration hybride pour lesquelles nous avons d'autres contraintes technologiques et permettant d'adapter la technologie pour chaque fonction.

B. Intégration hybride

Comme nous l'avons abordé dans la partie précédente, cette famille d'intégration hybride sépare les technologies selon des fonctionnalités : la technologie basse tension sera utilisée pour les fonctions de commande tandis que la technologie haute tension est employée pour la partie puissance. Cette séparation permet d'avoir une optimisation indépendante des deux parties et de s'affranchir des contraintes imposées par la technologie par rapport à la solution à l'interrupteur générique. Le point clé dans cette technique d'intégration réside dans l'évolution du mode d'assemblage entre deux parties.

L'intégration 3D consiste à empiler verticalement plusieurs composants par flip chip, soit à l'aide d'une couche d'intermédiaire, soit par un report direct en utilisant des « bumps » ou des poteaux électrodes. Ces types d'assemblages ont l'avantage de permettre une réduction des éléments parasites d'interconnexions inter-puces et des connexions intra-puces, comme ceux qui se trouvent dans un assemblage planaire 2D classique par les fils de bondings. Pour cela nous allons, tout d'abord, étudier les solutions fonctionnelles différentes pour ensuite nous consacrer sur les développements faits dans le cadre de ce mémoire de thèse.

- **Solution d'intégration « commande toute-intégrée-puissance »**

La première solution d'intégration des différentes fonctions présentée dans la Figure I.-22 consiste à assembler la puce de commande avec la puce de puissance.

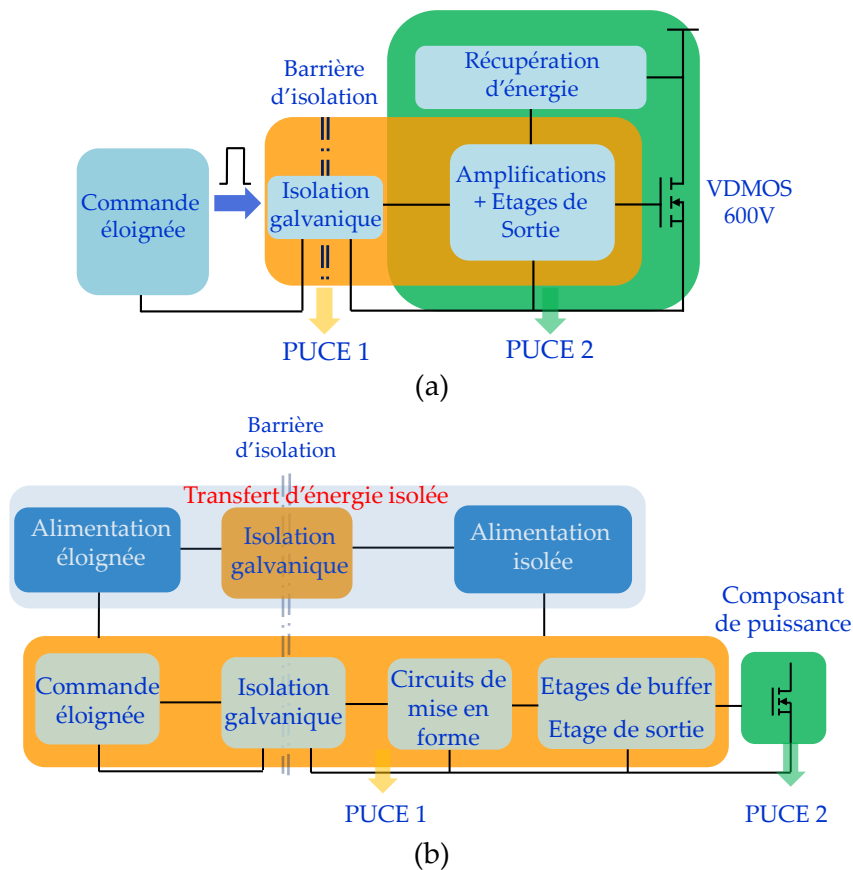


Figure I-22. Solution « commande toute intégrée-puissance ». (a) Version à alimentation flottante avec récupération d'énergie. (b) Version à alimentation flottante par transfert d'énergie isolée.

Cette intégration hybride à deux puces nous permet d'utiliser les technologies latérales basses tension pour la conception de la puce de commande tandis que la puce de puissance emploie toujours une technologie verticale 600V. Une seule puce de commande intègre toutes les fonctions nécessaires afin de piloter le composant de puissance. Nous séparons cette solution en deux versions différentes en fonction du mode d'alimentation flottante.

- **Version à alimentation flottante par récupération d'énergie**

La première version utilise un système de récupération d'énergie et est composée d'un transistor vertical auxiliaire et d'une capacité de stockage. Un exemple de cette version est présenté Figure I-23 [Tim 11]. Dans ce travail, la puce de puissance a été conçue en surface et permet un report direct de la puce de commande à la surface de la partie de puissance. De plus, les deux puces sont fortement interconnectées en intégrant un transistor vertical auxiliaire de haute tension nécessaire à la récupération d'énergie et une capacité de stockage

externe à reporter sur le composant de puissance. Cette solution a permis de profiter au maximum du partage de fonctionnalités par une approche de conception couplée des deux puces (commande – puissance).

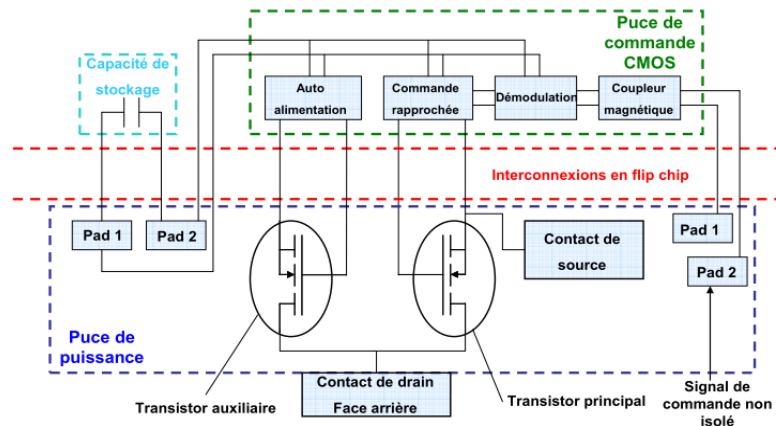


Figure I-23. Exemple de solution de « commande toute intégrée-puissance », version d'auto-alimentation [Tim 11].

- **Version à alimentation flottante par transfert d'énergie isolée**

La deuxième version de la solution « commande toute intégrée-puissance » présentée Figure I-22-b, met en œuvre deux coupleurs, le premier pour le transfert de l'énergie nécessaire à l'alimentation de la commande rapprochée, le deuxième pour le transfert d'ordre de commutation. Une autre possibilité est de transférer le signal et la puissance par un même coupleur. Plusieurs technologies peuvent être utilisées pour transférer l'énergie par un transformateur sans noyau intégré [Nagai 14], ou par une transmission d'énergie sans fils [Breh 06].

Un exemple de cette solution a été montré dans Figure I-24 [Nagai 12]. Ce travail propose une solution compacte du driver, intégrant dans une seule puce les étages de modulation pour les ordres de commutation, l'organe d'isolation galvanique ainsi que les étages de démodulation.

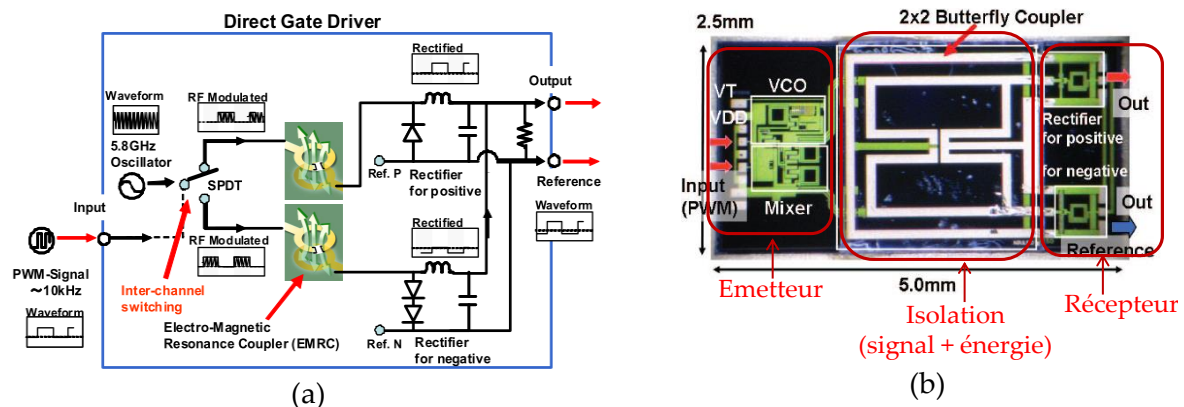


Figure I-24. Exemple de solution de « commande toute intégrée-puissance », version à transfert d'énergie isolé. (a) Fonctionnalités du driver intégré (b) Vue layout du driver intégré [Nagai 12].

Le driver est conçu et fabriqué par un procédé AlGa_N / Ga_N HEMT sur un substrat isolé de saphir. D'autre part, ce driver est capable de fournir le signal de commande isolé ainsi que l'énergie de commande isolée à l'aide d'un coupleur électromagnétique inclus à l'intérieur de la puce de commande.

La solution « commande toute intégrée-puissance » présente de nombreux d'avantages en termes d'interconnexion, de fiabilité, de réduction des éléments parasites et de compacité par rapport aux autres solutions utilisant de multiples puces.

En revanche, nous devons aborder les contraintes technologiques imposées par cette solution. Au niveau de la puce de commande, l'intégration de toutes les fonctions nécessaires au driver, de l'ensemble des circuits primaire et secondaire de l'isolation galvanique nécessite l'existence d'une isolation électrique entre les deux types de circuits électroniques dont les potentiels sont référencés à deux niveaux de masses différents. Pour résoudre ce problème, nous pouvons utiliser une technologie latérale haute tension sur substrat isolé (SOI Silicon On Insulator), ce qui permet d'avoir une isolation électrique complète de chaque composant par le possibilité d'utiliser des couches d'oxyde enterrées et d'oxyde latéral, ou une technologie offrant les mêmes possibilités comme le Ga_N sur substrat de Saphir. Il est à noter que cette contrainte provoque un surcoût important pour la puce de commande par rapport à l'utilisation d'une technologie analogique standard sur substrat non isolé comme la technologie CMOS.

Au niveau de la complexité des interconnexions, les deux puces doivent être conçues afin de pouvoir réaliser un report flip-chip ce qui représente une contrainte supplémentaire limitant l'optimisation des deux puces.

Après avoir étudié ces deux solutions d'intégration nous allons limiter nos points d'étude dans le cadre de ce travail de thèse se concentrant sur l'intégration des fonctionnalités nécessaires au driver et au transfert du signal de commande isolé. Dans ce contexte, il est intéressant d'étudier ensuite d'autres solutions d'intégration du driver et d'interconnexion entre deux puces moins contraignantes en terme de technologie afin d'évaluer le compromis de l'ensemble des solutions.

- **Solution de « commande intégrée partielle-puissance »**

Figure I.-25 nous montre la solution « commande intégrée partielle-puissance » qui consiste à séparer les circuits électroniques du primaire et les circuits du secondaire du driver.

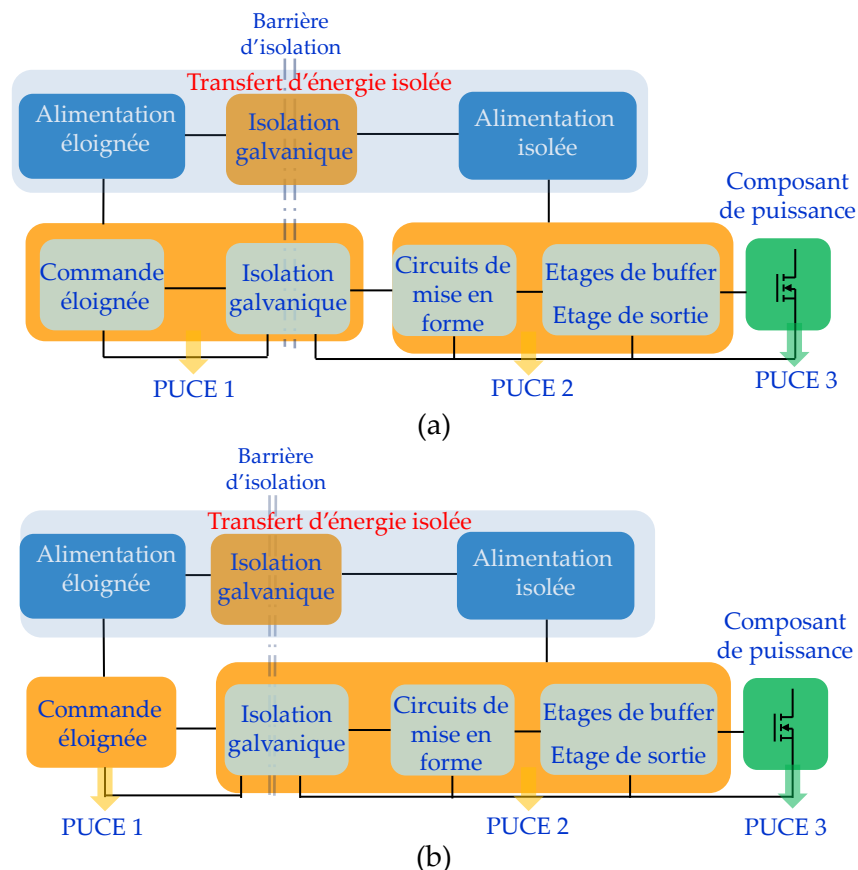


Figure I.-25. Deux versions de solution de « commande intégrée partielle-puissance ».

En intégrant ces deux circuits dans deux puces différentes afin de créer une forme

d'isolation électrique. Nous n'avons ainsi pas besoin d'utiliser une technologie haute tension pour la conception des circuits intégrés de commande. La connexion entre les puces peut être réalisée par des fils de bonding. En effet, cette solution offre une liberté dans le choix des technologies du circuit de commande. Nous pouvons réaliser les circuits primaires et les circuits secondaires, soit avec la même technologie standard CMOS, soit avec deux technologies différentes, comme illustré Figure I.-26.

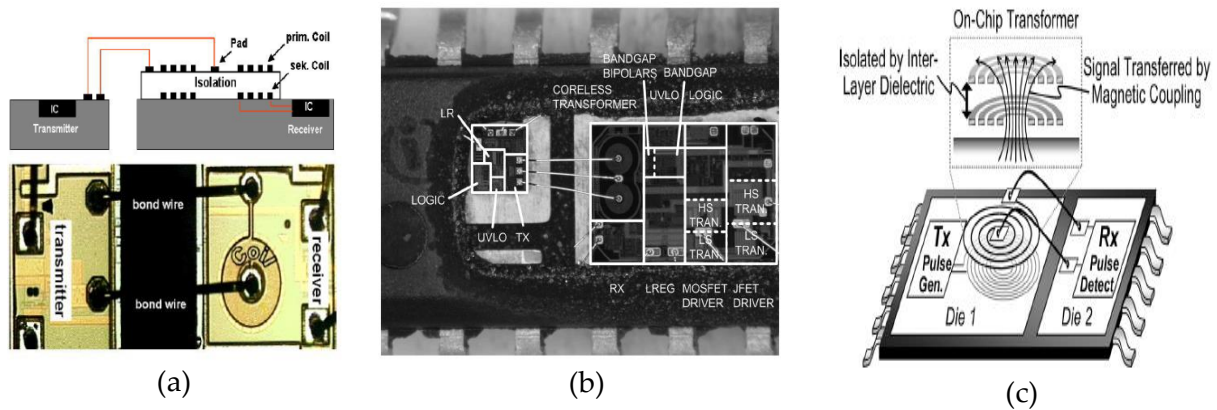


Figure I.-26. Exemple de solution de « commande intégrée partielle-puissance ». (a) Driver intégré avec un transformateur intégré au secondaire, technologie CMOS [Munze 03]. (b) Driver avec un transformateur intégré au secondaire, les circuits intégrés au primaire utilisent une technologie BiCMOS 0.6 μm , les circuits au secondaire utilisent une technologie BCD 0.8 μm [Nor 12]. (c) Driver intégré avec un transformateur intégré au primaire, technologie CMOS standard [Kaeriya 12].

Cette solution est plus économique car une technologie latérale standard est beaucoup moins coûteuse qu'une technologie haute tension. En revanche, l'utilisation de fils de bonding de quelques-mm pour les interconnexions entre les circuits primaire et secondaire présentant des fortes inductances parasites (10-15nH) peut créer des effets de rebonds du composant de puissance et limiter la vitesse de commutation, comme discuté dans la partie I.2.1. De plus, il n'est pas possible d'avoir un report par flip chip entre les puces de commande et la puce de puissance avec cette solution en raison de la présence des fils de bonding intra-puces de commande.

Par la suite, nous continuons nos études d'interconnexion entre des puces avec des solutions moins avantageuses mais moins coûteuses.

- **Solution de « commande intégrée multi puces-puissance »**

La Figure I.-27 montre une solution moins performante que la solution « commande intégrée partielle-puissance » mais qui repousse les contraintes sur les modes d'assemblage entre les puces et les différents organes.

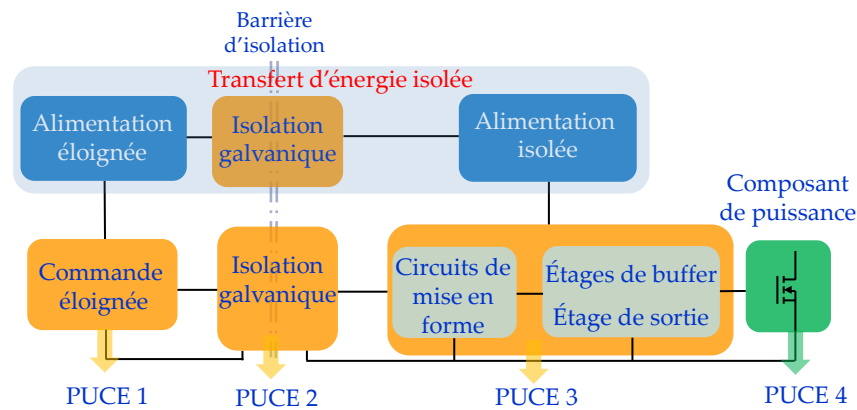


Figure I.-27. Solution de « commande intégrée multi puces-puissance ».

Cette approche sépare sur une troisième puce l'organe d'isolation. Cette solution de troisième puce de commande, présente moins de contraintes par rapport à la solution « commande toute-intégrée », non seulement au niveau technologique des circuits électronique mais aussi au niveau de la réalisation de l'organe l'isolation galvanique.

La Figure I.-28 montre un exemple de cette solution d'intégration multi puces. Les circuits émetteur au primaire, l'isolation galvanique et les circuits récepteur au secondaire sont séparés en 3 puces différentes interconnectées ensuite par des fils de bondings. Cette solution utilise une technologie CMOS 0.6 μm standard avec un transformateur intégré. En revanche, il faut noter que nous n'avons aucune contrainte sur la réalisation de l'isolation galvanique et une grande liberté d'utilisation de composants discrets ou intégrés.

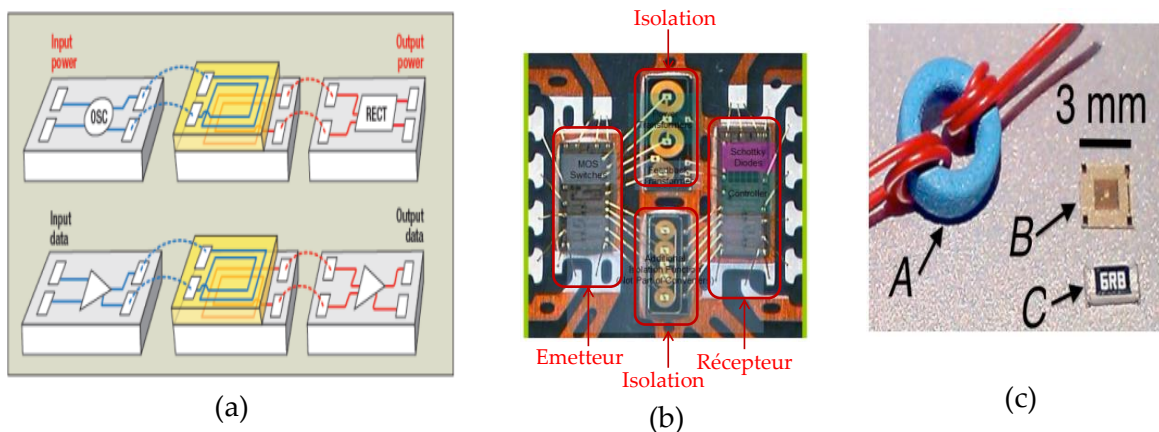


Figure I-28. Exemple de la solution « commande intégrée multi puce-puissance ». (a) Schéma et le l'image (b) des blocs d'émetteur, de l'isolation galvanique et de récepteur du convertisseur sur plusieurs puces séparées, assemblées par les fils de bondings [Chen 08]. (c) Le bloc d'isolation galvanique est réalisé par un transformateur avec ou sans noyau magnétique [Berg 14].

- **Solution d'interconnexion classique**

La dernière solution classique présente une solution multi circuits. Toutes les fonctionnalités sont réalisés en utilisant des composants discrets dont l'organisation est illustrée Figure I-29.

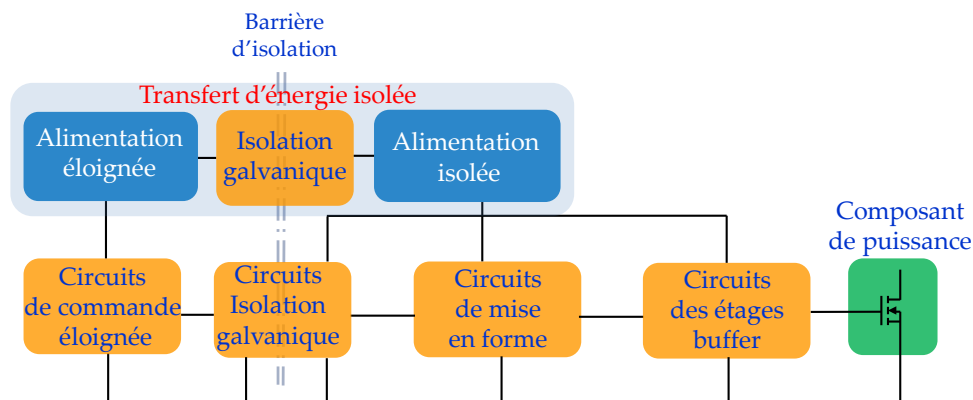


Figure I-29. Solution d'interconnexion classique.

Ces composants discrets peuvent être simplement soudés sur un substrat de PCB commun afin de réaliser un circuit de commande final. Cette solution est la moins complexe et elle présente un gain en terme économique par rapport aux autres solutions présentées, sans aucune contraintes de technologie et de comptabilité technologique pour toutes les fonctionnalités du circuit de commande. Cependant, cette solution est la moins performante

et présente à la fois tous les inconvénients en terme d'efficacité, de CEM, de volume : les parasites des fils des bondings d'interconnexion sont très élevés, les consommations d'énergie importantes des composants discrets, une grande volume occupé, un faible rendement de conversion des circuits d'alimentation flottante (<80%). De plus, les modes d'assemblage et de fabrication multiples peuvent imposer un appairage ou in tri des composants et ne profitent ainsi pas d'un procédé unique de fabrication collective.

- **Choix de technologie**

Le Tableau I-4 présente une comparaison qualitative entre les solutions d'intégration et d'interconnexion entre la puce de commande et la puce de puissance. En se focalisant sur la conception du driver, nous allons faire les choix de la technologie mise en œuvre dans ce travail de thèse.

Dans un premier temps, nous allons utiliser une technologie standard CMOS, peu couteuse et envisager la solution « commande intégrée partielle-puissance », afin d'étudier les fonctionnalités intégrées du driver monolithique et ensuite valider les différentes fonctions et modéliser l'organe d'isolation galvanique. La Figure I-30 montre les fonctions qui seront intégrés avec les six pads de connexion à l'extérieur du driver dans la technologie CMOS. Dans cette version, le bloc de commande éloignée ne sera pas intégré au sein du driver mais il est réalisé par des circuits discrets. Par conséquent, il est nécessaire d'utiliser encore des circuits d'émetteur afin de transférer les ordres de commutation à travers l'organe d'isolation galvanique du driver.

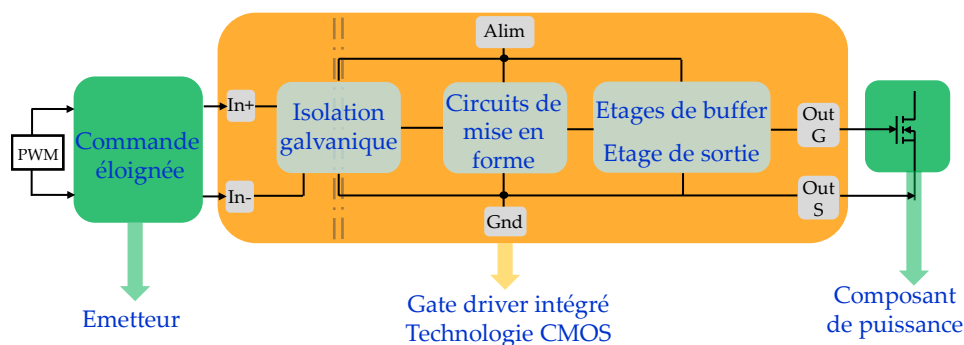


Figure I-30. Fonctions intégrées du driver intégré en technologie CMOS.

Dans un second temps, nous allons étudier la conception d'un driver dans une technologie SOI, afin de profiter des avantages offerts par cette technologie et aller vers la solution « commande toute intégrée-puissance ». Figure I-31 montre la conception de ce

driver. Dans cette solution, le bloc de la commande éloignée sera également intégré à l'intérieur du driver. Par conséquent, il est nécessaire d'envoyer uniquement l'ordre de commande PWM aux entrées du driver afin de piloter le composant de puissance.

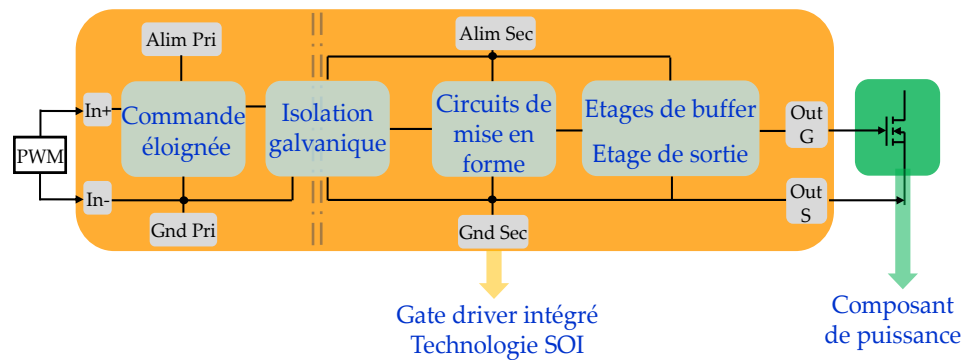


Figure I.-31. Fonctions intégrés du driver intégré en technologie SOI.

Solution	Complexité de conception	Performance (Fiabilité)	Contraintes de technologie	Volume	Coût
Solution « l'interrupteur générique »	+++	+++	Commande : Composant latérale, comptabilité avec la technologie verticale, niveau de tension 3.3V – 50V Puissance : Technologie verticale HV, niveau de tension 600V-1200V	+	+++
Solution « commande toute intégrée-puissance »	++	++	Commande : Technologie latérale HV/ substrat isolé, niveau de tension 3.3V – 50V – 100V- 200V – 1200V Puissance : Technologie verticale HV, niveau de tension 600V-1200V Contrainte d'assemblage : Flip chip 3D ou planaire 2D	++	+++
Solution « commande intégrée partielle-puissance »	++	++	Commande : Technologies latérales standards, niveau de tension 3.3V – 50V Puissance : Technologie verticale HV, niveau de tension 600V-1200V Contrainte d'assemblage : Planaire 2D	++	++
Solution « commande intégrée multi puce »	+-	+-	Commande : Technologies latérales standards, niveau de tension 3.3V – 50V Puissance : Technologie verticale HV, niveau de tension 600V-1200V Contrainte d'assemblage : Planaire 2D	++-	++
Solution d'interconexion classique	+	+	Commande : Pas des contraintes de technologie, niveau de tension 3.3V – 50V Puissance : Technologie verticale HV, niveau de tension 600V-1200V Contrainte d'assemblage : Planaire 2D	+++	+

Tableau I-4. Comparaison qualitative entre des solutions d'intégration et d'interconnexion entre la puce de commande et la puce de puissance.

I.3. L'organe d'isolation galvanique au centre de la gestion de la commutation

I.3.1. L'interface de commutation et de gestion intelligent via l'isolation galvanique

Nous l'avons vu dans le contexte de travail (partie I.1), pour assurer le bon fonctionnement du driver et de la commande éloignée, tous les ordres de commutation ainsi que la puissance nécessaire à l'alimentation du circuit de commande rapprochée doivent être transmis à travers un ou plusieurs organes assurant une isolation galvanique entre les différentes fonctions. D'autre part, des informations sur l'état du transistor de puissance peuvent également être renvoyées au travers de ces organes afin d'assurer la sécurité des composants de puissance.

La Figure I.-32 présente un schéma des canaux de commutation pouvant exister entre la commande éloignée et la commande rapprochée passant via l'organe d'isolation galvanique.

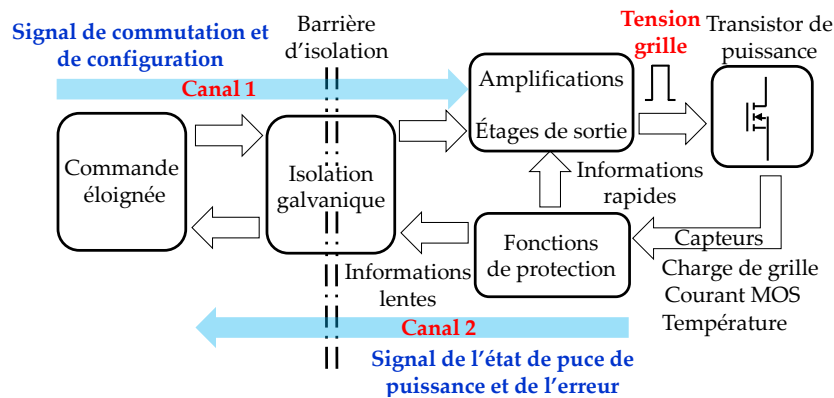


Figure I.-32. Schéma synoptique des canaux de commutation via l'organe de l'isolation galvanique.

Nous pouvons séparer la communication entre le transistor de puissance et la commande éloignée en deux canaux différents :

- **Un canal de pilotage** : Ce canal indispensable au fonctionnement permet d'envoyer le signal de commande à l'interrupteur de puissance

- **Un canal de sécurité :** Le driver peut contribuer à assurer la sécurité de fonctionnement à l'interrupteur de puissance. Pour cela, des capteurs devront permettre d'obtenir les informations nécessaires pour s'assurer de l'état de la puce tels que la charge de grille, la température, le courant MOS, ces informations devront être analysées par le driver pour gérer les états de travail critique du système et maintenir le dispositif dans sa zone de sécurité [Lefra 05], au plus proche du composant de puissance. Nous pouvons séparer les signaux de protection du composant de puissance en deux types d'information à renvoyer éventuellement vers la commande éloignée :

- Les informations rapides ou informations prioritaires

Des signaux d'erreur concernant des surintensités ou surtension importantes de nature à détruire le composant. Ces régimes de défaut doivent être éliminés très rapidement en des temps très court (de l'ordre de la μs à quelques ns) et nécessitent une protection rapide du driver afin de protéger le composant. Dans ce cas-là c'est la commande rapprochée qui doit agir et seul un renvoi des défauts vers la commande éloignée est nécessaire si l'on souhaite informer l'utilisateur de l'occurrence de ces défauts.

- Les informations lentes

Des informations de surveillance de la température de la puce ou des informations de changement de charge. Ces types d'informations ne nécessitent pas d'agir rapidement. Des mesures et estimation de la température peuvent être effectuées pour la sécurité thermique des composants de puissance.

- **Solutions de la transmission des signaux en bidirectionnel**

On le voit, des informations peuvent transiter dans les deux directions dans ce canal de transmission. Pour cela il est possible soit d'utiliser deux canaux différents soit un canal bidirectionnel. Nous avons deux options pour pouvoir transférer les signaux à travers l'organe de l'isolation galvanique :

- Deux organes d'isolation galvanique différents pour deux canaux de transmission différents (full duplex).
- Une seule isolation galvanique pour tous les deux canaux de transmission (half duplex).

Ces transmissions d'un signal bidirectionnel à travers la barrière d'isolation est un défi pour de nombreuses applications. Les solutions de l'état de l'art utilisent soit des dispositifs

optiques (optocoupleurs, fibre optique) [Avago], ou soit des dispositifs à base de coupleurs inductifs tels que des transformateurs à noyau magnétique [Ourak 12] ou des transformateurs sans noyau intégré sur PCB [Hui 01] ou sur silicium [Kenne 12].

- **Solution optique**

Les composants optiques sont une des solutions classiques pour isoler les signaux du driver, présentes dans de nombreux produits industriels. La Figure I-33 montre un exemple du driver HCPL314J de Agilent [Avago], qui intègre dans un même boîtier deux circuits opto-coupleurs et les amplificateurs associés pour les transferts des signaux bidirectionnels passant par deux canaux différents.

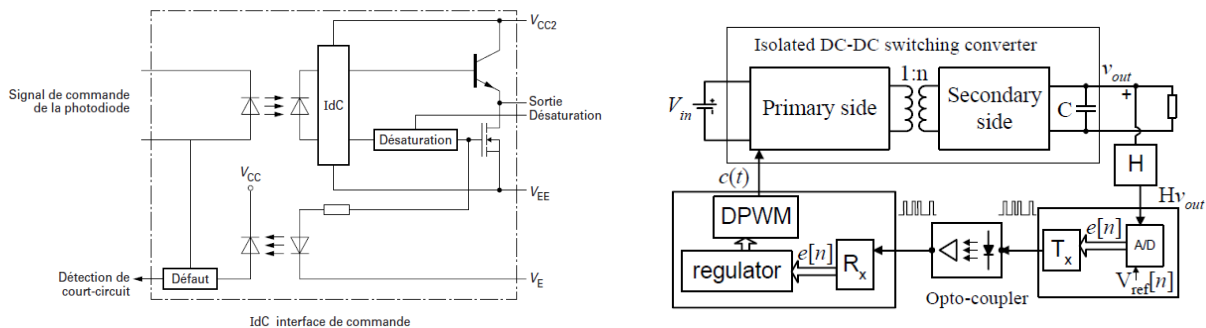


Figure I-33. Exemples de la transmission en bidirectionnel de l’optocoupleur par une approche analogie (a) [Avago] et une approche numérique (b) [Prodic 03].

Un autre exemple de contrôle numérique de l’état de la charge de l’interrupteur via un opto-coupleur a été réalisé dans [Prodic 03]. Dans cet exemple, l’opto-coupleur a été utilisé pour pouvoir réaliser une commande de régulation numérique de la tension de sortie. Les circuits au secondaire incluent un convertisseur Analogique/numérique et un émetteur afin de transférer cette information.

Comme nous l’avons mentionné auparavant, la solution d’opto-coupleur est limitée en termes d’isolation DC de quelques kV et de l’immunité du mode commun à quelques kV/ μ s. De plus, les temps de propagation sont normalement de l’ordre de quelques 100 ns à quelques μ s, ce qui reste une limitation importante des performances de la transmission d’un signal par opto-coupleur. De plus, cette solution est difficile à intégrer dans le driver car elle nécessite des émetteurs optiques sur la puce, complexifiant la conception et imposant des contraintes à la technologie.

- **Solution à transformateur à noyau magnétique**

Les transformateurs à noyau magnétique peuvent être utilisés comme isolation électrique afin de transférer de l'énergie ou un signal de façon bidirectionnelle. Pour pouvoir transférer les signaux à travers un transformateur, deux approches classiques des transmissions analogiques existent : la transmission par la modulation du signal ou la transmission par impulsion. Elle vise à adapter la bande passante du transformateur aux exigences de la transmission. Pour le premier type de transmission, les informations seront modulées avec un signal de porteuse afin de créer une modification de la fréquence de la porteuse (FM), ou par une variation d'amplitude (AM). La transmission par impulsion est, quant à elle, réalisée par le transfert des fronts présents lors de chaque changement d'états « haut » ou « bas ».

La Figure I.-34 montre le prototype d'un module IGBT 3.3 kV/1200 A à transmission par impulsions dans les deux sens via un transformateur discret réalisant un seul canal de communication.

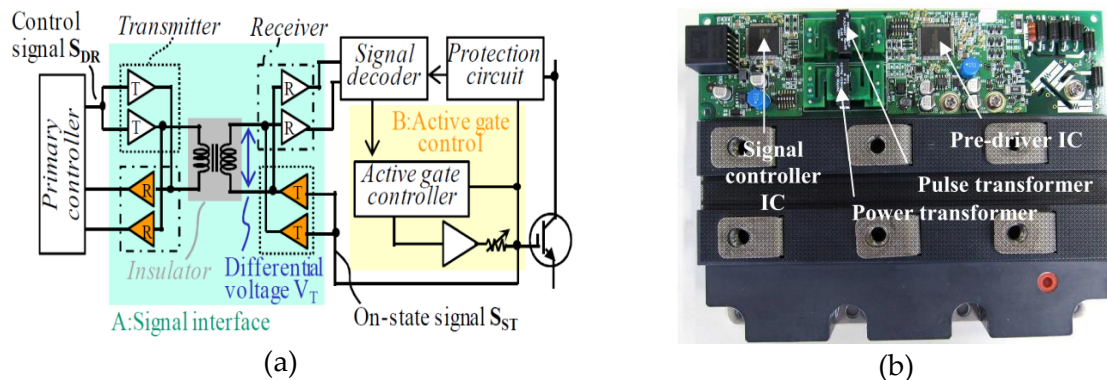


Figure I.-34. (a) Prototype et principe de travail d'un module IGBT 3.3kV/1200A, capable de transférer des ordres bidirectionnels par une transmission d'impulsions [Onda 13].

L'utilisation des bascules fonctionnant sur les fronts de montée et de descente du signal de commande a été nécessaire afin de transférer les signaux à travers le transformateur à noyau magnétique. Pour simplifier la mise en œuvre, une paire de circuits émetteurs et de circuits récepteurs sont utilisés pour séparer la transmission des ordres dans deux canaux différents. Les étages de bascules contiennent les informations de la commande sur les fronts montants et descendants et ensuite décodent les signaux de l'autre côté de l'isolation galvanique.

Un autre concept de transmission numérique par un transformateur discret est illustré Figure I.-35. En utilisant des convertisseurs analogique/numérique au primaire ainsi qu'au secondaire du transformateur, cette solution permet de transférer des informations série de 10 bits.

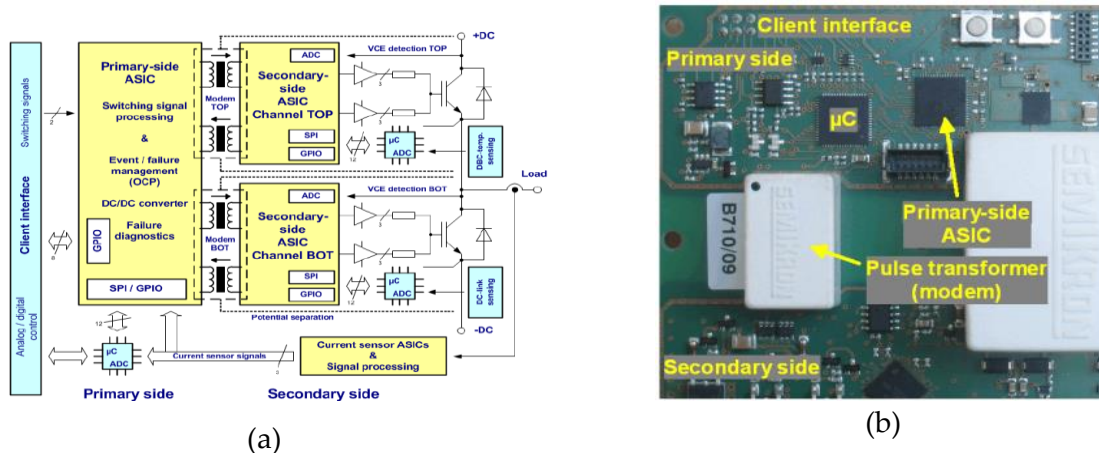


Figure I.-35. Prototype et principe d'opération d'un module IGBT pour la transmission des informations en bidirectionnel par une approche numérique [Lehman 11].

Le transformateur discret offre un bon niveau d'isolation, un temps de propagation faible (de l'ordre de 10 ns à 100 ns), une bonne immunité au mode commun jusqu'à 100kV/µs. Néanmoins, il présente aussi plusieurs inconvénients :

- Le coût et la taille physique sont très importants à cause de son noyau magnétique. De plus, les pertes importantes du noyau magnétique conduit à une consommation d'énergie élevée du transformateur discret et réduit le rendement du système.
- Cette solution ne peut pas être intégrée dans les circuits intégrés. Elle nécessite l'utilisation des fils de bonding ainsi que des pistes en cuivre au niveau de PCB afin de concevoir les interconnexions entre le transformateur et les circuits électronique, provoquant des inductances parasites élevées et augmentant les capacités de mode commun.

Pour toutes ces raisons, l'interface de communication par un transformateur discret n'est pas compatible pour les applications à haute densité de puissance.

• Solution transformateur sans noyau

L'idée principale de la technologie du transformateur sans noyau est de combiner les avantages d'un transformateur d'impulsions avec les avantages des technologies de

fabrication de circuits intégrés. En utilisant les couches de métal des technologies pour concevoir les enroulements, cette solution permet d'avoir une isolation statique élevée (quelques kV) grâce à des couches d'isolation intermédiaires en dioxyde de silicium tout en offrant des temps de propagation faibles et en étant peu coûteux. Cette solution nécessite toutefois une technologie ayant au moins trois niveaux de métaux différents afin de concevoir l'enroulement primaire, l'enroulement secondaire et les vias nécessaires pour ramener les extrémités des bobinages à partir du centre du transformateur vers les circuits électroniques au primaire et au secondaire. D'autre part, la tenue diélectrique DC est également fixée par le choix de la technologie d'intégration, comme le montre la comparaison entre la technologie CMOS et SOI présentée dans le Tableau I-5.

Caractéristique	CMOS	SOI
Solution d'intégration	Commande intégré partielle	Commande tout intégré
Nombre de couches de métal	4	6
Limitation d'isolation	- L'épaisseur d'isolation entre deux enroulements	- L'épaisseur d'isolation entre deux enroulements. - Substrat et le post process

Tableau I-5. Limitation d'isolation en fonction de technologie.

La taille ainsi que les largeurs des pistes du transformateur sans noyau sont limitées de l'ordre de μm afin de diminuer la consommation de la surface de silicium. Ceci cause une faible valeur de l'inductance mutuelle et grandes résistances parasites. Pour cette raison, les signaux transmis doivent être modulés à haute fréquence, de la centaine de MHz à quelques GHz. Il est à noter que, dans cette gamme de fréquence, le transformateur devient une source d'émission électromagnétique, peut perturber les circuits électroniques du voisinage.

La Figure I.-36 nous montre un exemple de module de Analog Devices (type ADuM1100), intégrant dans un même boîtier les étages de modulation, le transformateur sans noyau et les étages de modulation et de démodulation pour une transmission d'informations bidirectionnelle.

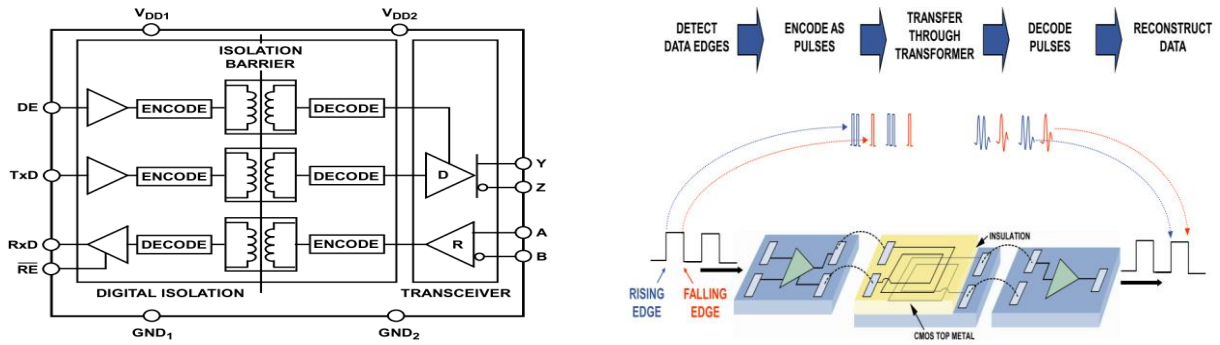


Figure I-36. (a) Prototype et principe de travail (b) d'un module Analog Devices bidirectionnel à transformateur intégré mais basé sur 3 puces [Analog].

Comme la solution à transformateur discret, ce module utilise également des bascules fonctionnant sur front edge-triggered afin de transférer les signaux à travers le transformateur intégré sur silicium.

La Figure I-37 présente un exemple de transmission bidirectionnelle à transformateur sans noyau d'un groupe Japonais. Le driver utilise une technologie GaN sur Si, intégrant dans un même boîtier un système de mélangeur et l'oscillateur de l'étage d'émetteur, les transformateurs intégrés pour le transfert du signal isolé ainsi que de l'énergie de commande et les étages récepteurs.

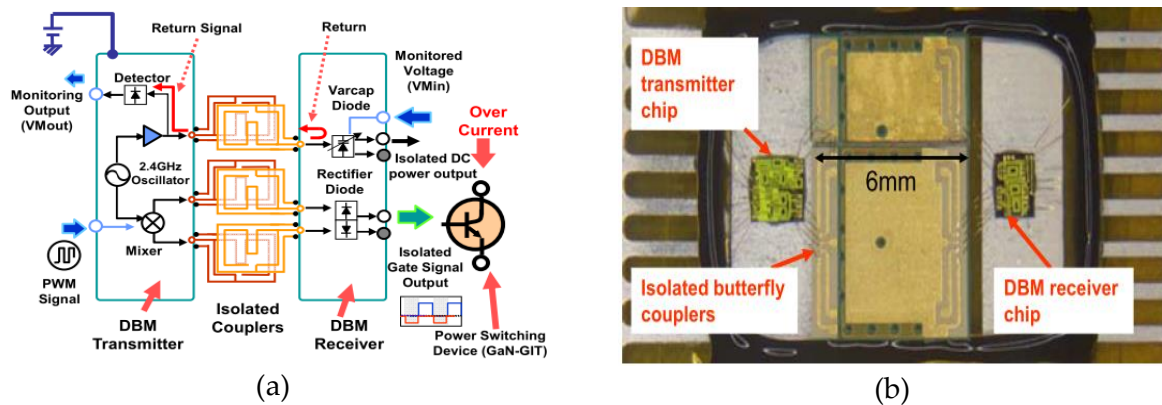


Figure I-37. (a) Principe de travail et (b) le prototype et du driver intégré utilisant des transformateurs intégrés, transmission des informations bidirectionnelle par un transformateur intégré [Nagai 14].

L'ordre de commande est transféré par une modulation d'amplitude avec une porteuse à 2.4 GHz tandis que le retour de défaut en cas de surintensité sur le composant de puissance est réalisé par un transfert de puissance de retour depuis le secondaire vers le primaire

réalisé par la désadaptation de l'impédance entre l'entrée et la sortie. Cette solution est très compacte au niveau de consommation de la surface et offre un haut niveau d'isolation allant jusqu'à 10 kV selon les estimations.

C'est cette solution qui présente les plus d'avantages par rapport aux autres solutions. Le transformateur intégré offre un bon niveau d'isolation (jusqu'à quelques dizaines de kV), un temps de propagation faible (moins de 5 ns) et une bonne dynamique immunité au mode commun jusqu'à 4.2 kV/ μ s grâce aux faibles capacités de mode commun (de l'ordre de dizaines de fF) du transformateur. De plus, il est intégrable au sein des circuits intégrés et présente un gain en volume et en consommation énergétique, bien que les démonstrations présentées restent avec un assemblage de composants discrets, potentiellement compatibles au niveau technologique

Ces trois solutions présentent des avantages et des inconvénients que nous pouvons classer sous les différents aspects suivants :

- La tenue de tension
- La rapidité de transfert de signal
- L'immunité aux perturbations électromagnétique ou électrique, de mode commun ou rayonnées.
- La consommation
- La surface occupée et la possibilité d'intégration
- Le coût de réalisation

Le Tableau I-6 nous permet de comparer les trois techniques d'isolations galvaniques usuelles présentées en termes de dynamique de la tension dV/dt , de vitesse de propagation du signal, de la tension d'isolation et de la possibilité d'intégration.

Caractéristique	Optocoupleur	Transformateur à noyau ou transformateur planar à matériau magnétique	Transformateur sans noyau
Isolation DC	+	++	++
Temps de Propagation	--	+	++
Consommation d'énergie	--	--	++
Volume	--	--	++
Problèmes de CEM	+	+	-
Possibilité d'intégration	Non	Non	Oui
Coût de fabrication	+	+	-

Tableau I-6. Caractéristiques usuelles des différents modes d'isolation de la logique de commande.

• Conclusion

Nous venons d'exposer les solutions pour la réalisation de l'organe d'isolation galvanique au centre de la gestion de la commutation. La solution optique présente des difficultés d'intégration et un rendement faible et impose des contraintes importantes sur la conception et la technologie. Le transformateur discret présente une consommation importante au niveau de pertes et du volume et n'est pas intégrable au sein du driver. La meilleure solution est donc le transformateur sans noyau pouvant être intégré, au sein de la puce de commande. Cette solution offre à la fois des gains en termes d'isolation, de temps de propagation, de volume et d'énergie. Nous avons vu que cette solution d'intégration monolithique sur silicium d'un transformateur sans noyau réalisant l'isolation galvanique est une perspective permettant d'améliorer la fiabilité et l'efficacité dans le domaine de l'électronique de puissance. En revanche, pour cette conception il existe encore des points de limitation du point de vue du niveau d'isolation électrique du transformateur nécessitant un modèle du transformateur plus fiable, ainsi que l'optimisation éventuelle du layout du transformateur et du système de commande. Ce sont ces points qui vont être abordés dans le chapitre suivant.

Comme on a vu dans le paragraphe I.2.2, l'approche de conception couplée entre la commande et la puissance est indispensable afin d'aller vers la conception la plus optimale

d'un interrupteur générique. Nous avons vu des exemples de cette conception en intégration hybride ou la puce de puissance de technologie verticale partage des fonctionnalités avec la puce de commande de technologie latérale [Tim 11], [GaNSys]. Cependant, nous pouvons réaliser une conception couplée encore plus forte entre deux parties en modifiant la conception de fabrication des deux puces. La partie qui suit présentera une des possibilités pour cette perspective.

I.3.2. Possibilité d'une conception couplée plus forte entre commande-puissance

Comme on le voit, une approche de conception couplée par une interconnexion hybride permet une optimisation indépendante pour la partie commande/puissance. D'autre part, elle peut faciliter l'intégration de nouvelles fonctionnalités d'interaction entre deux parties par une réalisation de l'hybridation en surface de la puce de commande sur la puce de puissance [Tim 11]. Dans cette partie, nous montrons une nouvelle approche de conception couplée en jouant sur la conception du composant de puissance et du driver. Basée sur une modularité de la mise en conduction de la taille du composant de puissance pendant son fonctionnement, cette technique de conception par « segmentation » présente des gains en performance à faible charge. La partie suivante détaille cette solution.

- **Technique de segmentation pour la charge partielle**

Les transistors de puissances fournis par l'industriel ont une taille fixée pour un calibre en courant de sortie et pour un point de fonctionnement nominal. Selon une gamme de taille des composants de puissance donnés, nous pouvons choisir les transistors les plus appropriés pour l'application. Par contre, à faible charge, le rendement du convertisseur peut être amélioré en utilisant des transistors de taille réduite [Kolar 12].

Dans cette partie, nous proposons une nouvelle conception du transistor de puissance en segmentant le composant principal en plusieurs sous-cellules mises en parallèle. On est capable de faire commuter toutes ou une cellule du composant afin de moduler sa taille active par des signaux de configurations.

Pour pouvoir réaliser cette approche, le circuit de commande sera adapté au composant de puissance au niveau de la charge de grille, permettant ainsi d'activer toute ou

une partie du composant de puissance. L'avantage de cette solution réside sur le gain énergétique, permettant de maintenir un haut rendement sur les cycles d'utilisation.

- **Technique de segmentation du composant de puissance**

Figure I.-38 représente l'évolution du rendement en fonction des niveaux de puissance en sortie. A partir de cette courbe, nous trouvons qu'il est possible d'obtenir un haut rendement dans toute la plage de la charge, en adaptant la surface du transistor de puissance avec la puissance de sortie lorsque la charge est réduite.

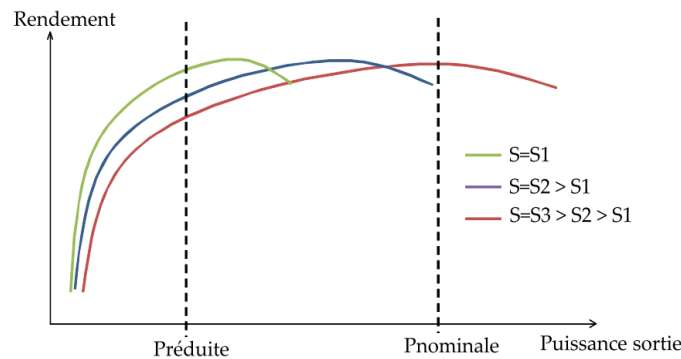


Figure I.-38 : Courbe qualitative d'évolution de rendement en fonction du point de fonctionnement, pour différente surface du composant de puissance.

La Figure I.-39 nous montre le gain en rendement d'un transistor de la taille S variable par rapport à un transistor de taille fixée. Pour pouvoir réaliser cette idée, nous pouvons découper le transistor de puissance en plusieurs sous-transistors, au sein d'un même substrat mais comportant plusieurs cellules mise en parallèle.

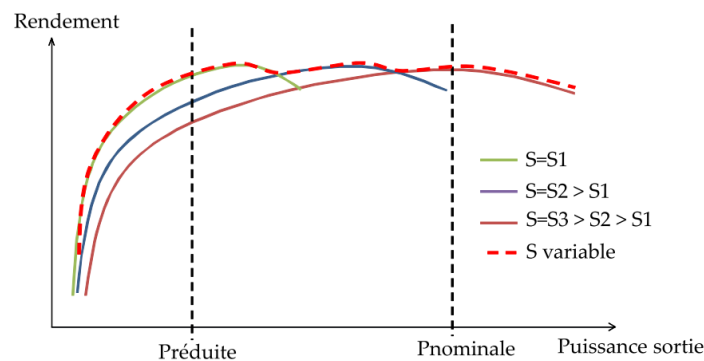


Figure I.-39 : Adaptation de la surface totale des transistors de puissance en fonction du niveau de puissance de sortie.

La Figure I.-40 présente le schéma et la vue de dessus d'un transistor de puissance classique. Les électrodes de grille, de source et de drain sont toutes regroupées ensemble.

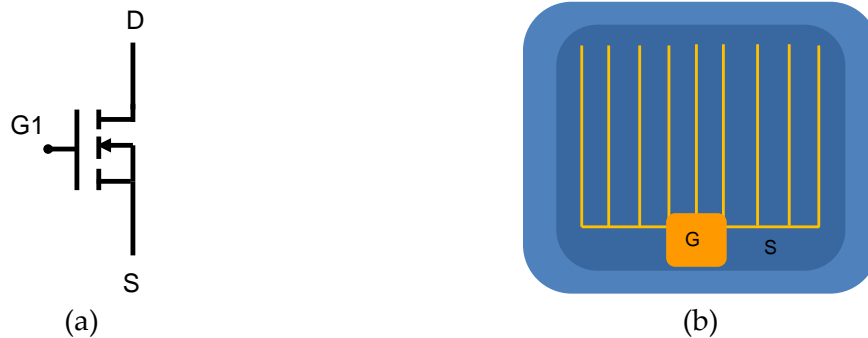


Figure I.-40 . (a) Représentation d'un transistor de puissance classique de type VMOS. (b) Vue en top layout du composant.

De façon différente, le transistor segmenté présente un nombre de composants à semi-conducteur dans une même puce avec des électrodes de source et de drain communes pour avoir la même tenue de tension mais des électrodes de grille séparées afin de faire varier la taille du composant commuté. La Figure I.-41 représente le transistor segmenté avec une vue de dessus de sa surface. Les électrodes de grille des cellules de puissance élémentaires sont accessibles individuellement, permettant « d'activer » séparément une ou plusieurs parties du transistor. Cette approche nous permet de moduler la taille du composant de puissance pendant son fonctionnement.

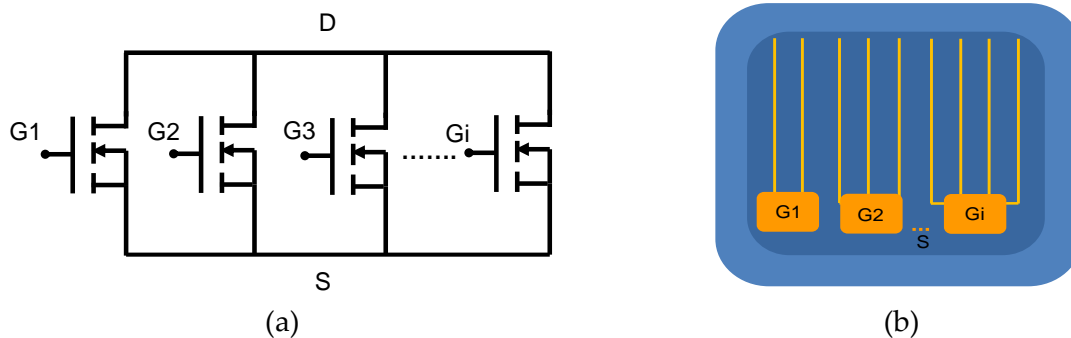


Figure I.-41 . (a) Représentation d'un transistor de puissance segmentée type VMOS. (b) Vue en top layout du composant.

A partir de cette figure, il faut noter aussi que la capacité de sortie totale C_{oss} du transistor de puissance est toujours présente, indépendante de la segmentation de grille.

Néanmoins, la capacité d'entrée C_{iss} sera changée en fonction de la surface de grille segmentée, ainsi que la résistance à l'état passant $R_{ds\ ON}$.

- **Segmentation du driver et du transistor de puissance pour la charge partielle**

La Figure I.-42 nous montre le schéma de principe et la vue du layout d'un driver classique de l'état de l'art. Les électrodes de l'étage de sortie de type push-pull sont regroupées sous trois contacts : VDD, GND et Out G. Les deux électrodes Out G et GND sont connectés respectivement à la grille G et la source S du transistor de puissance.

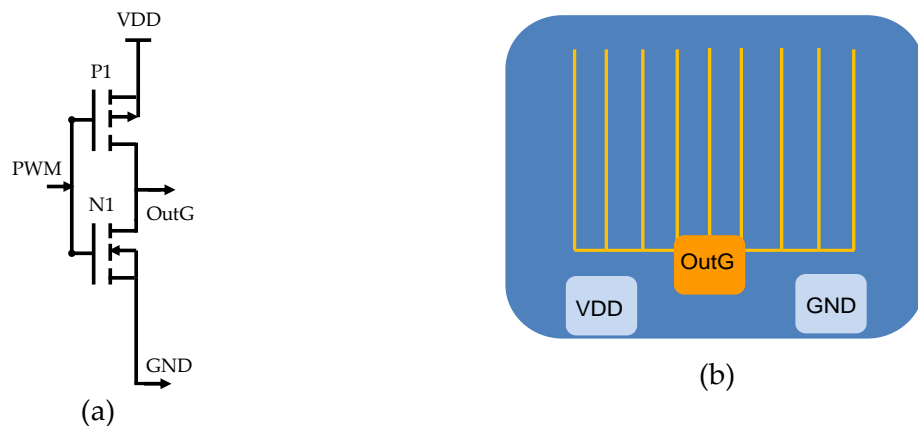


Figure I.-42. (a) Schéma principe et vue du layout (b) de l'étage de sortie du driver classique.

Pour répondre à la modification du transistor de puissance proposée auparavant, le driver doit s'adapter. A la différence du driver initial, le driver segmenté est découpé en plusieurs étages de sortie séparés, numérotés de G1 à Gi, mis en parallèle, comme illustré dans la Figure I.-43. La vue du layout de ce driver segmenté montre que les électrodes VDD et GND du driver sont regroupées ensemble tandis que les sorties sont séparées en plusieurs électrodes. Il faut noter que chaque bras de commande Gi a deux pads de sortie séparés Out Pi et Out Ni, afin de piloter indépendamment la grille correspondant de sous-transistor de puissance Gi pendant la phase de fermeture et d'ouverture, respectivement.

Pour pouvoir désactiver une partie Gi du transistor de puissance, nous devons bloquer le bras de commande Gi en polarisant la tension de grille du MOSFET Pi à l'état haut et les MOSFETs Ni à l'état bas. Pour cela, nous devons distribuer séparément les circuits de gestion de commande P et N pour tous les MOSFET P et MOSFET N afin de gérer la modulation des étages de sortie du driver.

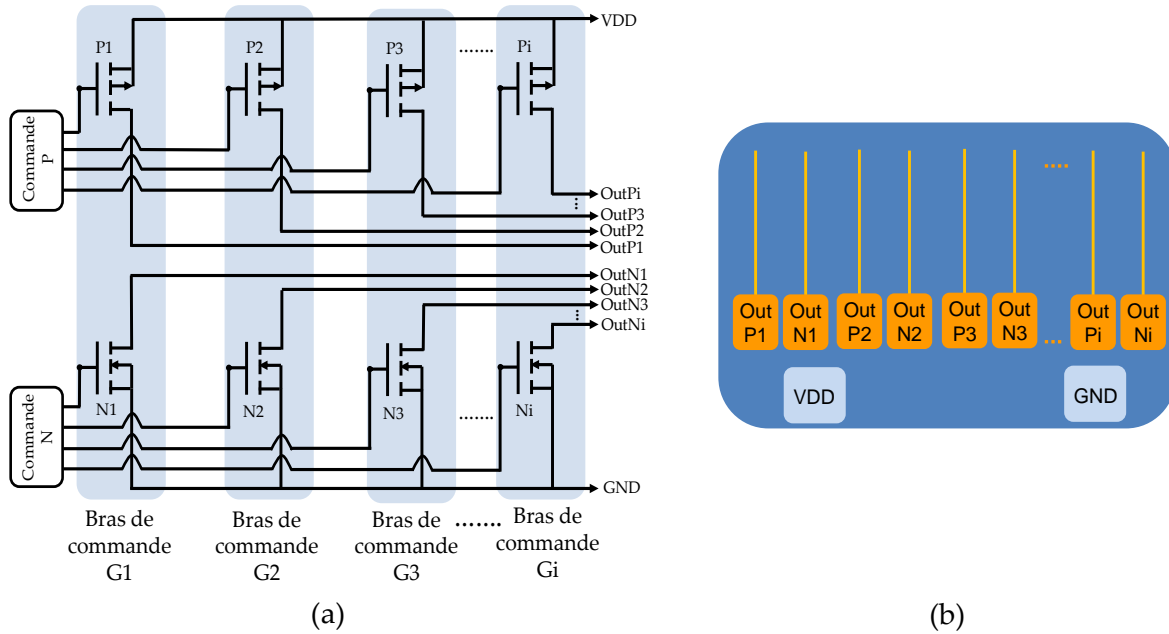


Figure I.-43. Schéma principe (a) et vue layout (b) de la première conception du driver segmenté.

Figure I.-44 montre la deuxième conception pour une segmentation plus forte du driver. Dans cette conception, chaque bras de commande G_i sera également découpé en plusieurs sous-bras de commande, numérotés de 1 à n . Par conséquent, nous pouvons aussi modifier l'impédance de sortie ou niveau du courant de charge/ décharge de chaque bras de commande G_i . L'avantage de cette solution réside sur le gain d'énergie supplémentaire lié à une diminution de l'énergie d'alimentation du driver dans le cas que la charge est réduite. De plus, nous pouvons appliquer cette deuxième conception du driver segmenté pour des stratégies de commande optimales tels qu'une diminution des problèmes de CEM pendant la commutation [Shorten 11], ou une réduction du sur-courant de l'IGBT pendant la phase de fermeture [Shorten 13] comme présentés dans la partie I.2.1.b de ce manuscrit.

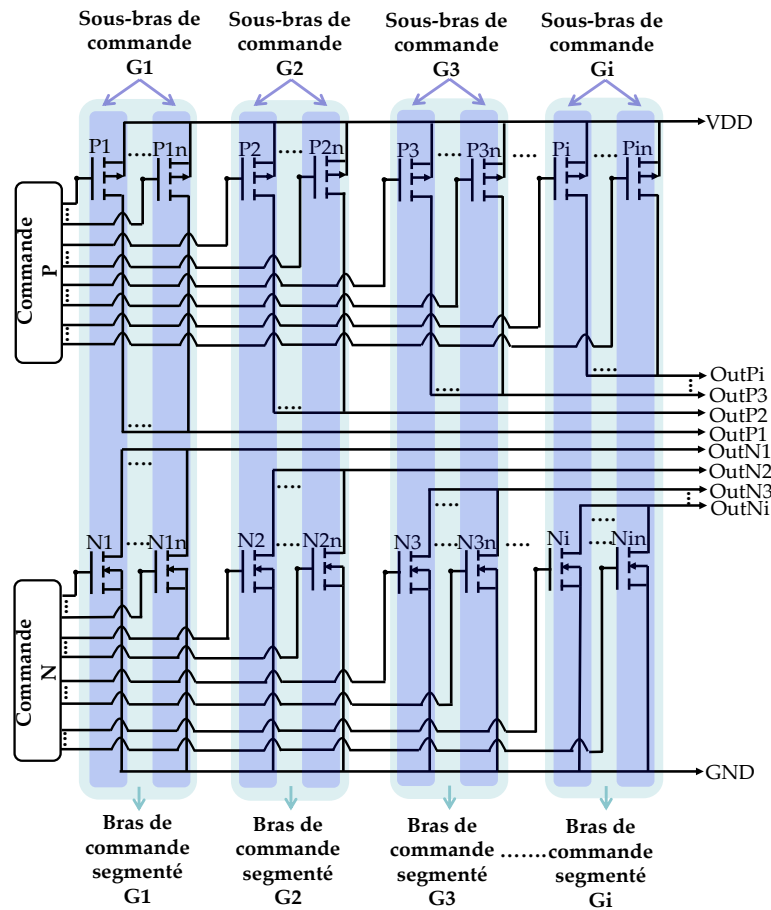


Figure I-44. Deuxième conception de segmentation du driver.

- **Configuration entre le driver segmenté et le transistor de puissance segmenté**

La configuration entre deux parties segmentées peut se faire à l'intérieur du driver par une logique de commande, représentés par les blocs logiques sur la Figure I-45.

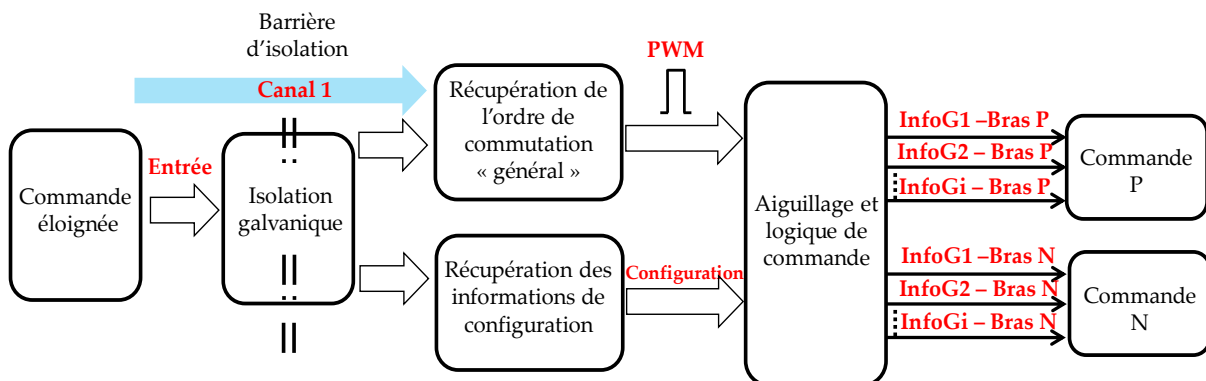


Figure I-45. Principe de l'envoi des signaux de commutation et de configuration du driver segmenté.

Cette configuration permet d'aiguiller les signaux de commande InfoGi à partir du signal d'entrée. Ce signal d'entrée vient de la commande éloignée et comporte les informations de l'ordre de commutation MLI (fréquence de commutation, rapport cyclique), ainsi que les éléments de configuration pour les portions du transistor de puissance qui seront pilotés et les impédances de sortie pour les bras de commande des driver segmentés correspondantes.

- **Applications de la technique de segmentation du driver et de composant de puissance pour la charge partielle**

Nous exposons dans cette partie l'état de l'art et les applications de cette technique de segmentation pour la charge partielle. Le premier rapport sur l'idée d'optimisation des pertes de MOSFET de puissance à faible charge, appliquée pour le convertisseur DC-DC basse tension est publié en 1995 durant la conférence APEC par R.K .Williams [Will 95]. Ce papier a étudié le compromis entre les pertes par conduction et les pertes par commutation du composant de puissance VDMOSFET et l'optimisation de la taille du MOSFET pour une technologie donnée et pour un point de fonctionnement fixé du convertisseur. Le modèle des pertes pour le convertisseur Buck DC-DC à une fréquence de commutation f et courant de charge I en relation avec la taille du MOSFET a été donné :

$$P = I_{rms}^2 \cdot R_{DS} (X_{ox}, V_{GS}, A) \cdot D + Q_G (X_{ox}, V_{GS}, A) \cdot V_{GS} \cdot f \quad (I.10)$$

Avec R_{DS} : résistance à l'état passant du MOSFET

X_{ox} : épaisseur de l'oxide de grille

D : rapport cyclique

A : surface du composant

Q_G : quantité de la charge de grille

V_{GS} : tension de commande de grille

Basé sur ce modèle, l'étude des performances d'un convertisseur Buck ($V_{out} = 2.7\text{ V}$, $I_{out} 100\text{mA} - 1\text{A}$) en fonction de la largeur du MOSFET a été réalisée. La Figure I.-46 a démontré l'intérêt de diminuer la taille du composant de puissance sous une faible tension d'entrée, correspondant à une faible charge. Une conception sur cette idée a été réalisée avec une composant TrenchFET de double grille fusionnée dans le but d'améliorer le rendement du convertisseur DC/DC basse tension à faible charge en réduisant dynamiquement la taille du MOSFET en fonction du courant de la charge, illustré dans Figure I.-47.

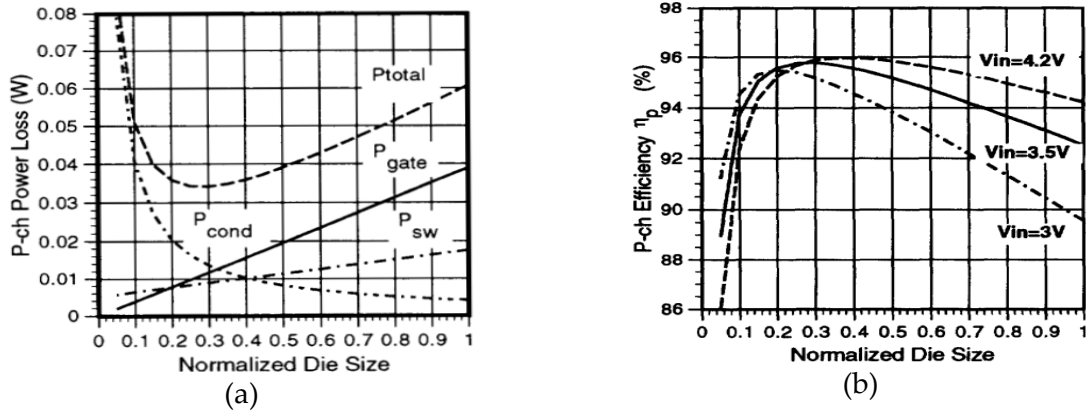


Figure I-46 : (a) Représentation de la courbe des pertes dans un convertisseur DC-DC en fonction de la largeur de grille normalisée du MOSFET. (b) Influence de la tension d'entrée et de la taille du MOSFET sur le rendement du Buck [Will 95].

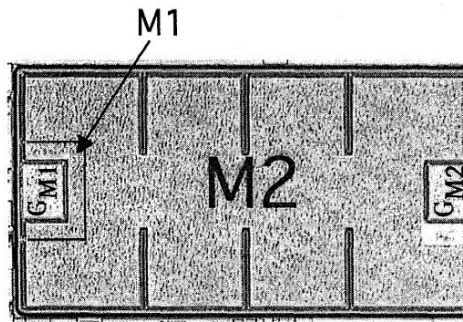


Fig. 3. Top view of dual-gate TrenchFET

(a)

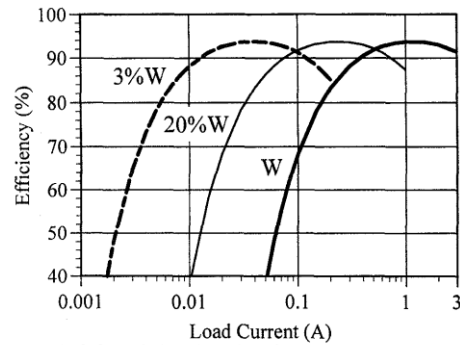


Fig. 2. Gate width scaling only shifts peak efficiency current

(b)

Figure I-47 (a) Représentation de la vue de dessus pour la conception du MOSFET segmenté avec deux électrodes de grille séparées. (b) L'influence la taille du MOSFET de puissance sur le rendement du Buck convertisseur en fonction de la charge [Will 97].

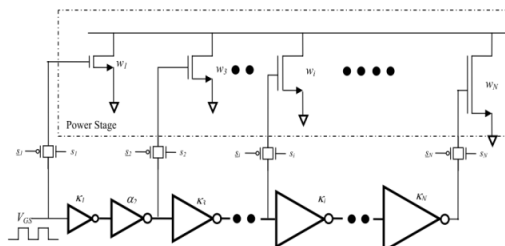
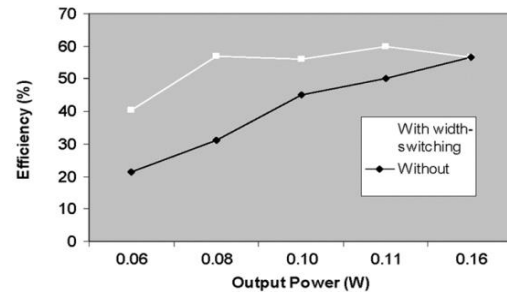


Fig. 4 Width Switching Scheme for NMOS Transistors

(a)



(b)

Figure I-48 : (a) Segmentation de grille pour le driver CMOS DC-DC Buck convertisseur 5 V, technologie CMOS AMIS 1.5 μ m. (b) Influence de la sélection et la taille du MOSFET sur le rendement du Buck [Musun 05].

Cette technique de segmentation est ensuite appliquée pour pouvoir optimiser le rendement à faible charge dans un convertisseur Buck basse tension intégré monolithiquement pour lequel un driver segmenté est utilisé afin de piloter le transistor de puissance segmenté, comme montré dans Figure I.-48 et Figure I.-49.

Ces deux exemples montrent respectivement les gains en rendement à faible charge variant entre 10% et 30% de la charge nominale, confirmant l'avantage de cette technique de segmentation.

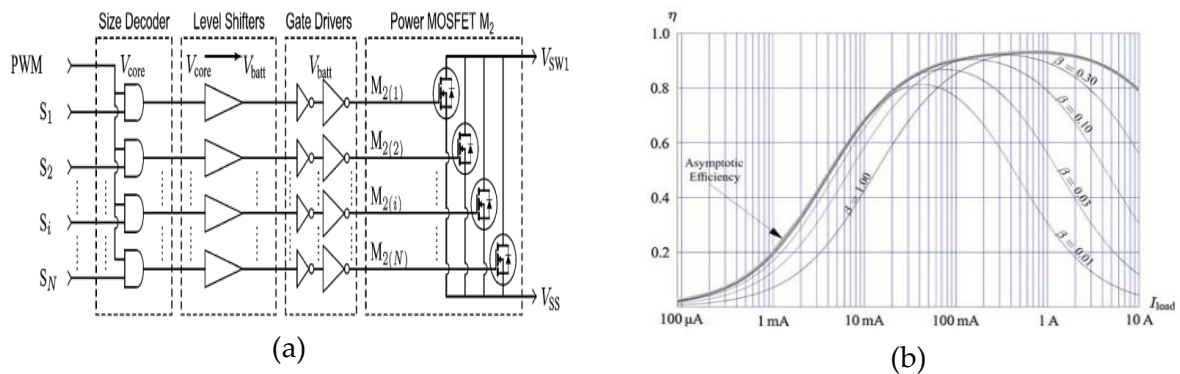


Figure I.-49 : (a) Schématique de la mise en parallèle de MOSFET en associés avec un driver CMOS dans un convertisseur Buck 1.8 V, technologie CMOS 0.18 μm . (b) L'influence de la sélection de la taille du MOSFET sur le rendement du Buck [Lorentz 10].

• Conclusion

Dans les applications présentées la solution de la charge partielle nous montre les gains en performances par une interaction couplée entre commande et puissance. Cette conception nous permet d'avoir une nouvelle possibilité pour tirer au maximum profit des partages de fonctionnalités entre la partie commande et la partie puissance. Cependant, le domaine d'application de cette idée est aujourd'hui utilisé que pour les applications de basse tension (1.8V-5V-10V) ne nécessitant pas d'isolation galvanique car les composants de puissance sont intégrés monolithiquement avec les circuits de commande ce qui limite les contraintes de conception. Maintenant, les gains énergétiques à faible charge de cette idée sont intéressants à étudier pour des applications haute tension (600V-1200V) pour lesquelles il est nécessaire d'avoir l'isolation galvanique. Par conséquent, nous devons considérer tous les contraintes en terme de technologie pour une application en haute tension.

La Figure I.-50 présente la conception d'un driver segmenté que nous allons étudier pour une réalisation en technologie CMOS pour des applications haute tension. Dans cette solution, nous allons retenir tous les fonctions électroniques ainsi que l'organe l'isolation galvanique par un transformateur sans noyau intégré du driver CMOS, proposé dans la partie I.2.2. De plus, les étages de sortie seront segmentés en plusieurs sous-bras identiques et configurés par un microcontrôleur externe afin de piloter le composant de puissance segmenté. Nous développons la conception de ce driver segmenté, celle qui sera détaillée dans le chapitre III, pour montrer l'avantage de cette méthode.

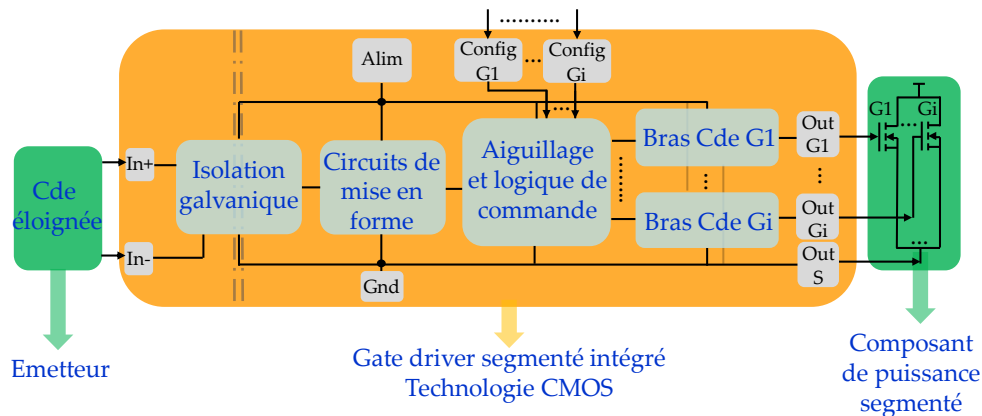


Figure I.-50. Présentation de la conception du driver segmenté intégré dans technologie CMOS.

I.4. Conclusion

Dans une première partie de ce chapitre, nous avons présenté l'état de l'art sur l'interaction et l'interconnexion de cellule de commutation – composant de puissance – driver. Les études sur les impacts de la conception du driver sur les performances du convertisseur ont également été proposées. Ensuite, nous avons étudié les solutions d'interconnexion entre la puce de commande et la puce de puissance. Parmi les solutions existant, on retiendra deux solutions d'intégration : la « commande intégrée partielle-puissance » dans une technologie CMOS standard et la « commande toute intégrée-puissance » dans une technologie SOI. En montrant les avantages du transformateur intégré afin de réaliser l'interface de communication bidirectionnelle pour le convertisseur, nous avons choisi cette solution d'intégration pour ce travail de thèse. En fin de ce chapitre, nous

présentons une nouvelle conception couplée commande/puissance afin d'améliorer la performance de conversion d'énergie à faible charge.

Basé sur nos choix de technologie, de solution d'interconnexion et de solution galvanique intégrée, cette thèse a pour objectif de concevoir et de valider une approche d'intégration monolithique d'un circuit de commande dont toutes les fonctions sont intégrées. Ce circuit de commande servira notre but final ; concevoir un «interrupteur générique». La Figure I.-51 montre l'organisation de ce travail de thèse.

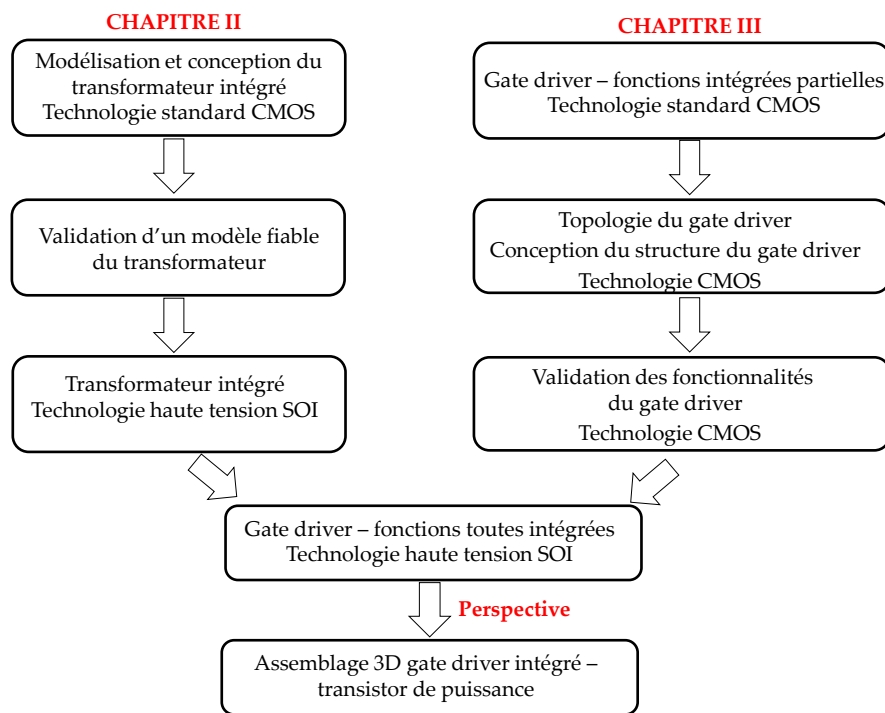


Figure I.-51. Proposition des démarches d'étude dans le cadre de cette thèse.

Nous allons nous focaliser sur les aspects du transformateur dans le chapitre II avec l'objectif de fournir une étude approfondie sur la conception d'un transformateur intégré en gérant des contraintes de technologie, de géométrie afin d'obtenir une conception du transformateur la plus adaptée avec notre approche du circuit de commande générique. Ensuite, nous allons proposer un modèle électromagnétique et ainsi qu'un modèle électrique équivalent du transformateur intégré. En validant les modèles proposés, notre objectif est de prévoir pour le concepteur du circuit intégré les performances d'un transformateur intégré de technologie CMOS et aussi bien que dans d'autre technologie en utilisant cette approche.

Suite aux avantages de la technique de segmentation du circuit de commande et du composant de puissances démontré dans le chapitre I et à la caractérisation du transformateur intégré dans technologie CMOS 0.35 μm du chapitre II, le chapitre III va poursuivre le développement en proposant la conception, la caractérisation et la mise en œuvre de nos circuits de commande intégrés dans les deux technologie CMOS et SOI.

Chapitre II

Conception, modélisation et caractérisation d'un transformateur intégré en technologie CMOS 0.35 μ m bulk et CMOS 0.18 μ m SOI

CHAPITRE II : Conception, modélisation et caractérisation d'un transformateur intégré en technologie CMOS 0.35μm bulk et CMOS 0.18μm SOI	64
II.1. Introduction	64
II.2. Conception du transformateur intégré	67
II.2.1. Technologie CMOS H35B4M3.....	67
II.2.2. Topologie du transformateur	69
II.2.3. Dimensions géométriques du transformateur	70
II.3. Modèle électromagnétique dans HFSS	73
II.4. Modèle électrique équivalent.....	76
II.4.1. Les branches en série	77
II.4.2. Les branches de shunt	78
II.4.3. Éléments de couplage.....	79
II.5. Caractérisation du transformateur intégré.....	80
II.5.1. Banc de caractérisation et méthode de de-embedding.....	80
A. Plateforme de caractérisation RF.....	80
B. Méthode de de-embedding « Open-Short »	81
II.5.2. Résultats expérimentaux.....	83
A. Validation des modèles proposés du transformateur intégré.....	83
a. Paramètres extraits.....	83
b. Validation des modèles proposés	85
B. Influence de diamètre	92
C. Influence de la forme de l'enroulement	94
D. Influence de la largeur de piste	96
E. Tension de claquage et optimisation de la conception	99
II.5.3. Conception optimale du transformateur intégré pour le circuit de commande	101
A. Figure de mérite de la conception du transformateur intégré	103
B. Extrapoler les gains en tension pour la charge arbitraire par paramètres S	105
C. Simulation temporelle du transformateur intégré.....	107
II.6. Conclusion	109

CHAPITRE II : Conception, modélisation et caractérisation d'un transformateur intégré en technologie CMOS 0.35µm bulk et CMOS 0.18µm SOI

II.1. Introduction

Le premier chapitre a présenté une analyse sur les besoins d'un « driver » intégré pour réaliser l'isolation galvanique nécessaire à cette fonction, nous avons choisi d'utiliser un transformateur intégré directement dans le circuit driver pour lequel nous nous proposons d'étudier une fabrication dans deux technologies, soit une technologie bas coût CMOS 0.35 µm bulk [Ams], soit une technologie CMOS 0.18 µm SOI [SOI XT18]. L'objectif de ce chapitre est de mettre en place une méthodologie de conception pour ce type de composants. Celle-ci passera par plusieurs étapes, la première étant de réaliser des composants tests permettant de caler les modèles nombreux que l'on rencontre dans la littérature. Nous nous limiterons ici aux seuls transformateurs sans noyau magnétique (« coreless ») pouvant être réalisés dans des technologies standards (CMOS industrielles). Ces composants réalisés et les modèles établis, nous proposerons une approche d'optimisation du dimensionnement de ce composant pour répondre aux attentes de la fonction à réaliser. Nous associerons donc ce transformateur à l'électronique nécessaire pour transférer l'ordre de commande du transistor de puissance piloté par le circuit driver. Au chapitre III, ce transformateur ainsi que cette électronique de modulation et de démodulation seront réalisés en technologie CMOS 0.35µm afin de tester l'ensemble de la chaîne de transmission de l'information.

- **Transmission des ordres par un transformateur sans noyau**

Comme on l'a vu dans la partie I.3 du chapitre I, un transformateur intégré peut transférer l'énergie de commande ainsi que l'ordre de commutation nécessaires au « driver », tout en offrant une isolation galvanique. Pour autant, la faible valeur de l'inductance magnétisante de ce type de composant (de l'ordre de la dizaine de nH à la centaine nH) [Tim 11] nécessite que le signal à transmettre soit conditionné. Parmi les techniques envisageables, la modulation d'amplitude du signal à haute fréquence (quelques centaines de MHz à quelques GHz) présente des atouts importants car :

- elle est simple à mettre en œuvre et est intégrable

- elle présente une bonne immunité aux bruits environnants.

La Figure II.-1 montre le schéma de la chaîne de transmission du signal de commande (a) ainsi que la technique de modulation que nous allons utiliser (b). Celle-ci est une modulation AM analogique, avec une profondeur de modulation de 100% et une modulante carrée, permettant une bonne immunité au bruit pour la transmission d'un signal binaire. Le fonctionnement de cet ensemble est le suivant : le signal de commande du transistor de puissance est modulé par une tension alternative à haute fréquence (fréquence de porteuse) afin d'obtenir en sortie de modulateur soit la modulante quand le signal de commande est à l'état haut soit un signal nul lorsque le signal de commande est à l'état bas. D'autre part, il est possible de faire varier le rapport cyclique ou la fréquence de commutation. Ce signal est ensuite transmis par le transformateur et ce avec une faible atténuation car la fréquence de porteuse est choisie dans la bande passante de celui-ci. Au secondaire, le signal est démodulé par un circuit détecteur crête, comportant une diode et un filtre RC en série afin d'extraire le signal de commande transmis.

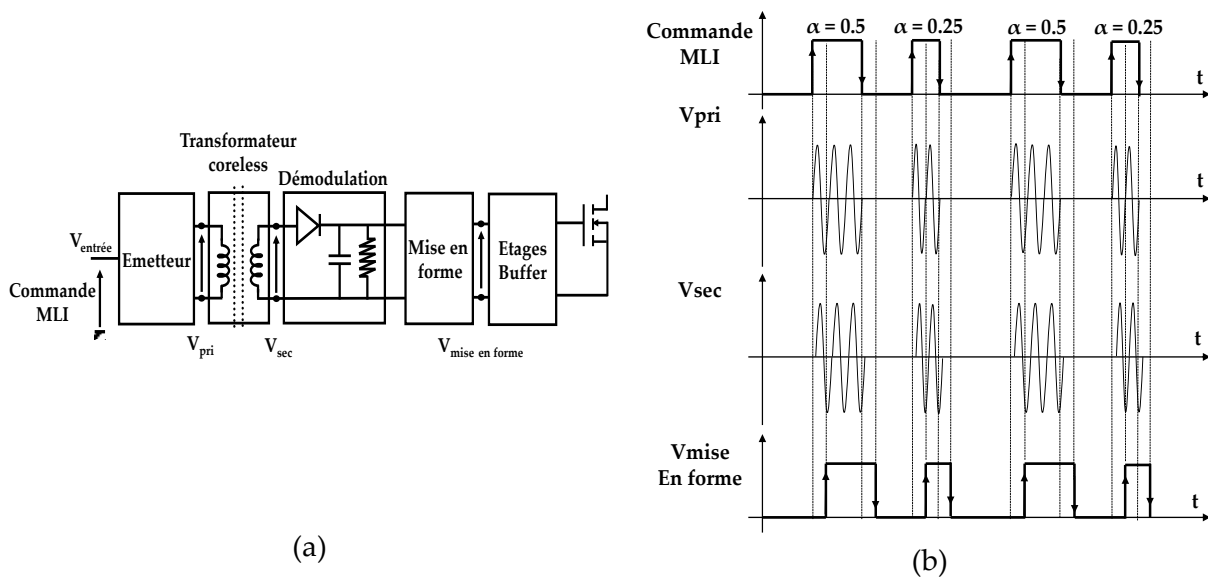


Figure II.-1. (a) Schéma du circuit « driver » avec transmission isolée du signal de commande et (b) principe de fonctionnement du circuit de modulation d'amplitude.

- **Fréquence de porteuse optimale et bande de passante du système**

La qualité de transfert du signal au travers du transformateur peut être évaluée en observant la tension de sortie au secondaire de celui-ci. En effet, le rapport de transformation m entre la tension au secondaire V_{SEC} et la tension au primaire V_{PRI} est un des points clés pour

la transmission d'ordres à travers un transformateur. Afin de faciliter la détection d'amplitude du circuit de démodulation, il est nécessaire d'avoir un ratio élevé.

Ce ratio dépend principalement des performances du transformateur elles-mêmes fonctions de la géométrie, de la fréquence de porteuse et de la technologie du transformateur. En effet, il est nécessaire d'avoir un ratio unitaire de m avec un même niveau de tensions sur la partie primaire et secondaire pour un transfert du signal à haute fréquence de porteuse. Un ratio m supérieur à 1 permet d'avoir une tension secondaire V_{SEC} plus élevée et un couplage plus faible. Dans ce cas, le courant primaire doit être plus élevé, provoquant plus de consommation au niveau de circuit de commande éloigné. D'ailleurs, un faible couplage provoquant une inductance de fuite L_{FUIITE} plus élevée, peut créer une atténuation de signal importante dans le transformateur à haute fréquence.

D'autre part, la bande passante de la transmission dépend de la fréquence de la porteuse mais aussi des blocs de modulation et de démodulation. Par conséquence, le choix de la fréquence de porteuse optimale fixant la bande passante du système est à déterminer en fonction des besoins de l'application.

- **Objectifs du travail**

Dans ce chapitre, nous allons nous attacher à établir des modèles fiables du transformateur intégré afin de prévoir son comportement. Pour pouvoir conduire cette approche, plusieurs transformateurs sans noyau magnétique ont été conçus, analysés, et caractérisés via une réalisation en technologie CMOS, en prenant un soin particulier pour l'évaluation des couplages hautes fréquences et des éléments parasites.

Tout d'abord, une étude sur la topologie des transformateurs à réaliser sera effectuée dans la partie II.2 dans le but d'optimiser la structure en considérant tous les paramètres géométriques tels que la géométrie des bobinages, leurs positions relatives ainsi que l'utilisation d'un blindage de substrat.

La partie II.3 présentera ensuite la modélisation électromagnétique du transformateur qui a été réalisée. Celle-ci permet de prévoir les caractéristiques de ce composant en fonction de ses grandeurs géométriques et des matériaux utilisés.

Par la suite, en utilisant des équations analytiques, un modèle électrique équivalent sera également proposé afin d'analyser, dans la partie II.4, le comportement physique de

transformateurs intégrés. Ces équations analytiques sont fonctions des paramètres de la technologie CMOS mais aussi de la géométrie du transformateur.

La partie II.5 compare les résultats expérimentaux, le modèle électromagnétique et le modèle électrique afin de valider les modèles proposés en utilisant les paramètres S (Scattering parameters) ainsi que les inductances mutuelles et les coefficients de couplage jusqu'à 20 GHz. Pour avoir une mesure plus précise, nous allons utiliser la méthode de-embedding à deux éléments open-short afin d'éliminer les termes parasites, ceux qui viennent des plots de connexions et des lignes d'accès. La caractérisation du claquage sera ainsi introduite afin de mesurer la tenue de tension d'un transformateur intégré CMOS. Enfin, une des variantes des transformateurs a été choisie pour être associée avec les fonctions électroniques du driver CMOS. Nous analysons les limitations des motifs fabriqués afin d'optimiser la conception.

La validation des modèles pour l'utilisation de la technologie CMOS offrant la possibilité de modéliser un transformateur intégré en technologie haute tension SOI, cette modélisation sera utilisée de nouveau au chapitre III pour concevoir la puce dans cette technologie permettant l'intégration de toutes les fonctions du gate drive.

II.2. Conception du transformateur intégré

II.2.1. Technologie CMOS H35B4M3

Nous chercherons, dans ce chapitre, une solution d'intégration d'un transformateur sans noyau sur silicium en utilisant la technologie CMOS, et ce sans aucune étape de fabrication supplémentaire et offrant la possibilité d'intégration monolithique des autres fonctions de la puce. Ceci devrait permettre de diminuer le coût de fabrication et la taille du circuit de commande [Tim 11].

Pour cela, nous avons un large choix de fondeurs de technologies CMOS tels que XFAB [Xfab] ou AMS [Ams], proposant des finesses de gravure et des procédés de fabrication différents. En raison de la facilité d'accès à la technologie, l'adaptation aux cahiers de charges classiques, le savoir-faire établi au G2Elab ainsi que la sous-traitance possible via l'Unité Mixte de Service CMP (Circuits Multi Project CNRS/G-INP), la technologie CMOS 0.35 μ m

H35B4M3 de AMS a été retenue [Cmp]. De plus, cette technologie présente plusieurs d'avantages :

- Elle dispose d'une large gamme de composants dont la tenue en tension entre 3.3 V et 50 V est adaptée pour la conception de fonctions de commande logiques (3.3V-5V) ainsi que des étages de buffer (20V-50V) pour piloter la grille des composants de puissance.
- La Figure II.-2 présente la technologie H35B4M3. Elle dispose de quatre niveaux de métallisation dont un métal épais qui est adapté pour faire transiter un courant important en raison de sa résistance réduite. Par rapport à une technologie CMOS standard, cette technologie présente des couches d'oxyde plus épais entre les couches de métaux afin de fournir un niveau d'isolation plus élevé.

Pour toutes ces raisons, cette filière technologique CMOS permet de faciliter l'implémentation du circuit de commande et aussi que l'optimisation du transformateur intégré.

Le substrat silicium de cette technologie CMOS a une épaisseur de 740 μ m et est faiblement dopé. Il présente une résistivité modérée comprise entre 16 et 24 Ω .cm [Linh 09] faisant qu'il n'est pas un bon isolant. Cette nature conductrice entraîne plusieurs formes de pertes vis-à-vis du dispositif intégré comme des courants de Foucault dus à la pénétration du champ magnétique créé par les conducteurs dans le substrat. Heureusement, la filière technologique CMOS propose la possibilité d'implanter des caissons de type PWELL/NWELL ayant un plus fort niveau de dopage dont nous pourrions profiter pour diminuer les pertes dues au substrat [Liang 06] [Yim 02], et pouvant créer des blindages et limiter alors la circulation des courants induits, les caissons Nwell pouvant être flottants ou connectés à un potentiel de référence. Il faut aussi considérer les règles de dessin de la technologie employée qui imposent la géométrie des enroulements ainsi que les paramètres technologique employés [Haitao 06]. Dans un premier temps, nous allons chercher une topologie performante pour le transformateur en prenant en compte les règles imposées par la technologie.

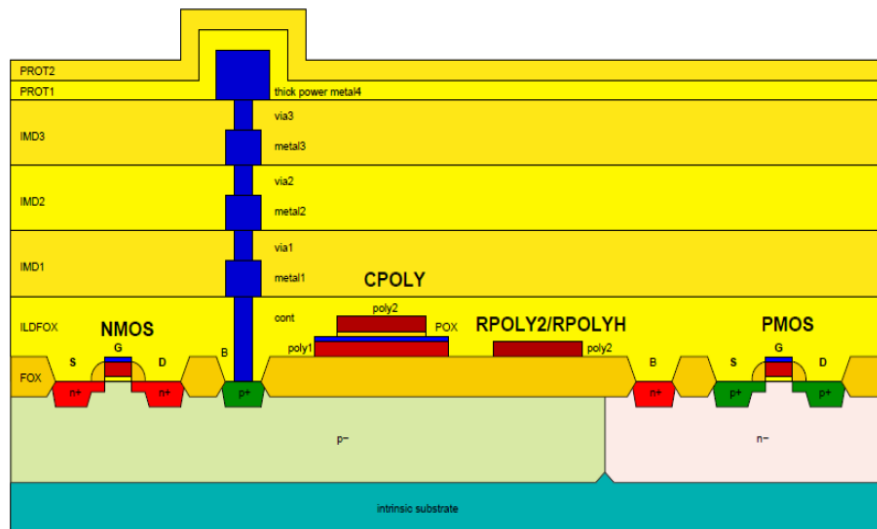


Figure II.-2. Vue en coupe de la technologie AMS 0.35 μm H35B4M3 [Ams].

II.2.2. Topologie du transformateur

Malgré les règles de dessin et les contraintes de technologie, il existe plusieurs façons de concevoir un transformateur intégré, en jouant sur la géométrie des bobinages. Les deux configurations les plus utilisées pour les transformateurs monolithiques sont la topologie entrelacée et la topologie empilée, illustrées Figure II.-3 [Mohan 98].

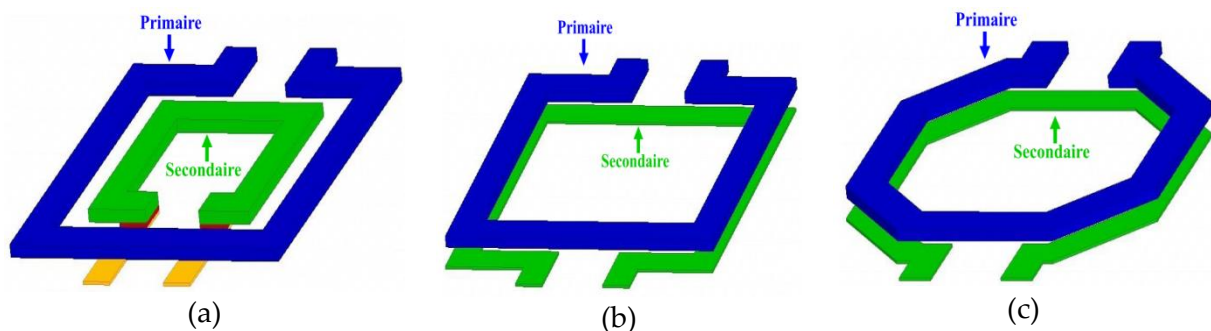


Figure II.-3. Différentes structures de transformateurs : (a) Topologie entrelacé. (b) Topologie empilée de forme carrée. (c) Topologie empilée de forme octogonale.

La topologie entrelacée voit le primaire et le secondaire intégré sur le même niveau de métal avec prises de contact au milieu de l'enroulement. Cette conception nous permet de minimiser les capacités parasites entre les enroulements et le substrat en les intégrant sur les couches métalliques supérieures, et, ainsi, obtenir une fréquence de résonance plus élevée mais présentant un faible niveau d'isolation électrique. Le transformateur empilé qui utilise

plusieurs couches de métal pour intégrer l'enroulement primaire et l'enroulement secondaire permet d'avoir un meilleur couplage ainsi qu'une valeur plus élevée de l'inductance de l'enroulement [Leite 09]. En outre, cette configuration offre également un niveau d'isolation électrique plus élevé en bénéficiant de l'épaisseur de la couche diélectrique d'oxyde présente entre les deux enroulements. Dans notre travail, nous allons choisir la topologie empilée afin de maximiser le niveau d'isolation électrique du transformateur. Cependant, cette disposition présentant des capacités entre terminal-terminal assez élevées, cela provoque une faible fréquence de résonance au transformateur conduisant à une limitation de la gamme d'utilisation en fréquences du dispositif [Mohan 98].

La forme de l'enroulement est un autre aspect qui doit être pris en compte. Ainsi, il faut remarquer que dans la technologie CMOS, l'angle de la spire est limité à 45 degrés. Par conséquent, le dessin de l'enroulement du transformateur est limité à la forme octogonale ou la forme carrée. Le compromis entre deux formes d'enroulement a été étudié dans [Leite 09] et montre une meilleure performance pour le transformateur octogonal. En partant de cette comparaison entre ces topologies dans l'état de l'art, le choix du transformateur empilé avec bobinage octogonal a été retenu comme solution de départ pour notre travail. En utilisant la simulation 3D dans logiciel HFSS [Ansys], nous avons réalisé l'étude sur la variation de la forme et l'utilisation d'un blindage sur les performances du transformateur (voir Annexe A). En se basant sur ces résultats, nous remarquons que le transformateur octogonal avec bouclier flottant NWELL est la topologie optimale. Ce choix devrait nous permettre d'obtenir un bon coefficient de couplage tout en occupant une surface minimale de silicium.

La partie suivante présente le dimensionnement de différents transformateurs qui seront ensuite caractérisés.

II.2.3. Dimensions géométriques du transformateur

Maintenant que la topologie a été déterminée dans la partie précédente, nous allons concevoir les motifs de différents transformateurs intégrés afin de permettre, par la suite, une caractérisation de l'impact des paramètres géométriques sur les performances de ce composant et ce pour une conception en technologie AMS CMOS 0.35 μ m bulk. La géométrie du premier transformateur de notre travail s'inspire du composant précédemment réalisé au

cours de travail de T. Simonot [Tim 10] conduit au G2Elab. Ce transformateur nommé $T5$ est de forme carrée et a pour diamètre externe des bobines D_{out} de 600 μm et pour diamètre interne D_{in} , 100 μm . Le rapport entre D_{out} et D_{in} est compris entre 1/5 et 1/6 afin de maximiser le nombre de tours, l'inductance propre de la spire et le coefficient de couplage. La distance inter-spire s est égale à 4 μm tandis que la largeur des pistes w est égale à 14 μm . L'enroulement primaire est réalisé sur les deux couches métalliques les plus éloignées du substrat (les spires sont intégrés sur M4 et la reprise du point central se fait via M3). L'enroulement secondaire est réalisé en utilisant la même géométrie que l'enroulement primaire, sur les couches métalliques les plus proches du substrat (les spires sont réalisées sur M1 et la reprise du point central se fait via M2). De fait, le rapport de transformation du transformateur est égal unitaire. Deux couches diélectriques d'épaisseur de 2.45 μm sont présentes, ce qui permet d'espérer a priori une tension de claquage de 2.45 kV entre primaire et secondaire. La Figure II.-4 nous montre le schéma du transformateur intégré $T5$ en technologie CMOS.

Le dessin de $T5$ occupe une grande surface de silicium et présente une fréquence de travail optimale autour de 500 MHz. Il constitue le point de départ de nos études en technologie standard CMOS [Tim 11-01]. Nous allons par la suite diminuer la taille du transformateur intégré pour pouvoir étudier l'impact des paramètres géométriques sur ses performances en fonction de la fréquence de porteuse.

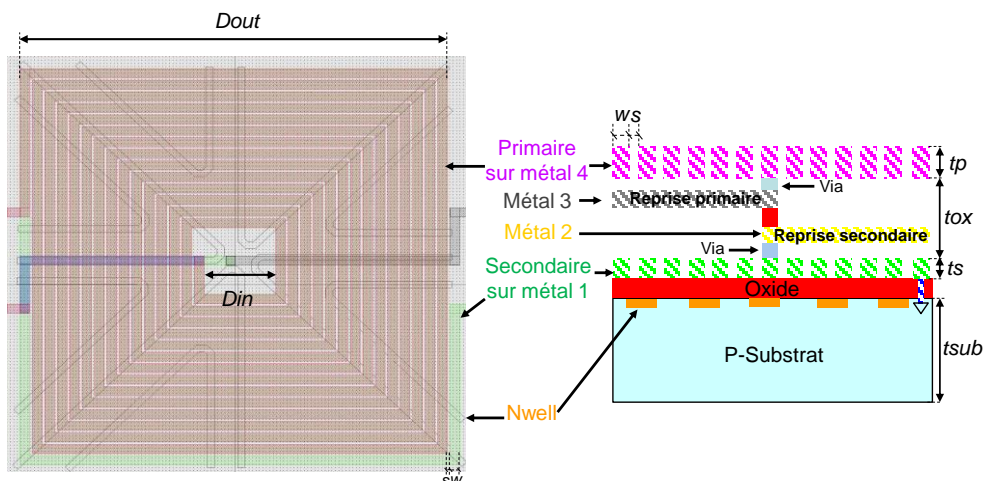


Figure II.-4. Topologie du transformateur intégré $T5$ réalisé en technologie CMOS 0.35 μm .

D'une part, l'influence de la forme est étudiée avec le dispositif *T4*, qui présente les mêmes paramètres géométriques D_{out} , D_{in} , w , s que le transformateur *T5* mais avec une forme octogonale.

D'autre part, nous voulons faire varier le diamètre externe D_{out} du transformateur afin de d'étudier l'influence de ce paramètre. Cela sera fait avec les dispositifs *T3*, *T2* et *T1*.

Finalement, nous pouvons estimer l'impact des changements de la largeur des pistes w et de la distance inter-spire s grâce aux dispositifs *T2* et *T3* qui possèdent le même diamètre externe D_{out} de 300 μ m mais ayant des largeurs de piste w respectivement de 8 μ m et 14 μ m.

Le Tableau II-1 synthétise les paramètres géométriques des cinq variantes du transformateur. Les dessins des masques de ces 5 prototypes ont été réalisés avec le logiciel Cadence Virtuoso et sont présentés Figure II-5.

DUT	Paramètres géométriques du transformateur						
	Aire (μ m ²)	D_{out} (μ m)	D_{in} (μ m)	w (μ m)	s (μ m)	Nombre de spires	Forme de l'enroulement
<i>T1</i>	150 x 150	150	30	8	4	5	Octogonale
<i>T2</i>	300 x 300	300	50	8	10	6	Octogonale
<i>T3</i>	300 x 300	300	50	14	4	6	Octogonale
<i>T4</i>	600 x 600	600	100	14	4	14	Octogonale
<i>T5</i>	600 x 600	600	100	14	4	14	Carrée

Tableau II-1. Paramètres géométriques des transformateurs intégrés.

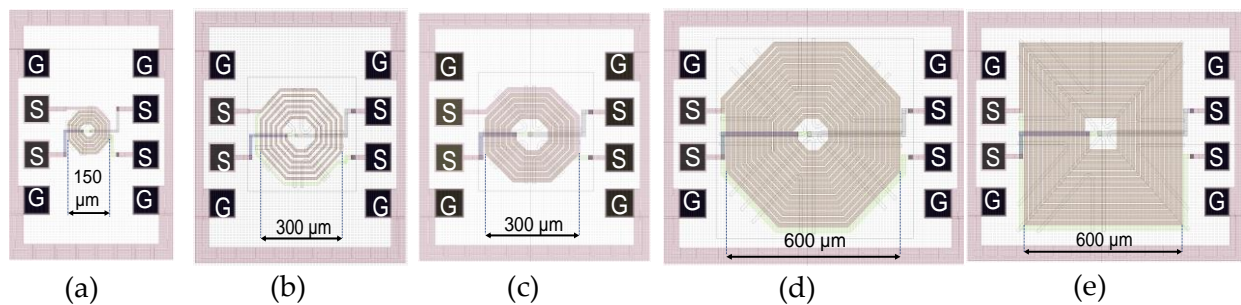


Figure II-5. Dessin des masques (layout) des transformateurs dans Cadence de *T1* (a), *T2* (b), *T3* (c), *T4* (d), *T5* (e).

Nous avons rajoutés des plots de mesure pour pouvoir poser des pointes de mesures (probes GSSG) lors de la caractérisation expérimentales ainsi que des lignes d'accès de 50 μ m entre les plots et les dispositifs, comme illustré Figure II-5. Les plots de contact ont la dimension de 100 x 100 μ m² et la distance de centre à centre entre les pads est égale à 100

μ m. De plus, un soin particulière a été apporté à la caractérisation en mode différentiel par une configuration des plots Ground-Signal-Signal-Ground (G-S-S-G). Nous voulons ainsi avoir une caractérisation intrinsèque des transformateurs en utilisant la méthode de de-embedding, permettant d'extraire le comportement intrinsèque des transformateurs sans les effets de couplage induits par les pads des connexions et les pistes d'amenées [Chang 04], tout en gardant une mesure différentielle au primaire et au secondaire. Cette méthode de de-embedding sera détaillée dans la partie II.5.1 de ce chapitre.

Finalement, nous pouvons exporter les layouts des transformateurs dessinés dans Cadence sous forme de fichiers GDS afin de les importer dans le logiciel de simulation électromagnétique HFSS dans la section suivante.

II.3. Modèle électromagnétique dans HFSS

Afin de prévoir le comportement du transformateur intégré, nous avons établi son modèle électromagnétique dans le logiciel HFSS de Ansys [Ansys]. Ce logiciel de simulation 3D basé sur la méthode des éléments finis peut fournir un modèle précis pour prévoir les performances des dispositifs électroniques dans plusieurs technologies. Les 5 prototypes de transformateur seront simulés en utilisant les fichiers géométriques GDS à partir des masques des dispositifs fabriqués pour avoir une cohérence entre la simulation électromagnétique et les mesures expérimentales. Il faut noter que l'importation de fichier géométrique dans HFSS nous permet d'avoir seulement les dimensions 2D (sans les paramètres liés aux épaisseurs) de toutes les couches du transformateur conçu. Nous devons rajouter les paramètres technologiques illustrés Figure II.6 pour pouvoir construire le modèle complet en 3D du transformateur.

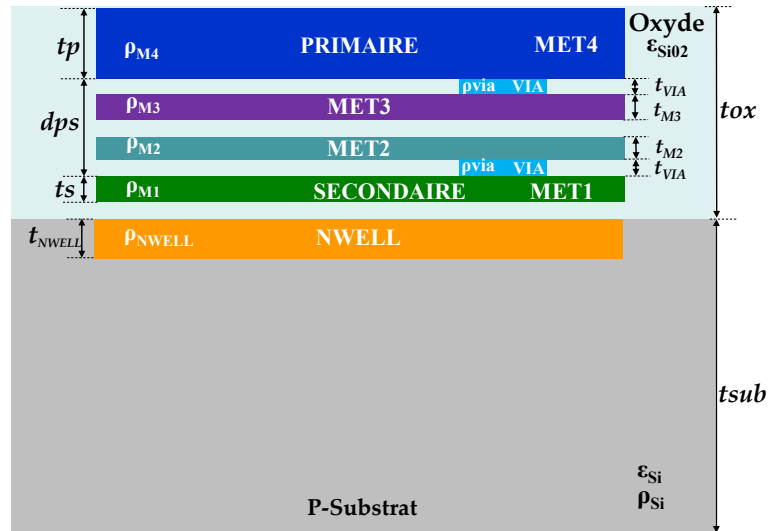


Figure II.-6. Paramètres de technologie du transformateur intégré.

Le Tableau II-2 liste les paramètres typiques de la technologie employée que nous avons pris en compte au cours du développement du modèle 3D proposé. Pour notre simulation, nous supposons que ces caractéristiques sont constantes et indépendantes de la fréquence.

Paramètres	Expressions équivalentes	Données du fondeur
t_P	Épaisseur du primaire (MET4)	2.5 - 3.1 μm
t_S	Épaisseur du secondaire (MET1)	0.565 - 0.765 μm
t_{M2}, t_{M3}, t_{VIA}	Épaisseur de la couche de métal 2, et de la couche de métal 3 et des vias	0.6 - 1 μm
t_{SUB}	Épaisseur du substrat silicium	710 - 740 μm
t_{OX}	Épaisseur de la couche d'oxyde	9.1 μm
t_{NWELL}	Épaisseur de la jonction NWELL	3.5 μm
h_P	Distance entre primaire et le substrat	5.8 μm
h_S	Distance entre secondaire et le substrat	0.65 μm
d_{PS}	Distance entre primaire et secondaire	4.5 μm
ϵ_{SiO2}	Permittivité relative de la couche d'oxyde	3.9
ϵ_{Si}	Permittivité relative du substrat silicium	11.9
ρ_{Si}	Résistivité du substrat silicium	16 $\Omega\cdot\text{cm}$ - 24 $\Omega\cdot\text{cm}$
Rs_NWELL	Sheet résistance de la jonction NWELL	1 k Ω /sq
$\rho_{M4}, \rho_{M3}, \rho_{M2}, \rho_{M1}, \rho_{VIA}$	Résistivité du primaire, de la couche de métal 3, de la couche de métal 2, du secondaire et des vias	26.9E-9 $\Omega\cdot\text{m}$

Tableau II-2. Paramètres typiques de technologie CMOS 0.35 μm H35B4M3.

• Choix des ports de configuration

La Figure II.-7-a présente le modèle du transformateur sans noyau saisi pour la simulation 3D par HFSS. Ce système se compose du substrat de silicium, du dioxyde de silicium entre les deux enroulements et des couches métalliques ainsi que des vias nécessaires. Les propriétés de chaque couche dépendent des matériaux et peuvent être définies en fonction de la permittivité relative, la perméabilité relative et la résistivité électrique fonction de la technologie utilisée.

Comme tous les logiciels de modélisations électromagnétiques HF, il est nécessaire de configurer des ports afin d'envoyer les signaux d'excitation au transformateur. Dans notre modèle, nous avons utilisé des «lumped ports» conseillés par le guide de conception des inductances intégrées fourni par Ansys [Ansys02] afin de modéliser les sources d'excitation pour les transformateurs intégrés. Le transformateur sans noyau a été configuré au départ en 4 ports, puis les ports ont été convertis vers une configuration en 2 ports en mode différentiel comme illustré Figure II.-7-b. Les paramètres S (Scattering Paramètres) des dispositifs simulés via le logiciel HFSS permettent l'extraction des matrices de transferts du transformateur, puis seront comparés avec les mesures expérimentales afin de valider le modèle proposé.

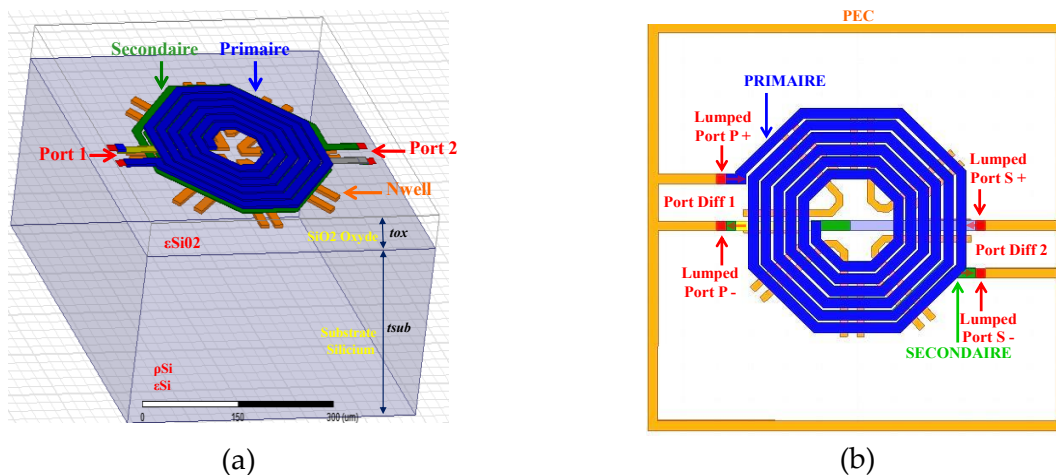


Figure II.-7. (a) Vue 3D du modèle électromagnétique du transformateur intégré. (b) Vue de dessus présentant la configuration des ports du modèle 3D.

II.4. Modèle électrique équivalent

Le comportement électrique du transformateur est modélisé par un modèle équivalent électrique. Ce modèle se présente sous la forme d'un schéma constitué d'éléments localisés associés à des équations analytiques. Ces équations dépendent à la fois des paramètres de la technologie CMOS, de la géométrie du transformateur et de la physique mise en jeu.

La Figure II.-8 illustre le modèle électrique du transformateur sans noyau intégré. Les inductances primaire et secondaire sont représentées par des éléments équivalents localisés en π [Tai 07], puis les éléments de couplage entre le primaire et le secondaire sont rajoutés pour développer le modèle complet du transformateur [Leite 12]. Ce réseau en $2-\pi$ est composé de trois parties différentes : les branches séries, les branches shunts et la partie couplage. Les branches séries se composent des inductances L_p , L_s , des résistances en série R_p , R_s , et des capacités de spires C_p , C_s de l'enroulement primaire et secondaire, respectivement.

Sur les branches shunts de ce modèle, C_{ox} , C_{sub} et R_{sub} représentent respectivement les capacités d'oxyde entre les bobines et le substrat, les capacités et les résistances du substrat de silicium.

Le couplage magnétique est représenté par l'inductance mutuelle M tandis que le couplage capacitif du transformateur entre deux enroulements est modélisé par la capacité C_{ps} .

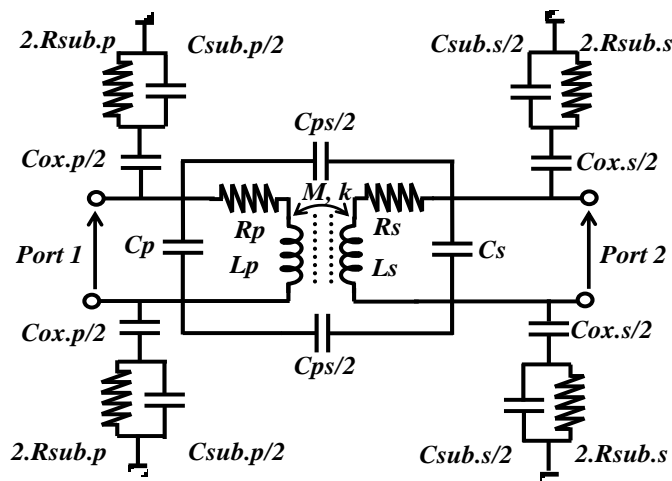


Figure II.-8. Modèle électrique proposé pour transformateur intégré.

II.4.1. Les branches séries

Les expressions des inductances L_p , L_s sont basées sur des équations empiriques [Chang 04] :

$$L_p = \frac{9.375 \cdot \mu_o \cdot N_p^2 \cdot AD^2}{11 \cdot OD - 7 \cdot AD} \quad (II.1)$$

$$L_s = \frac{9.375 \cdot \mu_o \cdot N_s^2 \cdot AD^2}{11 \cdot OD - 7 \cdot AD} \quad (II.2)$$

$$AD = \frac{OD + ID}{2} \quad (II.3)$$

Où N_p , N_s sont respectivement le nombre de spires du conducteur primaire et secondaire, OD est le diamètre externe, ID est le diamètre interne et AD est le diamètre moyen des spires. Dans ces équations, l'épaisseur de la bobine est supposée avoir une valeur faible en comparaison de la largeur du conducteur et donc avoir un faible impact sur la valeur totale de l'inductance. Par conséquent, on peut supposer que la valeur de l'inductance de self ne dépend pas de la variation de l'épaisseur du conducteur.

Les résistances DC dépendent de la géométrie et de la résistivité relative ρ_M de métal du conducteur et peuvent être calculées comme suit :

$$R_p = \frac{\rho_{Mp} \cdot l_p}{W_p \cdot t_p} \quad (II.4)$$

$$R_s = \frac{\rho_{Ms} \cdot l_s}{W_s \cdot t_s} \quad (II.5)$$

Où W_p et W_s sont respectivement les largeurs des pistes des bobines, t_p , t_s sont respectivement les épaisseurs et l_p , l_s sont respectivement les longueurs totales des conducteurs primaire et secondaire.

Les capacités séries représentent les capacités de croisement entre le primaire ou le secondaire avec les lignes de reprise des plots du transformateur :

$$C_p = \frac{W_p^2 \cdot N_p \cdot \epsilon_o \cdot \epsilon_m}{Tm4 - Tm3} \quad (II.6)$$

$$C_s = \frac{W_s^2 \cdot N_s \cdot \epsilon_o \cdot \epsilon_m}{Tm2 - Tm1} \quad (II.7)$$

Où $Tm4-Tm3$ et $Tm2-Tm1$ sont respectivement la distance entre l'enroulement primaire en couche de métal 4 et sa ligne de reprise de contact employée par la couche de métal 3, la distance entre l'enroulement secondaire sur la couche métallique 1 et sa reprise sur la couche

de métal 2 [Gharnity 07]. Il faut noter également que ϵ_m est la permittivité relative de l'isolant.

II.4.2. Les branches shunts

Les capacités entre les terminaux et le substrat silicium dans les branches shunts sont représentées par les capacités C_{ox} . Ces capacités sont composées de la capacité de deux plaques parallèles et également des capacités de bord (Fringing) entre le conducteur et le substrat, qui prennent en compte l'effet de l'épaisseur du conducteur comme illustré Figure II.-9.

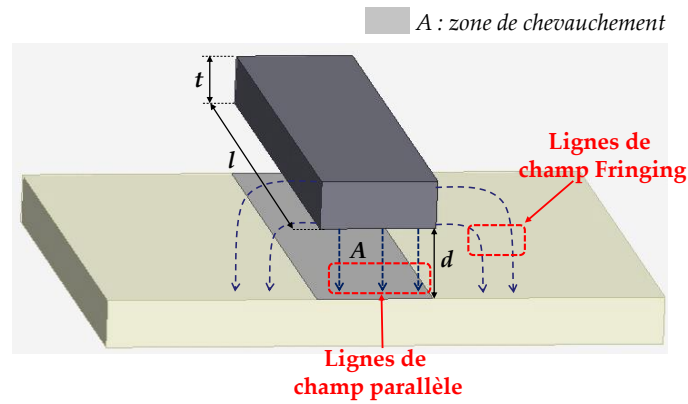


Figure II.-9. Lignes de champs électriques [Leite 12].

Les expressions des deux capacités sont données par les équations suivantes :

$$C_{par} = \frac{\epsilon_o \cdot \epsilon_{dielectric} \cdot A}{d} \quad (II.8)$$

$$C_{fr} = \frac{2\pi \cdot \epsilon_o \cdot \epsilon_{dielectric} \cdot l}{\ln \left[1 + \frac{2d}{t} + \sqrt{\frac{2d}{t} + \left(\frac{2d}{t} + 2 \right)} \right]} \quad (II.9)$$

$$C_{ox} = C_{par} + C_{fr} \quad (II.10)$$

Où d et A sont respectivement la distance et la zone de chevauchement entre le conducteur et la surface du substrat tandis que t et l sont respectivement l'épaisseur et la longueur totale du conducteur.

La résistance de substrat R_{sub} dépend de la géométrie du conducteur et de la résistivité du substrat et aussi de l'épaisseur de substrat tandis que la capacité de substrat C_{sub} est calculée comme la constante de temps de relaxation du substrat de silicium [Leite 12].

$$R_{sub} = \frac{\rho_{Si} \cdot W_p}{l \cdot t_{Si}} \quad (II.11)$$

$$C_{sub} = \frac{\epsilon_e \cdot \epsilon_0 \cdot \rho_{Si}}{R_{sub}} \quad (II.12)$$

II.4.3. Éléments de couplage

Pour l'inductance mutuelle M , l'expression du coefficient de couplage k est tout d'abord calculée [Mohan 99] et ensuite utilisée pour déterminer M par l'équation :

$$M = k \cdot L_p \quad (II.13)$$

Dans ce cas, le coefficient de couplage est donné par :

$$k \sim 0.9 - \frac{ds}{AD} \text{ pour } ds < 0.7 \cdot AD \quad (II.14)$$

$$AD = \frac{ID + OD}{2} \quad (II.15)$$

Où ds est la distance centre – centre de la spire, AD est le diamètre moyen de l'enroulement, ID et OD sont respectivement le diamètre interne et le diamètre externe de spire.

Le couplage capacitif entre deux enroulements du transformateur est représenté par la capacitance C_{ps} ne prenant en compte que la capacité de deux plaques parallèles en raison de la faible distance entre les deux enroulements primaires et secondaires :

$$C_{ps} = \frac{\epsilon_0 \cdot \epsilon_{dielectric} \cdot A_{ps}}{d_{ps}} \quad (II.16)$$

Où A_{ps} , d_{ps} sont respectivement la zone de chevauchement et la distance entre primaire et secondaire, comme illustré Figure II.-10.

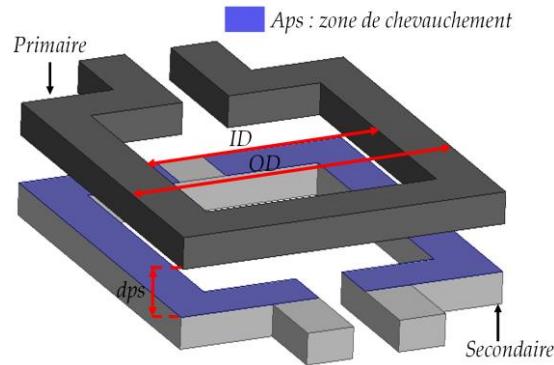


Figure II.-10. Représentation des paramètres utilisés pour calculer les couplages entre deux enroulements.

En utilisant les valeurs calculées analytiquement pour les différents éléments, nous avons simulé le modèle électrique à l'aide de logiciel ADS [Ads] qui nous permet de

configurer notre modèle équivalent en 2-ports différentiels et d'obtenir les paramètres S , afin de les comparer aux résultats expérimentaux et de simulation éléments finis.

II.5. Caractérisation du transformateur intégré

II.5.1. Banc de caractérisation et méthode de-embedding

A. Plateforme de caractérisation RF

Afin de réduire la surface de silicium, la taille du transformateur intégré doit être minimisée le plus possible. Le transformateur intégré est destiné à travailler jusqu'à quelques GHz. A ces hautes fréquences, le transformateur est considéré comme un dispositif sous test ou DUT radiofréquence (RF) et sa mesure est influencée par plusieurs paramètres parasites qui viennent des plots de mesures et des lignes de connexion. De ce fait, nous ne pouvons pas utiliser directement la caractérisation des impédances à vide et en court-circuit comme pour les transformateurs plus basses fréquences en raison des influences des inductances et des capacités parasites à plus hautes fréquences [Leite 09-03].

Pour ces raisons, nous devons utiliser la plateforme de caractérisation RF de la Figure II.-11, pour mesurer les coefficients de réflexion et de transmission en puissance [Gharnity 07].

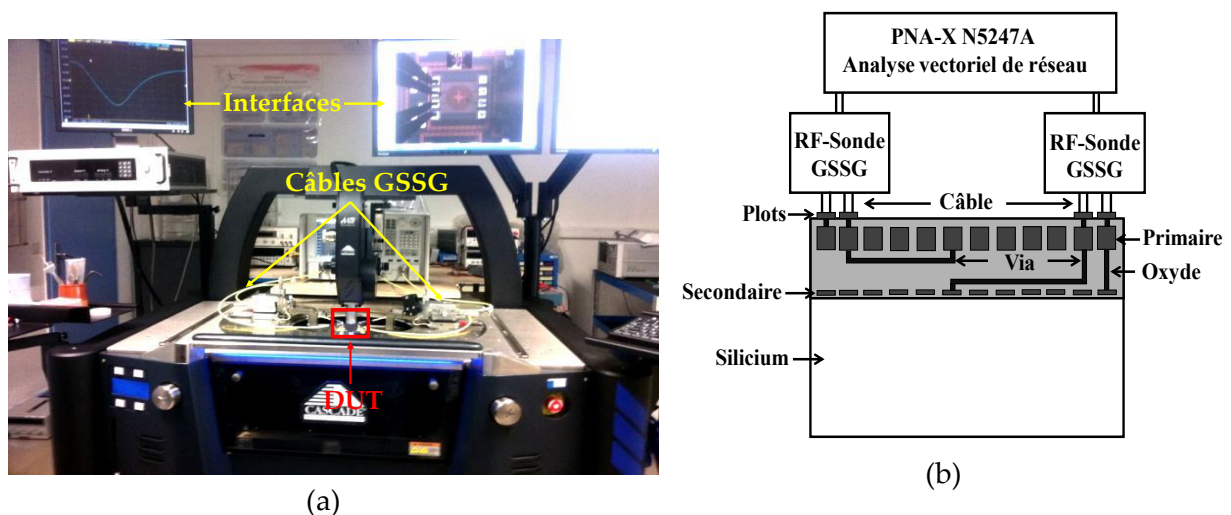


Figure II.-11. (a) Station sous-pointes disponible à IMEP-LAHC (ici sur le site de Chambéry) et (b) schéma de connexion pour la caractérisation du transformateur intégré.

En effet, nous allons mesurer les paramètres S pour pouvoir caractériser le comportement électrique du transformateur en fonction des signaux d'entrée et de sortie. En particulier, les paramètres Y ou Z du dispositif peuvent être calculés directement à partir des paramètres S en utilisant les formules de conversion [Hp95].

La Figure II.-11 montre le banc de test sous-pointes utilisé pour nos travaux. Cette plate-forme RF contient l'analyseur de réseau N5247A de Agilent avec lequel les deux ports sont associés au DUT par un système des câbles coaxiaux et de sondes différentielles faibles pertes G-S-S-G. Cette caractérisation a été réalisée au laboratoire IMEP-LAHC de Grenoble avec l'aide de M. Nicolas Corrao, Ingénieur de Recherche à l'IMEP-LAHC que nous remercions. La bande passante du banc d'essai permet d'effectuer des mesures jusqu'à 110 GHz mais nos études seront limitées dans la bande de fréquences comprises entre 40 MHz et 20 GHz qui correspondent à la gamme d'utilisation des sondes. Ce banc de test sera calibré avant de faire la mesure afin de prendre en compte les pertes de puissance entre la source et le dispositif dus aux câbles et aux sondes.

B. Méthode de de-embedding « Open-Short »

La Figure II.-12 nous montre des images au microscope optique des prototypes des transformateurs intégrés après la fabrication.

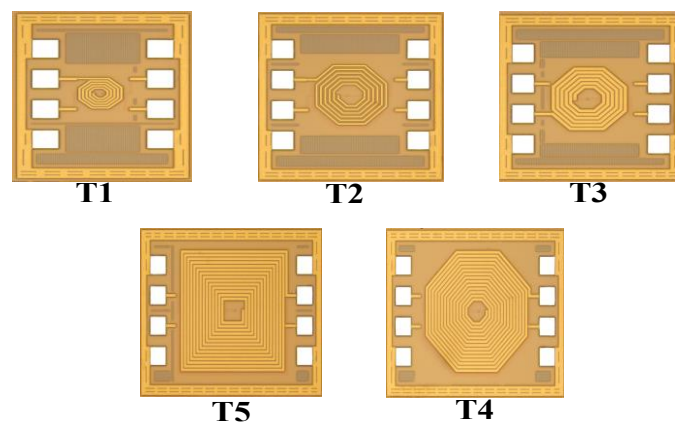


Figure II.-12. Prototypes des transformateurs intégrés dans technologie CMOS 0.35 μ m.

Les plots de mesures et les lignes d'accès ont été rajoutés au niveau des masques du transformateur afin de faire des tests sous-pointes. Ces éléments supplémentaires créent des parasites et provoquent des perturbations sur la mesure. De ce fait, plusieurs techniques de

«de-embedding», ont été proposées afin de s'affranchir des perturbations des plots de mesure et des lignes d'accès.

Actuellement, nous pouvons citer ici les 3 méthodes les plus connues : méthode «Open» [Koolen 91], «Open-Short» [Chang 04] et méthode «Open-Short-Through» [Goto 08]. La méthode à 1 élément «Open» est la plus simple mais aussi la moins précise puisque cette méthode ne prend en compte que les effets parasites en parallèle tandis que la méthode à 3 éléments «Open-Short-Through» est la plus précise mais aussi la plus complexe et occupe une surface de silicium plus importante [Song 01]. Pour ces raisons, la méthode de-embedding à 2 éléments «Open-Short» a été choisie pour avoir un meilleur compromis entre la précision de mesure et la surface de silicium occupée par les motifs de test supplémentaires [Kang 10].

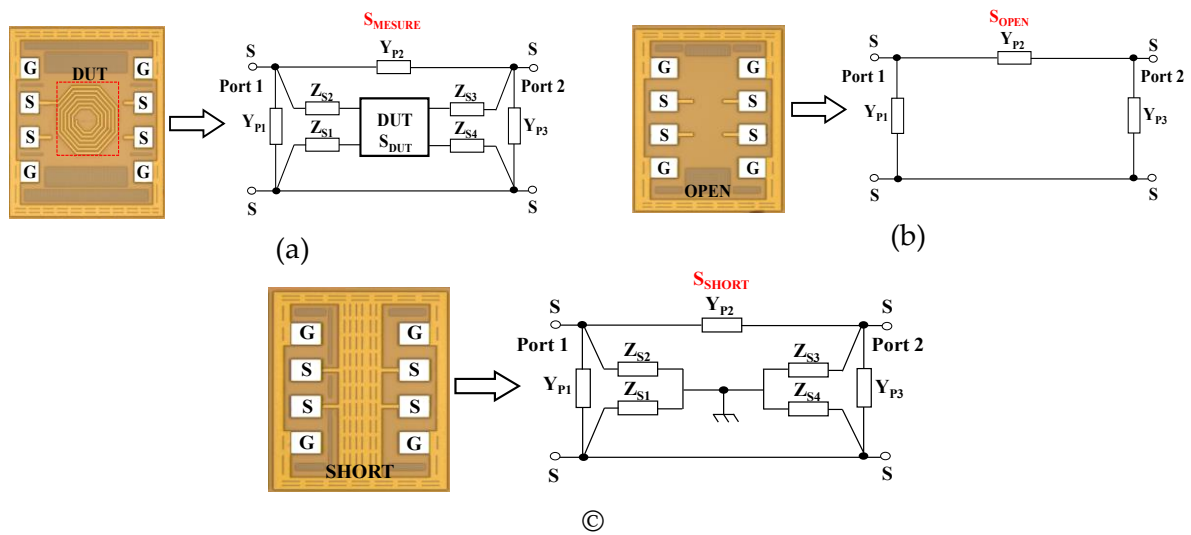


Figure II.-13. (a) Distribution des éléments parasites du dispositif à caractériser, (b) admittances parallèles pour le motif « open » et (c) impédances pour le motif « short ».

En effet, les effets parasites des plots et des lignes de connexion sur le transformateur intégré peuvent être modélisées par les admittances en parallèle $Y_{P1} - Y_{P3}$, et par les impédances en série $Z_{S1} - Z_{S4}$ comme illustré Figure II.-13. Les admittances $Y_{P1} - Y_{P3}$ représentent les capacités parasites entre les plots et le substrat silicium et/ou entre plots tandis que les impédances $Z_{S1} - Z_{S4}$ sont liées avec les effets résistifs et inductifs des plots et des lignes d'accès.

À partir des mesures des motifs «Open» et «Short», nous pouvons obtenir les paramètres Y et Z . Les procédures de de-embedding se décomposent en trois étapes :

- D'abord, les effets capacitifs des admittances parasites Y_{OPEN} seront supprimés de la mesure :

$$Y_p = Y_{MESURE} - Y_{OPEN} \quad (II.17)$$

- Ensuite, les impédances parasites Z_i en série sont extraites par une étape intermédiaire :

$$Z_i = (Y_{SHORT} - Y_{OPEN})^{-1} \quad (II.18)$$

- Enfin, les paramètres d'impédance Z_{DUT} du transformateur intégré ont été obtenus en supprimant tous les termes parasites :

$$Z_{DUT} = Z_p - Z_i \quad (II.19)$$

II.5.2. Résultats expérimentaux

A. Validation des modèles proposés du transformateur intégré

a. Paramètres extraits

Les mesures des paramètres S ainsi que la simulation électromagnétique et électrique nous permettent de déduire la matrice d'impédance Z du transformateur intégré normalisé à l'impédance de référence $Z_0 = 50 \Omega$:

$$Z = Z_0 \cdot [(E + S) \cdot (E - S)^{-1}] \quad (II.20)$$

Où E est la matrice d'identité

En supposant que les éléments parasites dus aux branches shunts sont négligeables par rapport aux branches séries des éléments de couplage lorsque le système fonctionne à très haute fréquence, nous pouvons simplifier le modèle du transformateur comme illustré Figure II.-14. En se basant sur ce modèle à 2 ports simplifié, nous avons les relations entre les tensions des ports :

$$\begin{bmatrix} V1 \\ V2 \end{bmatrix} = \begin{bmatrix} Z11 & Z12 \\ Z21 & Z22 \end{bmatrix} \cdot \begin{bmatrix} I1 \\ I2 \end{bmatrix} = \begin{bmatrix} R_p + j\omega L_p & R_M + j\omega L_M \\ R_M + j\omega L_M & R_s + j\omega L_s \end{bmatrix} \cdot \begin{bmatrix} I1 \\ I2 \end{bmatrix} \quad (II.21)$$

Où $Z11$ et $Z22$ sont respectivement les impédances d'entrée du port 1 et du port 2 tandis que $Z12$ et $Z21$ sont les impédances entre le port 2 et 1.

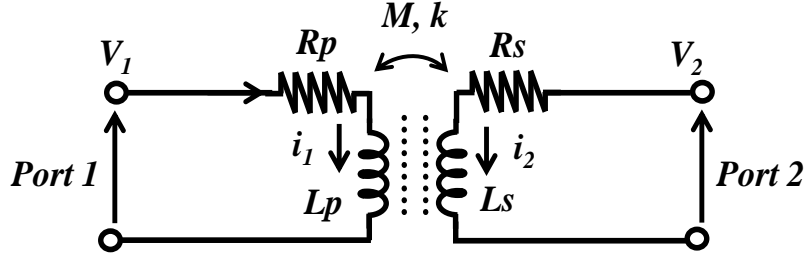


Figure II.-14. Modèle simplifié du transformateur intégré avec la configuration 2-ports différentiels.

Pour pouvoir quantifier les performances des différents transformateurs, nous allons, pour chacun d'entre eux, extraire respectivement les valeurs des inductances équivalentes du primaire et du secondaire L_p et L_s , les facteurs des qualités des bobines Q_p et Q_s ainsi que les paramètres de couplage M et k :

$$L_p = \frac{\text{Im}(Z_{11})}{\omega} \quad (\text{II.22})$$

$$R_p = \text{Re}(Z_{11}) \quad (\text{II.23})$$

$$L_s = \frac{\text{Im}(Z_{22})}{\omega} \quad (\text{II.24})$$

$$R_s = \text{Re}(Z_{22}) \quad (\text{II.25})$$

$$Q_p = \frac{\text{Im}(Z_{11})}{\text{Re}(Z_{11})} \quad (\text{II.26})$$

$$Q_s = \frac{\text{Im}(Z_{22})}{\text{Re}(Z_{22})} \quad (\text{II.27})$$

$$M = \frac{\text{Im}(Z_{21})}{\omega} \quad (\text{II.28})$$

$$k = \frac{\text{Im}(Z_{21})}{\sqrt{\text{Im}(Z_{11}) \cdot \text{Im}(Z_{22})}} \quad (\text{II.29})$$

De plus, nous pouvons extraire le gain en tension sous 50 Ω en entrée/sortie par l'équation [Hp95]:

$$G_V[\text{dB}] = 20 \cdot \log_{10} |S_{21}| \quad (\text{II.30})$$

Il faut noter que ce gain en tension peut être extrapolé pour d'autres impédances arbitraires de charge et de source. La méthode d'extrapolation des gains en tension sous une charge arbitraire sera présentée dans la partie II.5.3 de ce chapitre.

b. Validation des modèles proposés

Afin de valider les modèles proposés, nous allons comparer les paramètres S ainsi que les inductances et le coefficient de couplage entre les mesures expérimentales du transformateur et les modèles. La première comparaison des paramètres S a été effectuée, d'une part, pour montrer l'avantage de la méthode de-embedding, d'autre part, pour valider le modèle électrique.

Il faut noter que les caractéristiques du substrat des prototypes réalisés sont très disparates à cause de la qualité du dopage P du substrat. Pour cette problématique, nous pouvons faire varier la résistivité du substrat silicium dans la fourchette des valeurs données afin d'améliorer la précision de la simulation électromagnétique [Linh 09]. De plus, il n'est pas aisé d'utiliser plusieurs valeurs de permittivité du substrat pour chaque simulation électromagnétique et de comparer ensuite avec les mesures déduites de leurs effets parasites. Dans nos travaux, nous avons choisi la valeur la plus pertinente de la résistivité du substrat de 20 $\Omega\cdot\text{cm}$, conseillée par le fondeur AMS lors de l'établissement du modèle 3D ainsi que du modèle 2D. Nous avons supposé ainsi que cette valeur est constante dans toute la plage de fréquences de simulation.

• Comparaison des paramètres S

Les Figure II.-15 à Figure II.-18 montrent les comparaisons pour les coefficients de transmission S_{21} et les coefficients de réflexion S_{11} des 5 transformateurs intégrés conçus, nommés $T1$ à $T5$. Dans un premier temps, nous avons comparé les paramètres entre les mesures sans utiliser la méthode de de-embedding puis les mesures après la procédure de de-embedding avec les résultats de simulation électrique ainsi que électromagnétique 3D.

Nous constatons que les mesures montrent un bon d'accord avec les modèles électriques ainsi que les modèles électromagnétiques proposées pour les 5 transformateurs. De plus, nous constatons également que les paramètres S_{21} et S_{11} calculés avec la méthode de de-embedding sont plus précis que la mesure brute. Ces résultats proviennent du fait que la méthode de-embedding peut éliminer les termes parasites et donc les perturbations vers le transformateur à hautes fréquences. Ceci permet d'extraire une vraie valeur de S_{21} qui représente l'image du couplage magnétique du transformateur que nous devons obtenir lors de l'utilisation du transformateur, sans l'influence des pads et des lignes de connexion. Le

Tableau II-3 montre que les corrections obtenues par la méthode de de-embedding du coefficient de transmission S_{21} sont, en pourcentage, entre 7 % et 17 %.

DUT	Fréquence optimale [GHz]	S_{21} maximum [dB] / [magnitude]		S_{11} correspondants [dB] / [magnitude]		Correction de S_{21} [magnitude] en [%]	Correction de S_{11} [magnitude] en [%]
		Mesure avec De-embedding	Mesure sans De-embedding	Mesure avec De-embedding	Mesure sans De-embedding		
T1	10.9	-3.7 / 0.65	-4.5 / 0.59	-3.9 / 0.63	-8.2 / 0.38	9	39
T2	3.9	-3.4 / 0.67	-4.1 / 0.62	-7.5 / 0.42	-9.5 / 0.33	7	21
T3	3.3	-2.8 / 0.72	-3.8 / 0.64	-7.3 / 0.43	-9.8 / 0.32	11	25
T4	0.65	-5 / 0.56	-6.7 / 0.46	-9.2 / 0.34	-6 / 0.5	17	N/A
T5	0.52	-5.9 / 0.5	-6.9 / 0.45	-7.2 / 0.43	-8.5 / 0.38	10	11

Tableau II-3. Correction de paramètres S par la méthode de de-embedding.

Nous avons également vu que les courbes S_{21} obtenues par les modèles permettent de bien prévoir la tendance de comportement des dispositifs de tests lors de la comparaison avec les mesures corrigées. D'autre part, les coefficients de réflexion S_{11} sont ainsi améliorés entre 11% et 39%, ce qui montre une meilleure adaptation d'impédance entre l'entrée et la sortie du transformateur. Par conséquent, nos mesures ont été corrigées par la méthode de de-embedding «Open-Short».

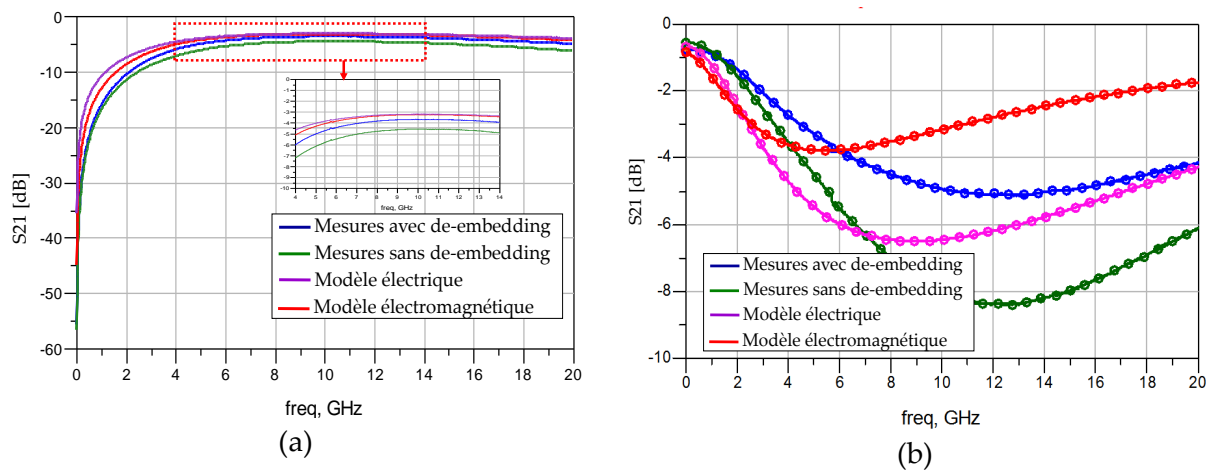


Figure II.-15. Paramètres S_{21} (a) et S_{11} (b) pour le transformateur T1 ($w=8$, $s=4$, $D_{out}=150 \mu\text{m}$, forme octogonale) obtenu par les mesures avec de-embedding, sans de-embedding, le modèle électrique et le modèle électromagnétique.

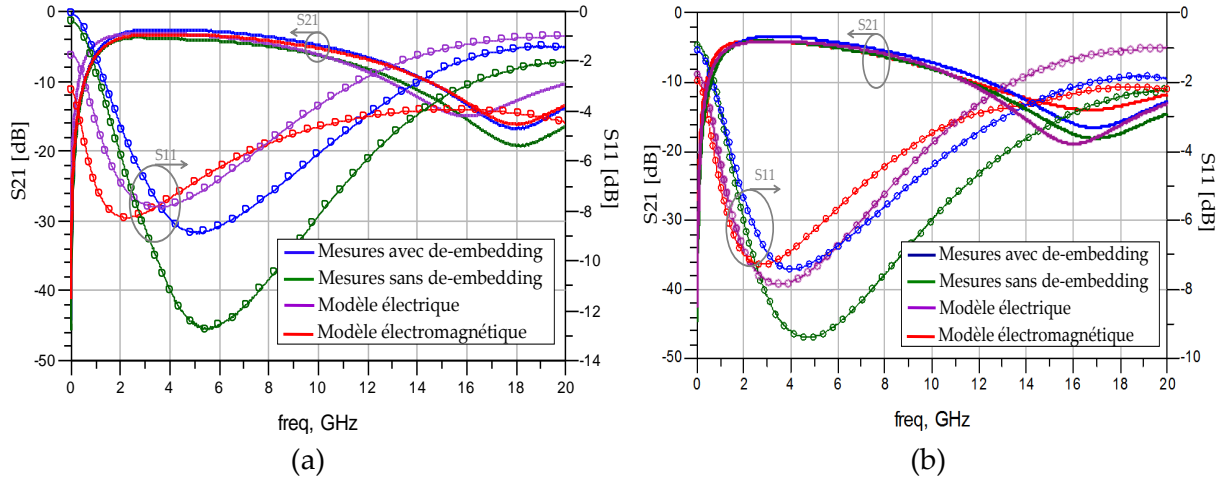


Figure II-16. Paramètres S_{21} et S_{11} (b) pour le transformateur T2 ($w=8$, $s=10$, $D_{out}=300\text{ }\mu\text{m}$, forme octogonale) (a) et pour le transformateur T3 ($w=8$, $s=10$, $D_{out}=300\text{ }\mu\text{m}$, forme octogonale) (b) obtenu par les mesures avec de-embedding, sans de-embedding, le modèle électrique et le modèle électromagnétique.

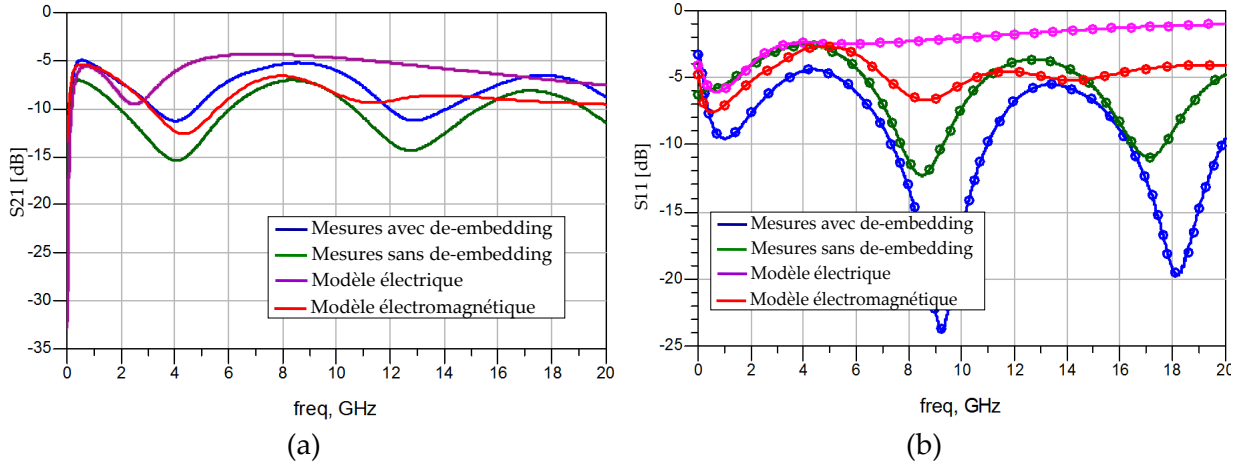


Figure II-17. Paramètres S_{21} (a) et S_{11} (b) pour le transformateur T4 ($w=8$, $s=4$, $D_{out}=600\text{ }\mu\text{m}$, forme octogonale) obtenu par les mesures avec de-embedding, sans de-embedding, le modèle électrique et le modèle électromagnétique.

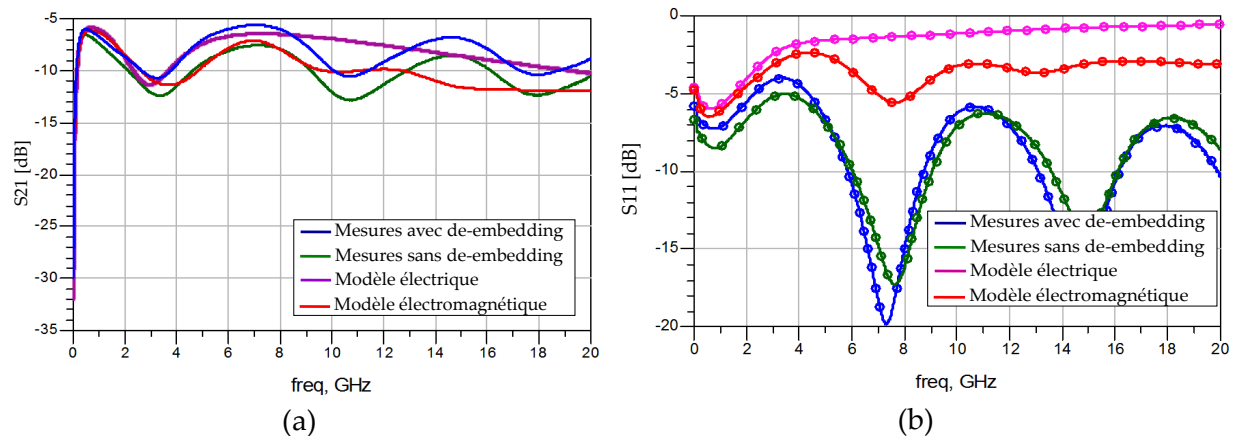


Figure II-18. Paramètres S_{21} (a) et S_{11} (b) pour le transformateur T5 ($w=14$, $s=4$, $D_{out}=600\text{ }\mu\text{m}$, forme carrée) obtenu par les mesures avec de-embedding, sans de-embedding, le modèle électrique et le modèle électromagnétique.

À partir des courbes présentées ci-dessus, nous pouvons également comparer les valeurs maximales des coefficients de transmission S_{21} pour lesquels nous avons les pertes d'insertion les plus faibles et ce afin de comparer les performances. Les résultats de cette comparaison sont présentés dans le Tableau II-4. Ces fréquences de fonctionnement ont été choisies afin d'avoir les meilleurs ratios entre les puissances d'entrée et les puissances de sortie. Nous constatons que les écarts entre les mesures et le modèle électrique sont compris entre 1.5% et 7% tandis que les écarts entre les mesures et le modèle 3D sont compris entre 1.38% à 7% pour les fréquences de travail optimales. Ces erreurs deviennent plus faibles lorsqu'elles sont converties en gain en tension G_V (voir l'équation (II.30)). D'après ces comparaisons, nous pouvons dire que les mesures des paramètres S des modèles proposées sont valables dans la bande de caractérisation.

DUT	Fréquence optimale [GHz]			S_{21} maximum [dB] / [magnitude]			Erreur modèle 2D [magnitude] en %	Erreur modèle 3D [magnitude] en %
	2D	3D	M	2D	3D	M		
T1	11.5	12	10.9	-3.9/0.64	-3.8/0.64	-3.7/0.65	1.5	1.5
T2	3.8	3.7	3.9	-4/0.63	-3.5/0.67	-3.4/0.68	7	1.5
T3	3.7	3.4	3.3	-2.9/0.71	-3/0.7	-2.8/0.72	1.38	1.38
T4	0.69	0.61	0.65	-5.5/0.53	-5.4/0.53	-4.79/0.57	7	7
T5	0.65	0.5	0.52	-5.8/0.51	-5.8/0.51	-5.9/0.5	2	2

(2D : modèle électrique, 3D : modèle électromagnétique, M : mesure avec de-embedding)

Tableau II-4. Comparaison des S-paramètres des transformateurs aux fréquences optimales.

- **Comparaison des inductances mutuelles M et des coefficients de couplage k**

Une fois les comparaisons des paramètres S des transformateurs validées, nous allons convertir les paramètres S en paramètres Z correspondants pour pouvoir comparer les architectures des transformateurs en terme d'inductances mutuelles M et de coefficients de couplage k . Les Figure II.-19 à Figure II.-22 montrent les comparaisons pour les inductances mutuelles M et les coefficients de couplage k des 5 transformateurs intégrés de T1 à T5, obtenues par les mesures après la procédure de de-embedding et les résultats de simulation électrique ainsi que électromagnétique. Nous observons un bon accord entre les mesures avec de-embedding et les simulations. Nous trouvons que les valeurs expérimentales des inductances mutuelles pour tous les prototypes sont inférieures aux valeurs prévues par le modèle électromagnétique. Ce problème peut provenir du fait que les pertes dans le substrat

sont sous-estimées dans la simulation 3D. En effet, à haute fréquence, les pertes du substrat provoquées par la capacité parasite C_{sub} et R_{sub} ont des influences importantes limitant les performances des inductances de l'enroulement [Xu 08]. C_{sub} et R_{sub} dépendent principalement de la conductivité du substrat. Lorsque la conductivité du substrat augmente, l'effet de peau et les courants de Foucault dans le substrat provoquent une diminution importante des inductances des spires L_p , L_s et ensuite limitent les facteurs de qualité Q_p , Q_s . Ces effets résultent en une valeur d'inductance mutuelle inférieure à celle de la simulation 3D.

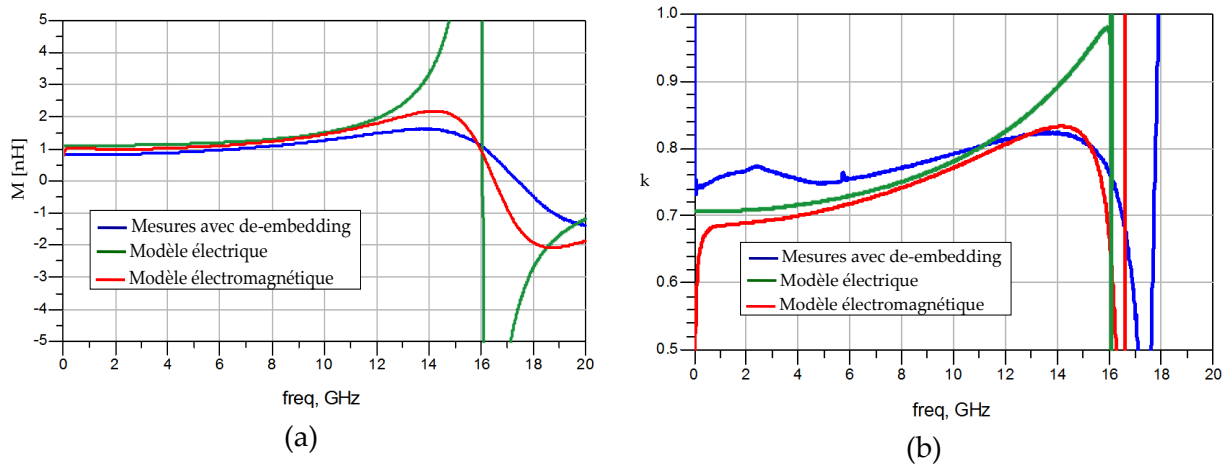


Figure II.-19. Comparaison des inductances mutuelles M (a) et des coefficients de couplage k (b) pour le transformateur $T1$ ($w=8$, $s=4$, $D_{out}=150 \mu\text{m}$) obtenu par les mesures avec de-embedding, le modèle électrique et le modèle électromagnétique.

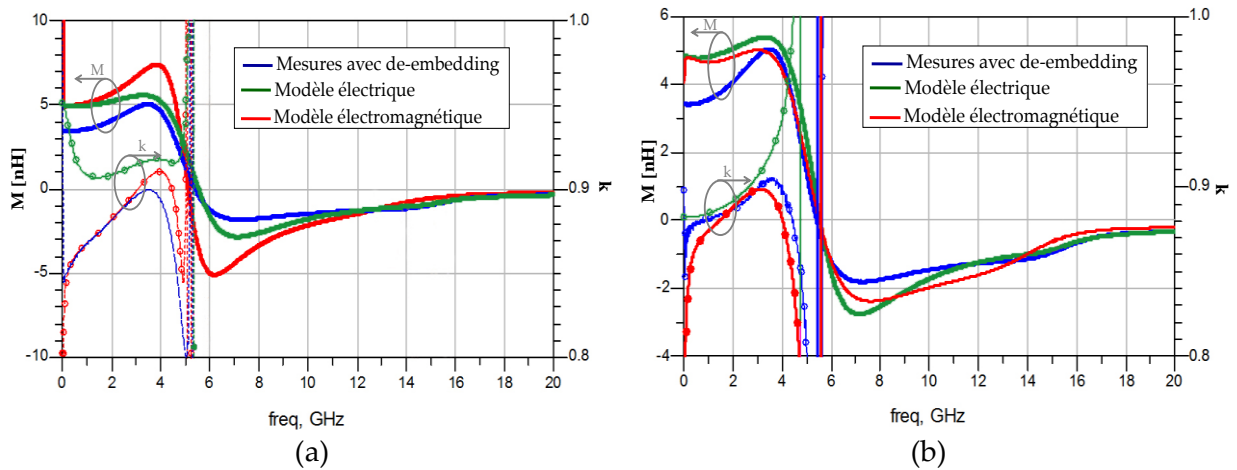


Figure II.-20. Comparaison des inductances mutuelles M et des coefficients de couplage k (b) pour le transformateur $T2$ ($w=8$, $s=4$, $D_{out}=300 \mu\text{m}$) (a) et pour le transformateur $T3$ ($w=14$, $s=4$, $D_{out}=300 \mu\text{m}$) (a) obtenu par les mesures avec de-embedding, le modèle électrique et le modèle électromagnétique.

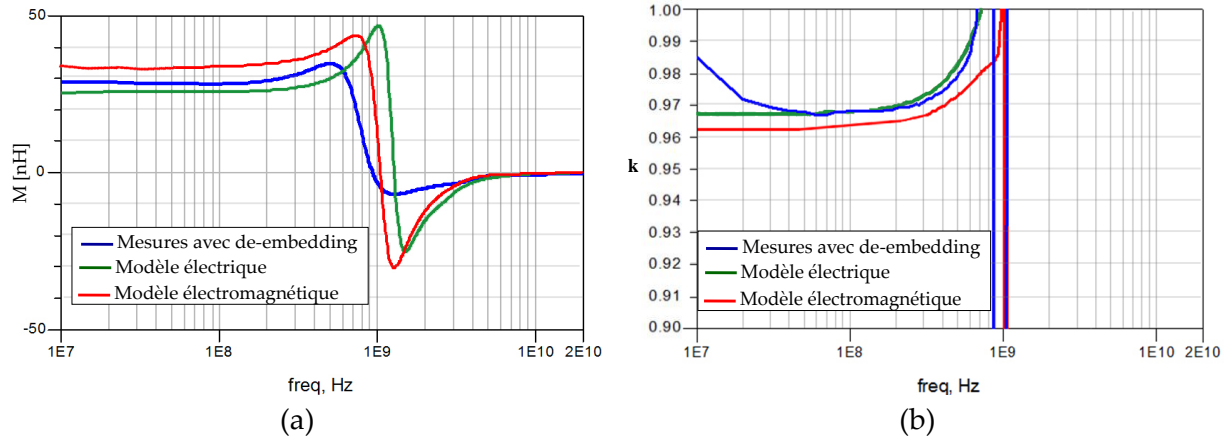


Figure II.-21. Comparaison des inductances mutuelles M (a) et des coefficients de couplage k (b) pour le transformateur $T4$ ($w=8$, $s=4$, $D_{out}=600 \mu\text{m}$, forme octogonale) obtenu par les mesures avec de-embedding, le modèle électrique et le modèle électromagnétique.

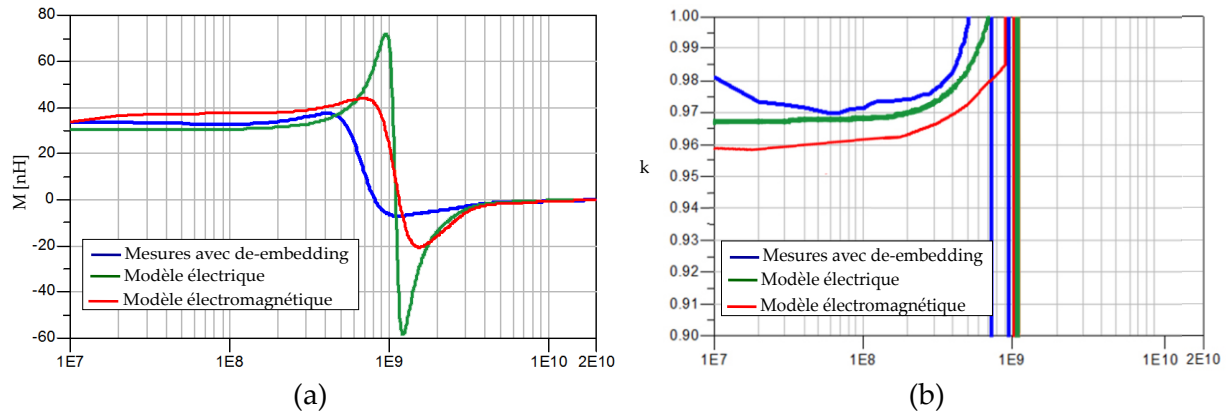


Figure II.-22. Comparaison des inductances mutuelles M (a) et des coefficients de couplage k (b) pour le transformateur $T5$ ($w=14$, $s=4$, $D_{out}=600 \mu\text{m}$, forme carrée) obtenu par les mesures avec de-embedding, le modèle électrique et le modèle électromagnétique.

D'autre part, nous avons vu que les différences entre les mesures et les modèles proposées sont dues, d'une part, au fait que le logiciel de simulation 3D et les équations du modèle électrique ne prennent pas en compte tous les phénomènes physiques et, d'autre part, à l'incertitude sur les paramètres de technologie donnés par le fondeur. Comme la valeur de la permittivité du substrat a été fixée de manière nominale, nous avons vu que, dans sa fourchette de variation, les résultats des simulations sont suffisamment proches des mesures. D'autre part, il est possible que les jonctions Ntub/P substrat ne soient pas vraiment modélisées. Pour ces raisons, nous pouvons valider les modèles que nous proposons mais

avec des erreurs acceptables pour les couplages et les inductances mutuelles aux fréquences optimales. Celles-ci sont listées dans le Tableau II-5.

DUT	Fréquence optimale [GHz]			Inductance mutuelle [nH]			Erreur de M en % (2D/3D)	Coefficient de couplage			Erreur de k en % (2D/3D)
	2D	3D	M	2D	3D	M		2D	3D	M	
T1	11.5	12	10.9	1.6	1.6	1.2	33/33	0.81	0.79	0.8	1.2/1.2
T2	3.8	3.7	3.9	5.5	5	4.8	14.5/4.1	0.91	0.89	0.89	2.2/0
T3	3.7	3.4	3.3	5.6	6.1	5	12/22	0.92	0.9	0.91	1/1
T4	0.69	0.61	0.65	31	40	33.8	8.2/18	0.98	0.97	0.98	0/1
T5	0.65	0.5	0.52	41	45	35.9	14.2/25	0.98	0.98	0.98	0/0

(2D : modèle électrique, 3D : modèle électromagnétique, M : mesure avec de-embedding)

Tableau II-5. Comparaison des inductances mutuelles et des coefficients de couplage des transformateurs.

• Couplage capacitif à haute fréquence

Nous constatons que les valeurs des inductances mutuelles M des transformateurs intégrés $T1-T5$ sont réduites après ces fréquence de résonnance et ensuite deviennent négatives, comme illustrées par les Figure II.-19 - Figure II.-22. La Figure II.-23 montre le module et la phase mesurés de l'impédance de couplage Z_{21} du transformateur $T3$.

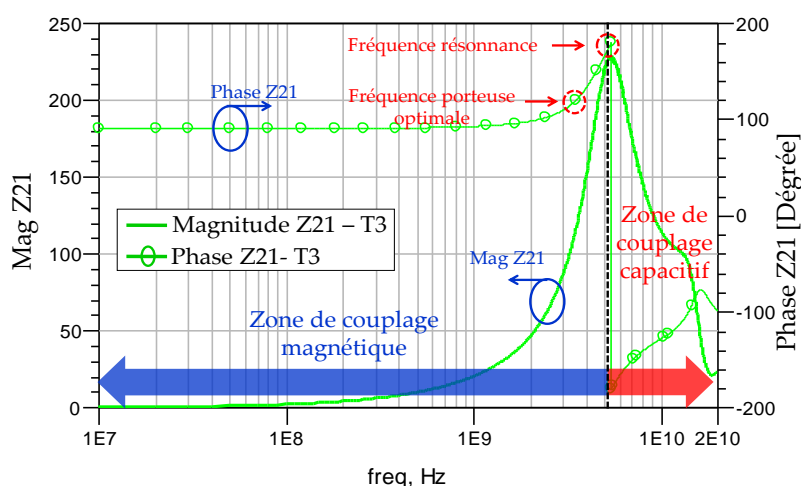


Figure II.-23. Module et phase de l'impédance de couplage Z_{21} , pour le transformateur $T3$.

Nous pouvons observer que la valeur de la phase de Z_{21} est égale à 90 degrés avant la fréquence de résonnance, ce qui représente un couplage magnétique de l'inductance

mutuelle M . Au-delà de ce point de résonnance, nous constatons qu'il n'y a que le couplage capacitif entre le primaire et le secondaire du transformateur en raison des capacités communes C_{PS} dans le schéma électrique équivalent de la Figure II-8. Cela est mis en évidence par une valeur de phase négative de -90 degrés. Ce terme capacitif provoque une impédance négative au-delà de la fréquence de résonnance du transformateur de Z_{21} lors de l'extraction de la valeur de l'inductance mutuelle M . Pour cette raison, la fréquence de travail du transformateur doit être choisie en deçà de sa fréquence de résonnance.

B. Influence du diamètre

Les impacts de la variation des diamètres sur les performances du transformateur intégré seront étudiés au travers des 5 transformateurs intégrés. L'augmentation du diamètre externe des transformateurs impacte sur la longueur totale et sur le nombre des tours des conducteurs. Par conséquent, les valeurs des inductances L_p , L_s ainsi que des résistances du primaire et du secondaire R_p , R_s sont augmentées de façon linéaire entre $T1$ et $T5$ comme on peut le constater Figure II.-24 et Figure II.-25.

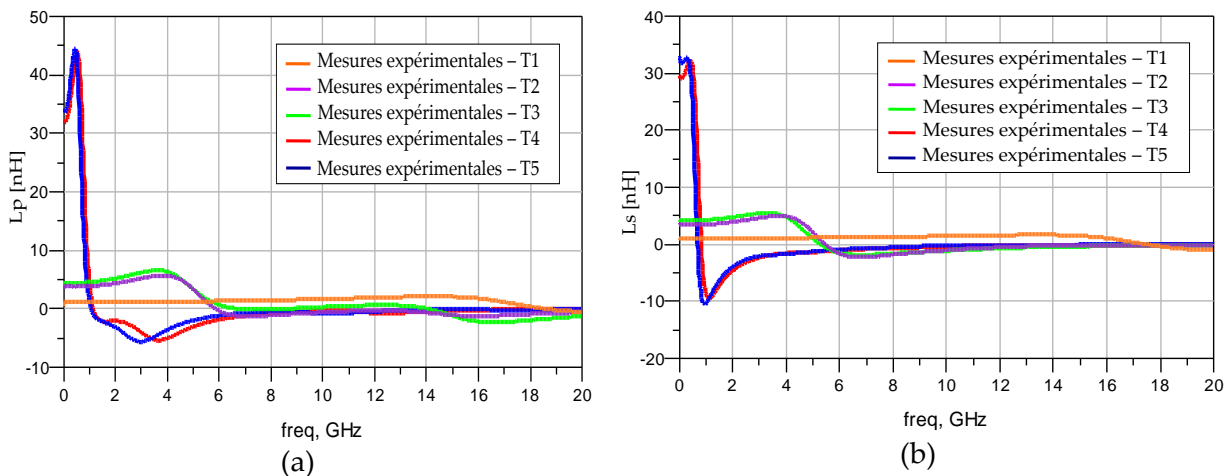


Figure II.-24. Mesures des inductances du primaire L_p (a) et du secondaire L_s (b) pour les transformateurs $T1 - T5$.

Il faut noter que les valeurs des résistances primaires R_p sont plus faibles que les résistances secondaires R_s puisque l'épaisseur de conducteur du primaire est quatre fois plus importante que celle du secondaire. Nous avons ainsi observé que les couplages magnétiques k ainsi que les inductances mutuelles M sont plus élevés pour les transformateurs les plus grands $T4$ et $T5$ et diminuent en fonction du diamètre externe entre $T3$ et $T1$ comme illustré

Figure II.-26. Cependant, étant donné que les capacités parasites sont fonctions de la surface totale occupée par le transformateur selon les équations (II.6), (II.7), (II.16), nous avons vu que plus les transformateurs sont grands, plus les fréquences de résonance sont faibles.

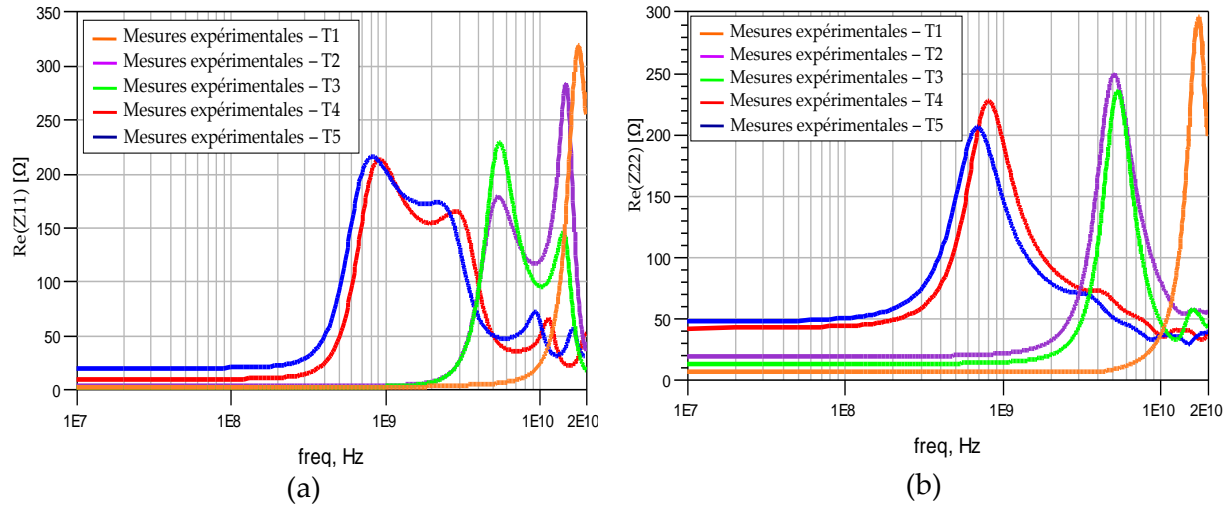


Figure II.-25. Mesures des parties réelles des impédances primaires (a) et des impédances secondaires (b) pour les transformateurs $T1-T5$.

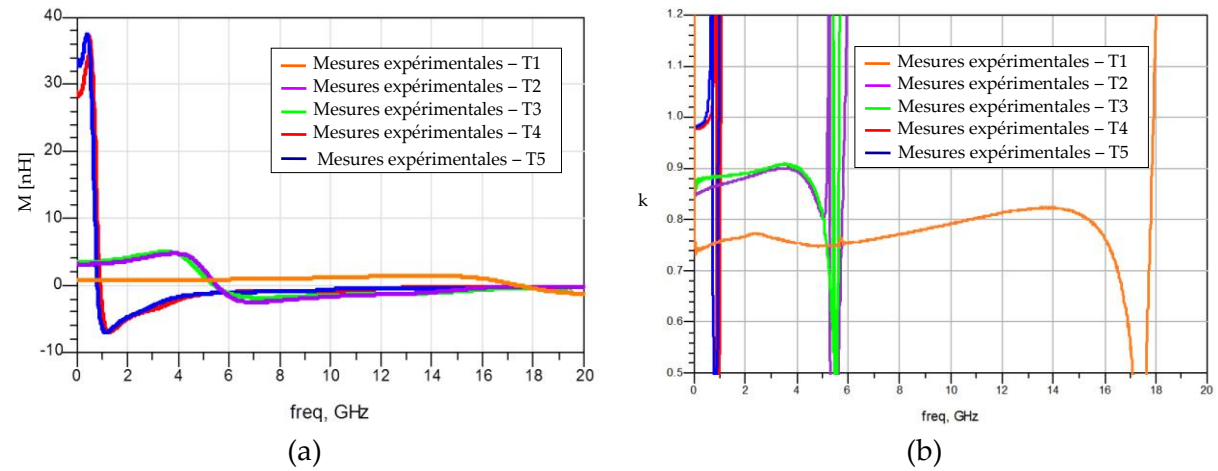


Figure II.-26. Mesures des inductances des inductances mutuelles M (a) et des coefficients de couplages k (b) pour les transformateurs $T1-T5$.

Le Tableau II-6 liste les paramètres des transformateurs intégrés en fonction des diamètres aux fréquences de travail optimales. Selon ce tableau, nous pouvons constater que le choix de la géométrie du transformateur dépend de la fréquence de travail de l'application, des valeurs des inductances ainsi que des couplages désirés.

DUT	Paramètres des transformateurs							
	Surface (μm^2)	Forme	Fréquence optimale [GHz]	Inductance mutuelle [nH]	Inductance de fuite [nH]	Rp DC [Ω]	Rs DC [Ω]	Coefficient de couplage k
T1	150 x 150	Octogonale	10.9	1.2	0.43	2.1	6.3	0.8
T2	300 x 300	Octogonale	3.9	4.8	0.99	3.1	13	0.89
T3	300 x 300	Octogonale	3.3	5	0.85	2.8	19	0.91
T4	600 x 600	Octogonale	0.65	33.8	1.33	9.3	42	0.98
T5	600 x 600	Carrée	0.52	35.9	1.42	19	48	0.98

Tableau II-6. Mesures de l'impact des diamètres sur les performances du transformateur.

C. Influence de la forme de l'enroulement

L'étude sur la variation de la forme du transformateur a porté sur la comparaison entre les dispositifs T4 et T5. La Figure II-27 montre que le transformateur octogonal T4 ne présente pas d'amélioration significative en terme de couplage ainsi que d'inductance mutuelle par rapport au transformateur carré T5.

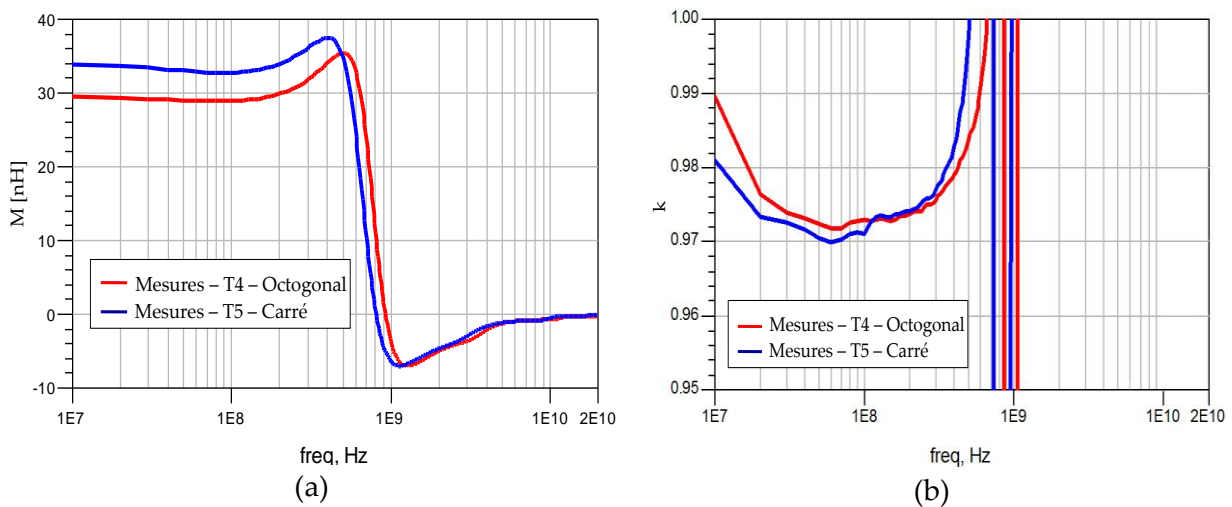


Figure II-27. Mesures des inductances, des inductances mutuelles M (a) et des coefficients de couplages k (b) pour les transformateurs T4 et T5.

Ceci peut s'expliquer par la réduction de la longueur totale du conducteur de la forme octogonale par rapport à la forme carrée. Ceci conduit à la diminution de la valeur des selfs L_p et L_s du transformateur T4 par rapport à celles de T5 comme illustré Figure II-28.

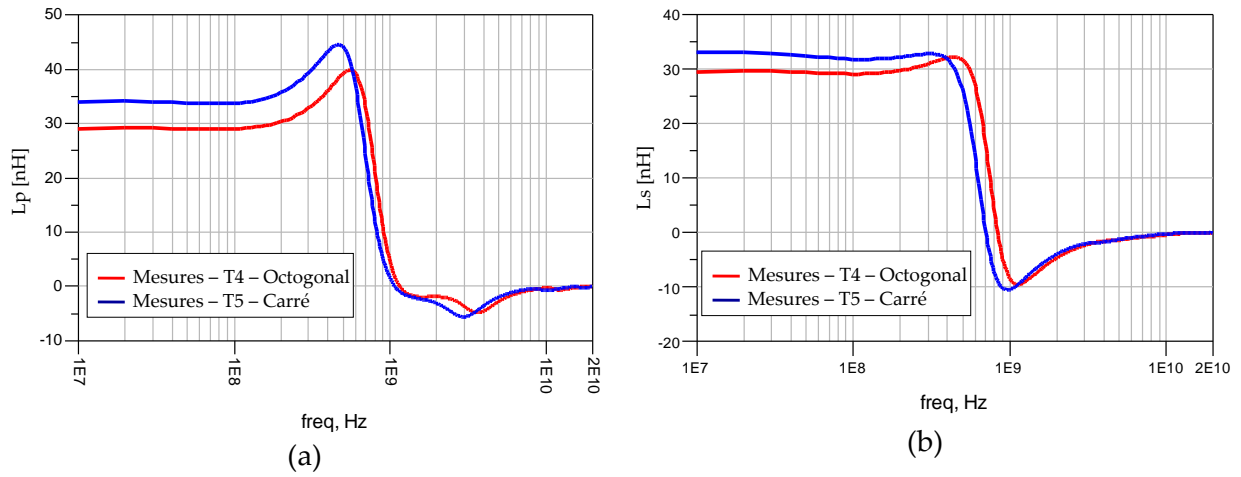


Figure II.-28. Mesures des inductances primaires L_p (a) et des inductances secondaires L_s (b) pour les transformateurs $T4$ et $T5$.

Cependant, la Figure II.-29 montre que les valeurs des résistances R_p , R_s des enroulements du transformateur $T4$ sont inférieures à celles du $T5$.

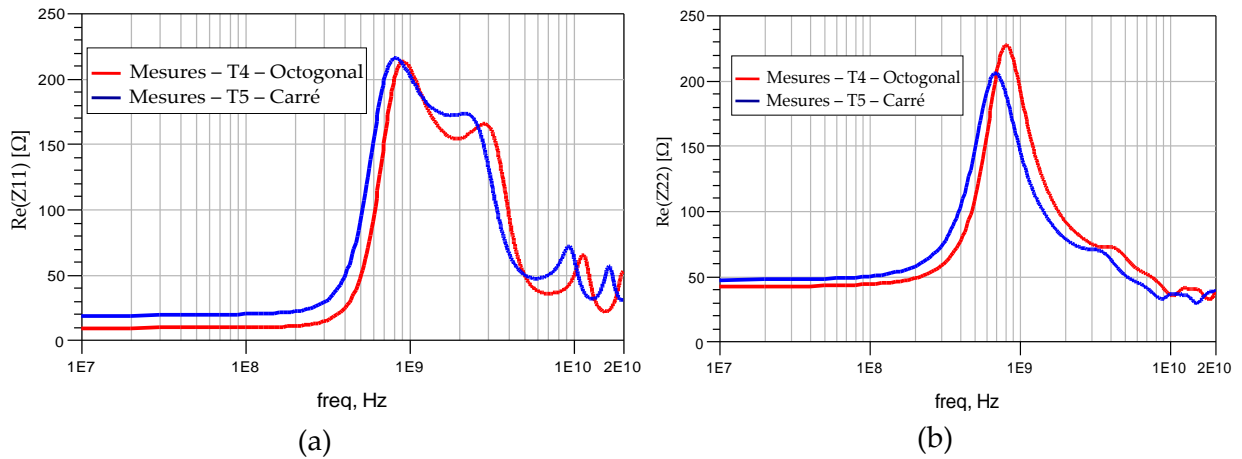


Figure II.-29. Mesures des parties réels des impédances primaires (a) et des impédances secondaires (b) pour les transformateurs $T4$ – $T5$.

Ce fait conduit à l'augmentation des facteurs de qualité Q_p et Q_s , selon les équations (II.26) et (II.27) comme illustré Figure II.-30. En conséquence, même si les coefficients de couplage ont une valeur proche de 0.98, le transformateur octogonal présente moins des pertes d'insertion et une amélioration de 18 % de son coefficient de transmission S_{21} comme illustré Figure II.-31. Le Tableau II-7 présente la comparaison des performances entre le transformateur octogonale $T4$ et le transformateur carrée $T5$.

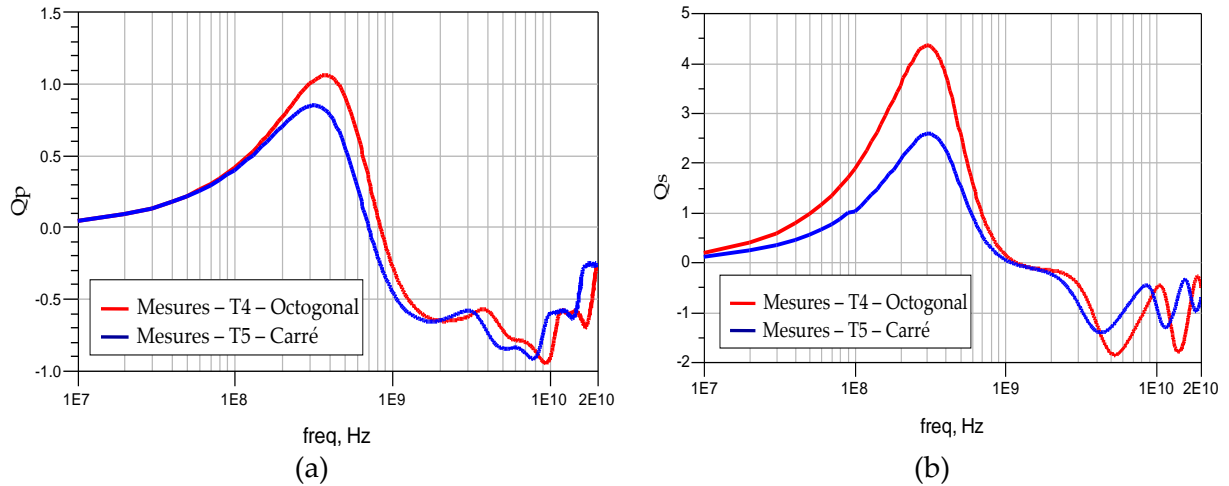


Figure II.-30. Mesures des facteurs de qualité du primaire Q_p (a) et du secondaire Q_s (b) pour les transformateurs T_4 et T_5 .

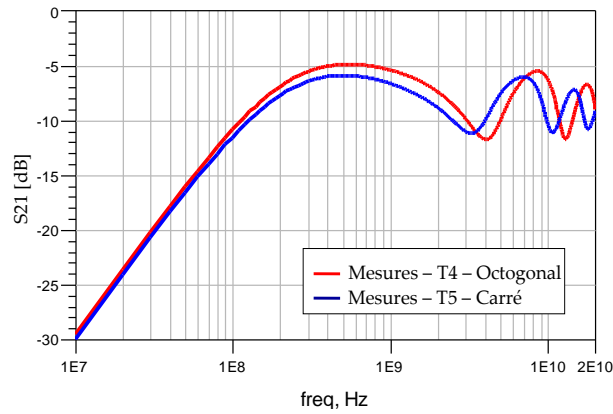


Figure II.-31. Mesures des coefficients de transmission S_{21} pour les transformateurs T_4 et T_5 .

Paramètres	Forme carrée	Forme octogonale	Amélioration en %
$f_{\text{résonance}}$ [GHz]	500	650	30
$Q_p \text{ max}$	2.56	4.3	67.9
$Q_s \text{ max}$	0.8	1.1	37.5
M [nH]	35.9	33.8	N/A
$k \text{ max}$	0.98	0.98	0
$S_{21} \text{ max}$ [magnitude]	0.5	0.57	14

Tableau II-7. Comparaison des performances entre le transformateur octogonale T_4 et le transformateur carré T_5 .

D. Influence de la largeur des pistes

Les mesures des Figure II.-32 et Figure II.-33 montrent que l'inductance mutuelle et le coefficient de couplage sont améliorés respectivement de 4.1% et de 2.2% à ses fréquences de

travail par l'augmentation de la largeur de la piste w de 8 μm à 14 μm comme illustré dans le Tableau II-8.

Nous pouvons également observer que le transformateur $T3$ avec la piste plus large peut présenter des meilleurs facteurs de qualités Q_p et Q_s que le transformateur $T2$. Pour expliquer ces résultats, nous regardons la distribution de la densité de courant dans les deux dispositifs grâce à la simulation électromagnétique HFSS à 3.3 GHz Figure II.-34. Nous observons ici une meilleure distribution de la densité de courant J_{surf} du conducteur du transformateur $T3$ grâce à son meilleur couplage. Nous trouvons que la réduction de l'espace s entre les pistes de 10 μm ($T2$) à 4 μm ($T3$) n'est pas suffisamment important pour pouvoir provoquer un effet de proximité entre des conducteurs et diminuer les performances de $T3$.

Finalement, l'augmentation de la piste de 8 μm à 14 μm produit une amélioration de 17% pour le coefficient de couplage S_{21} à sa fréquence de travail optimale.

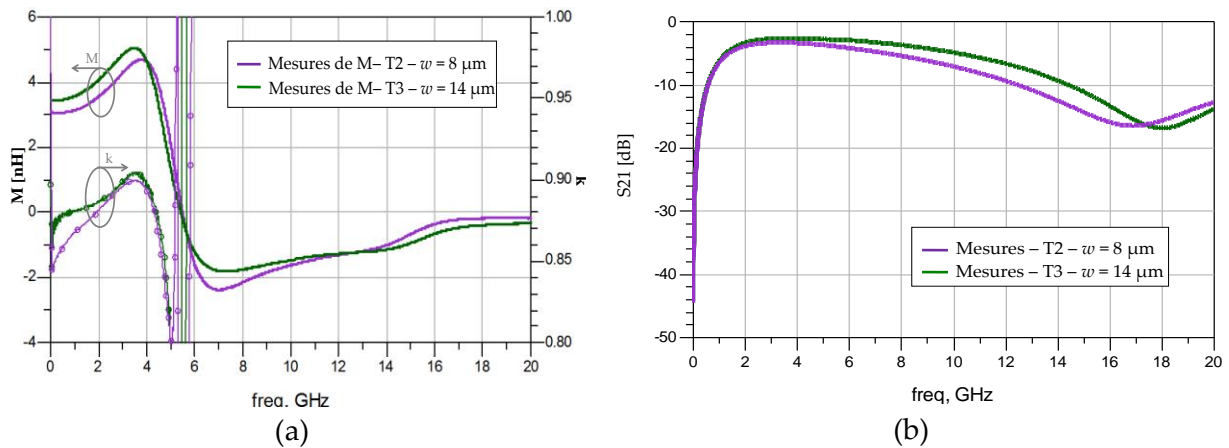


Figure II.-32. Mesures des inductances mutuelles M , des coefficients de couplage k (a) et des coefficients de transmission S_{21} (b) pour les transformateurs $T2$ ($w = 8 \mu\text{m}$, $s = 10 \mu\text{m}$) et $T3$ ($w = 14 \mu\text{m}$, $s = 4 \mu\text{m}$).

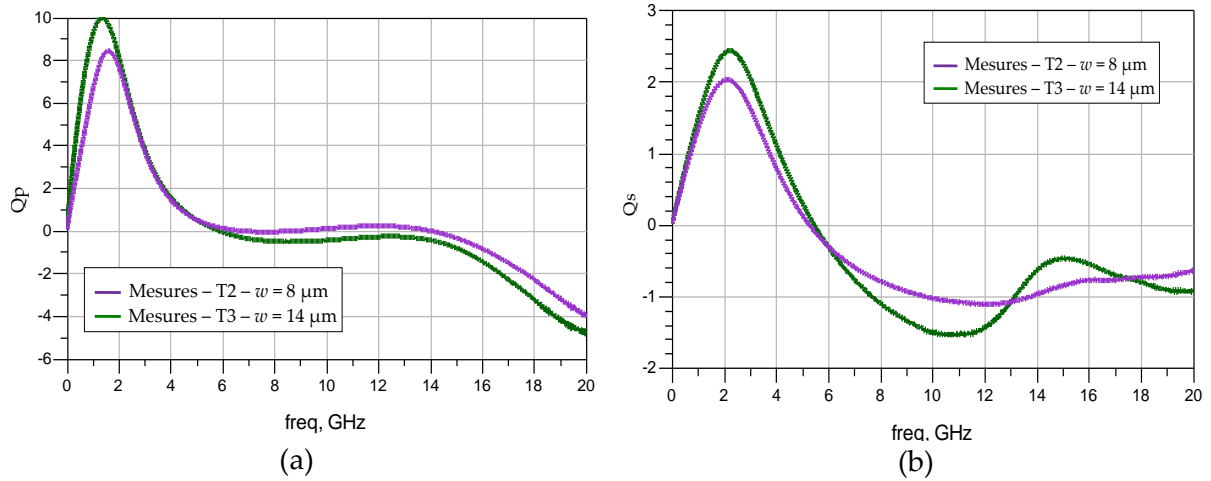


Figure II.-33. Mesures des facteurs de qualités Q_p (a) et Q_s (b) pour les transformateurs T2 ($w = 8 \mu\text{m}$, $s = 10 \mu\text{m}$) et T3 ($w = 14 \mu\text{m}$, $s = 4 \mu\text{m}$).

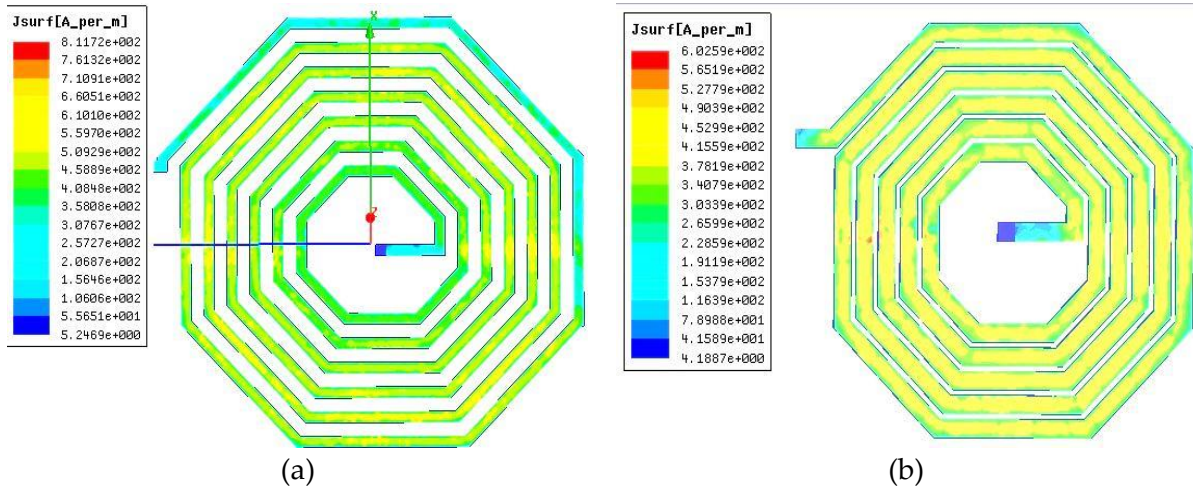


Figure II.-34. Simulation de la densité du courant (a) du transformateur T2 ($w = 8 \mu\text{m}$, $s = 10 \mu\text{m}$) (b) et du T3 ($w = 14 \mu\text{m}$, $s = 4 \mu\text{m}$) à 3.3 GHz.

Paramètres	T2 ($w = 8 \mu\text{m}$, $s = 10 \mu\text{m}$)	T3 ($w = 14 \mu\text{m}$, $s = 4 \mu\text{m}$)	Amélioration en %
frésonnance [GHz]	3.9	3.3	N/A
Q_p max	8.2	10	21
Q_s max	2	2.4	20
M [nH]	4.8	5	4.1
k max	0.89	0.91	2.2
S_{21} max [magnitude]	0.68	0.72	5.9

Tableau II-8. Comparaison des performances entre le transformateur T2 ($w = 8 \mu\text{m}$, $s = 10 \mu\text{m}$) et le transformateur T3 ($w = 14 \mu\text{m}$, $s = 4 \mu\text{m}$).

E. Tension de claquage et optimisation de la conception

Le niveau d'isolation statique des transformateurs intégrés sans noyau a été caractérisé et testé en appliquant une tension statique entre les plots du primaire et les plots du secondaire pour trois motifs *BV01*, *BV02* et *BV03*, illustré dans la Figure II.-35. La plateforme CARAPACE du G2Elab (Labex LANEF) [LANEF] a été utilisée, se basant sur une enceinte sous vide secondaire (10^{-6} mbar) et avec excitation sous pointe haute tension (3.3 kV à 10 kV). Un sourcemètre haute tension Agilent B1505 avec un module HVSMU 3.3 kV a été utilisé pour l'application des différences de potentiel et la mesure du claquage. La Figure II.-36 présente une image de la station de caractérisation de claquage sous vide de composants nus.

Le premier test a été effectué avec le prototype *BV01* sans passivation supplémentaire et sous air ambiant à pression atmosphérique. Le niveau d'isolation maximale est estimé théoriquement de l'ordre de 2.45 kV, via les couches d'oxyde intermétalliques, mais la tenue en tension de claquage mesurée pour ce prototype est de 1 kV comme illustrée Figure II.-37-a. En regardant les points de claquage à la surface du motif *BV01* après le test, nous trouvons que les claquages sont dus à l'isolation de l'ambiance entre les pads G et les pads S. Pour éviter ce problème, nous avons refait les tests avec deux autres motifs *BV02* et *BV03* en mettant à la surface des prototypes du liquide Fluorinert comme l'isolant électrique et fluide caloporteur.

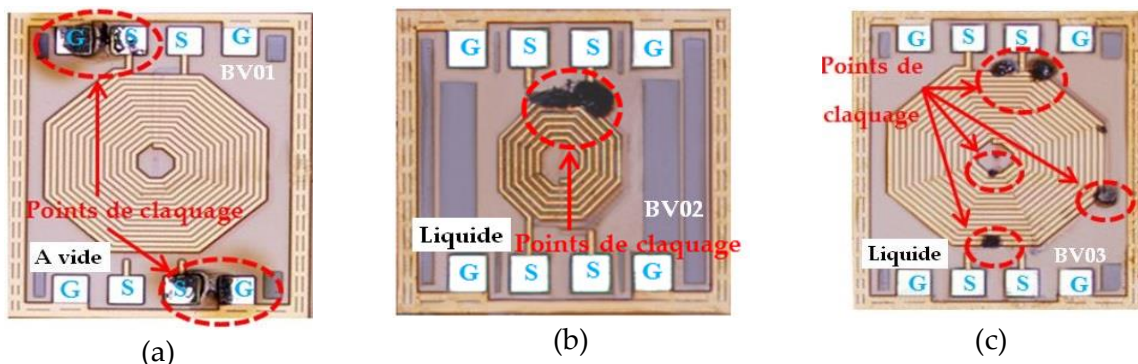


Figure II.-35. Motifs de test de la tension de claquage du transformateur (a) *BV01*, (b) *BV02*, (c) *BV03*.

Dans ce cas, nous avons obtenu tension de claquage typique de l'ordre de 1.8 kV pour les deux motifs. Nous trouvons ainsi que les points de claquage sont maintenant à l'intérieur des pistes du transformateur (Figure II.-35-b et Figure II.-35-c). Ceci assure que nous avons

obtenu une tension de claquage par le niveau d'oxyde SiO₂ séparant les spires primaire et secondaire. Cette limite résulte principalement de l'utilisation d'un seul niveau d'oxyde intermétallique entre la reprise du point milieu du secondaire (via métal 3) et le point du primaire (via métal 2) (Figure II.-38-a) ainsi que de possibles effets 3D sur la répartition du champ électrique.

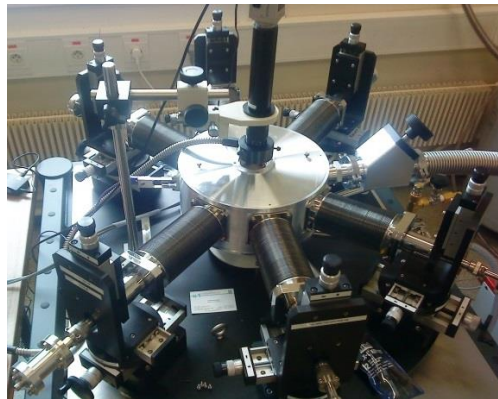


Figure II.-36. La plateforme CARAPACE du G2Elab (Labex LANEF) [LANEF].

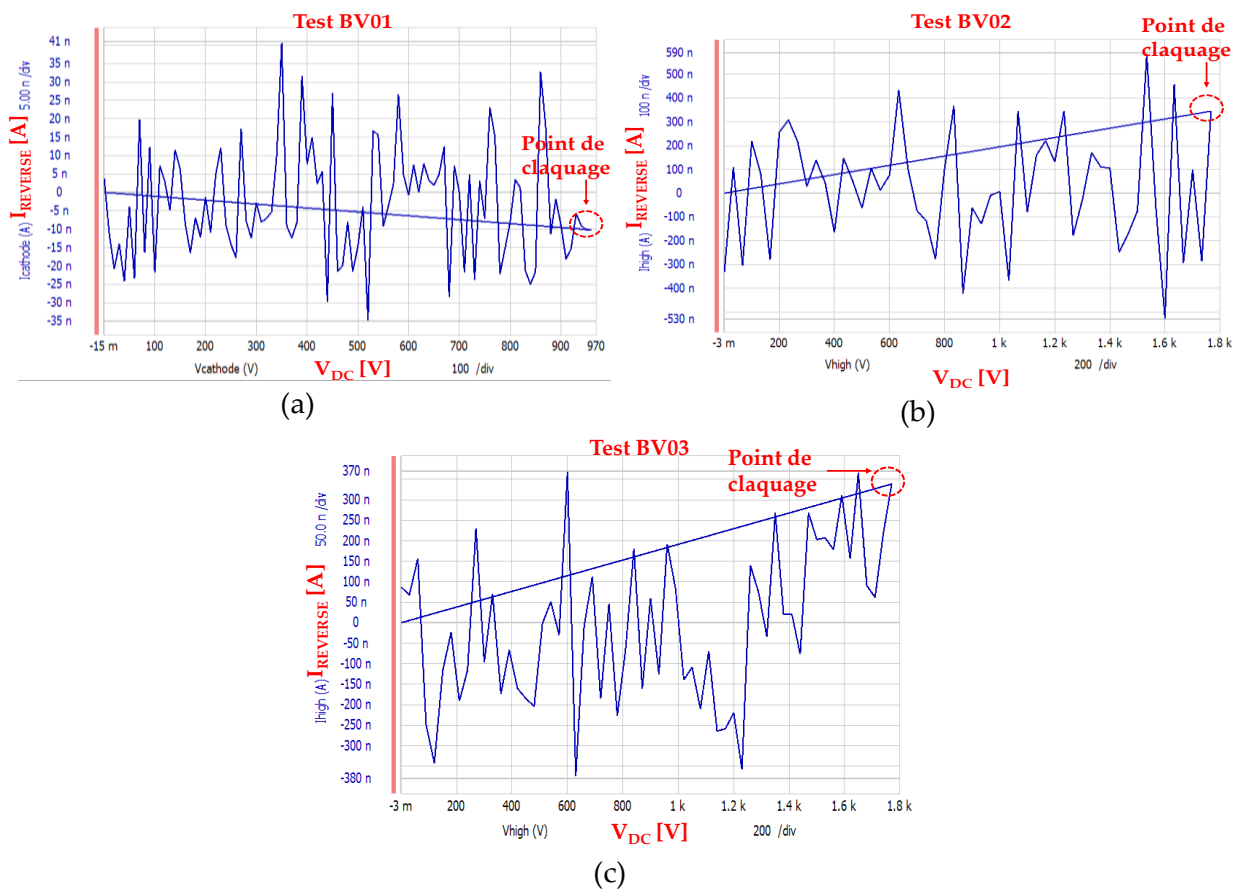


Figure II.-37. Résultats des tests de claquage des 3 motifs du transformateur (a) BV01, (b) BV02, (c) BV03.

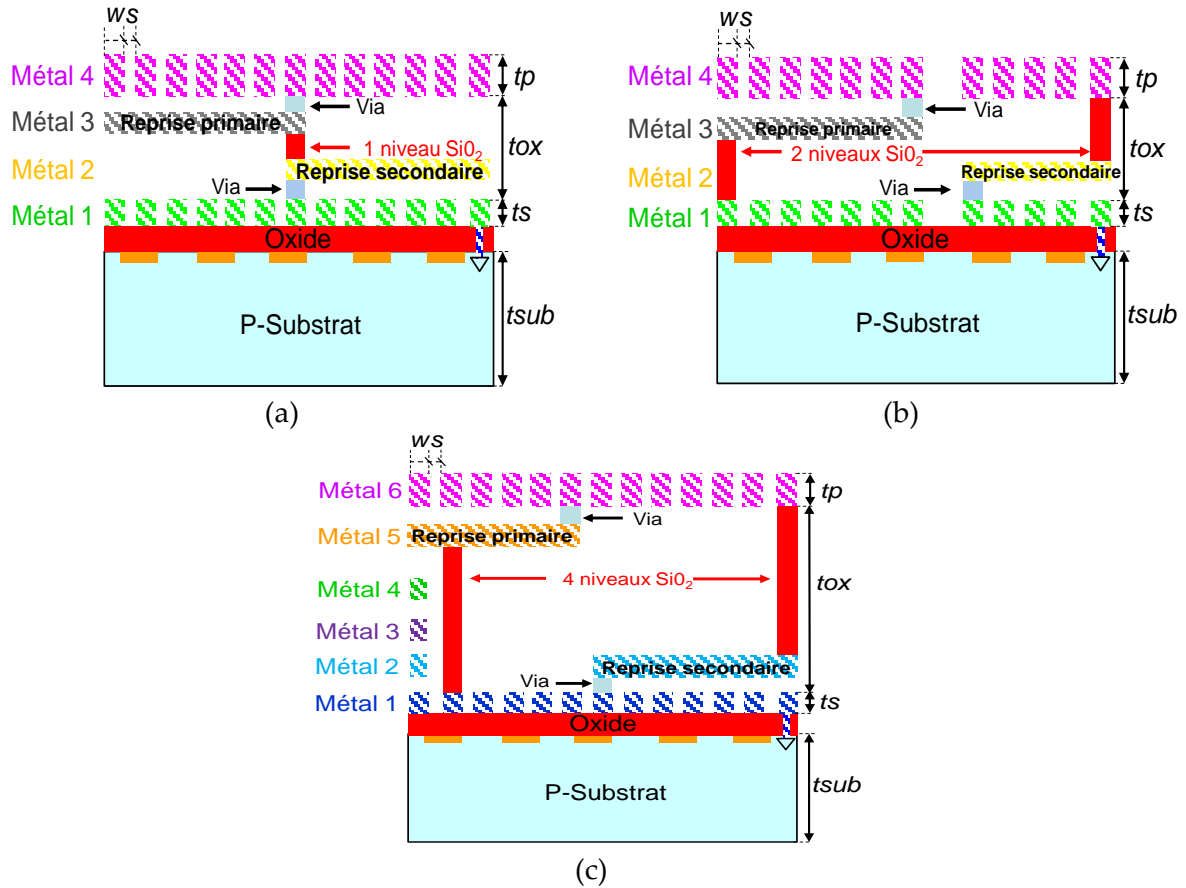


Figure II.-38. (a) Limitation de tension de claquage par la conception utilisée. (b) amélioration du niveau d'isolation par un changement de conception pour avoir deux niveaux d'isolation SiO_2 . (c) amélioration du niveau d'isolation par un changement de technologie SOI pour avoir 4 couches d'isolation SiO_2 .

II.5.3. Conception optimale du transformateur intégré pour le circuit de commande

Après avoir fourni l'étude approfondie sur la topologie et validé les modèles proposées pour les transformateurs intégrés, en appliquant les équations (II.30) sur les coefficients de transmission S_{21} , nous pouvons comparer les performances entre les 5 prototypes proposés à travers les gains en tension en dB et en amplitude comme illustré sur la Figure II.-39 (a) et (b).

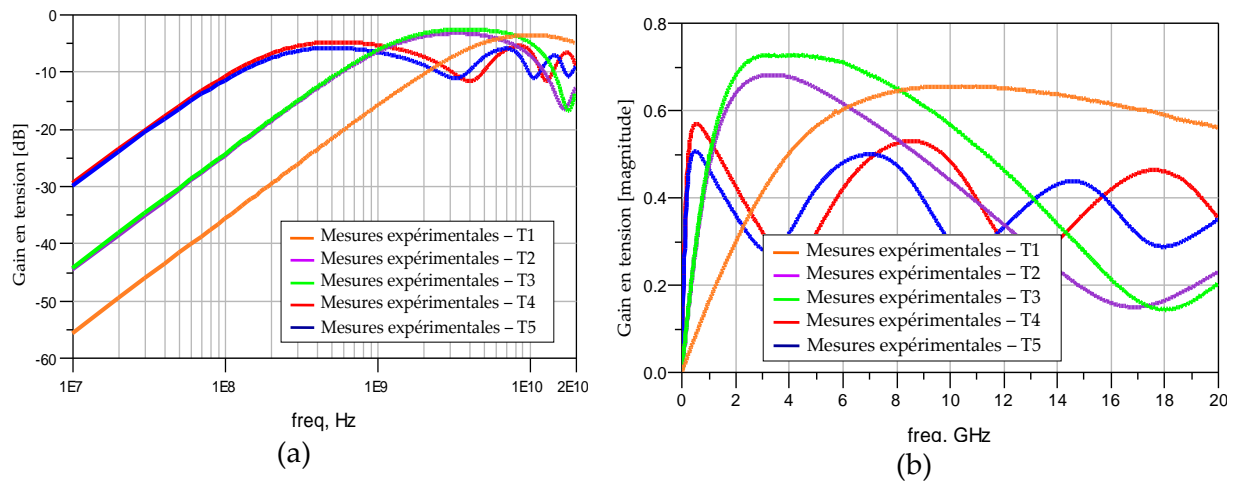


Figure II-39. Mesures des gains en tension en dB (a) et en amplitude (b) pour les transformateurs $T1 - T5$ sous une charge de 50 Ω .

Le Tableau II-9 montre la comparaison des performances des transformateurs intégrés aux fréquences optimales que nous avons déterminées. Les résultats expérimentaux montrent que parmi les 5 conceptions des transformateurs proposées, le transformateur $T3$ présente le meilleur gain en tension de -2.8 dB à 3.3 GHz.

Le Tableau II-10 montre la comparaison des performances des transformateurs intégrés par rapport à l'état de l'art. On peut observer que les transformateurs fabriqués dans ce travail ne présentent pas un meilleur gain en tension (-0.8 dB [Wu 11]) ainsi qu'un meilleur niveau d'isolation diélectrique (4 kV [Peng 13]). Cependant, nos structures prennent des surfaces plus raisonnables entre 150 μ m² et 600 μ m² avec les gains en tension assez élevés entre -2.8 dB et -5.9 dB, ce qui est suffisant pour l'application de transfert du signal isolé.

DUT	Fréquence optimale [GHz]			Gain en tension [dB]			Gain en tension [magnitude]		
	2D	3D	M	2D	3D	M	2D	3D	M
$T1$	11.5	12	10.9	-3.9	-3.8	-3.7	0.63	0.64	0.65
$T2$	3.8	3.7	3.9	-4	-3.5	-3.4	0.63	0.66	0.67
$T3$	3.7	3.4	3.3	-2.9	-3	-2.8	0.71	0.7	0.71
$T4$	0.69	0.61	0.65	-5.5	-5.4	-4.79	0.53	0.53	0.57
$T5$	0.65	0.5	0.52	-5.8	-5.8	-5.9	0.51	0.51	0.5

Tableau II-9. Comparaison des performances des transformateurs intégrés aux fréquences de travail optimales, charge 50 Ω .

Reference	Technologies	Surface	Fréquence	M [nH]	k	Gain en tension [dB]	Isolation [kV]
[Wang 07]	On-silicon w/core	2.1 x 11.3 mm ²	1-20 MHz	400	0.93	-1	N/A
[Tim 11-01]	On-silicon coreless	600 x 600 µm ²	100 MHz	76.5	0.85	-10.3	1.2
[Wu 11]	In-silicon coreless	2 x 2 mm ²	12-100 MHz	35	0.95	-0.8	0.02
[Kaeriya 12]	On-silicon coreless	230 x 230 µm ²	1 GHz	N/A	N/A	-5.2	2.5
[Peng 13]	TSV In-silicon coreless	500 x 500 µm ²	10-100 MHz	60	0.8	-3	4
T1	On-silicon coreless	150 x 150 µm ²	10.9 GHz	1.2	0.8	-3.7	1.8
T2	On-silicon coreless	300 x 300 µm ²	3.9 GHz	4.8	0.89	-3.4	1.8
T3	On-silicon coreless	300 x 300 µm ²	3.3 GHz	5	0.91	-2.8	1.8
T4	On-silicon coreless	600 x 600 µm ²	650 MHz	33.8	0.98	-4.79	1.8
T5	On-silicon coreless	600 x 600 µm ²	520 MHz	35.9	0.98	-5.9	1.8

Tableau II-10. Comparaison des performances des transformateurs de T1 à T5 par rapport à l'état de l'art pour le transfert de signal isolé.

A. Figure de mérite de la conception du transformateur intégré

L'efficacité du transformateur intégré peut être évaluée par le rapport entre la puissance d'entrée P_{IN} et la puissance délivrée à la charge P_{OUT} et définie par la perte d'insertion minium IL_{MIN} [Gharnity 06]. Cette figure de mérite pour le transformateur intégré est calculée par l'inverse du gain maximum disponible G_{MAX} d'un réseau à deux ports :

$$IL_{MIN} = \frac{1}{G_{MAX}} \quad (II.31)$$

Ce gain G_{MAX} est calculé en fonction du coefficient de couplage k et des facteurs de qualité des bobinages Q_P et Q_S du transformateur sans noyau [Leite 09]:

$$G_{MAX} = 1 + 2 \cdot (y - \sqrt{y^2 + y}) \quad (II.32)$$

$$y = \frac{1-k^2}{k^2 \cdot Q_P \cdot Q_S} \quad (II.33)$$

En se basant sur cette équation, nous observons que le produit $k^2Q_PQ_S$ doit être maximisé pour pouvoir obtenir une perte d'insertion minimum. Par conséquence, l'amélioration de IL_{MIN} peut être obtenue par l'optimisation des facteurs de qualité Q_P et Q_S ainsi que du coefficient de couplage k . La Figure II.-40 montre les résultats expérimentaux des pertes d'insertion minimum pour les transformateurs fabriqués. Tableau II-11 présente les valeurs des pertes d'insertion optimales et leur fréquences de travail.

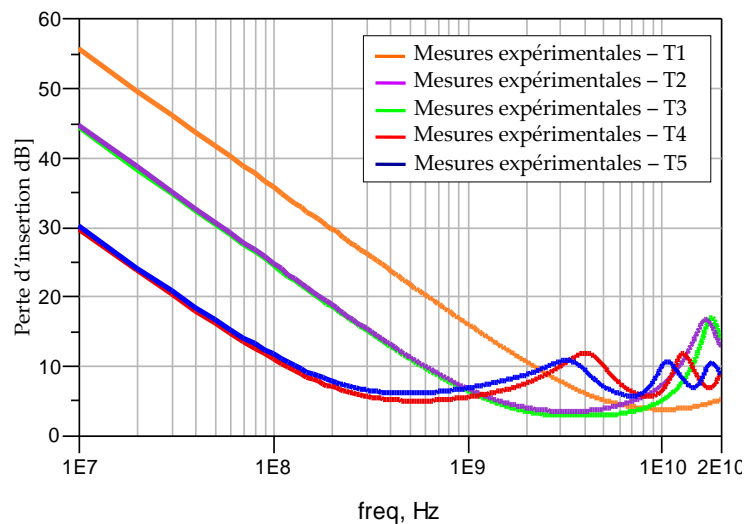


Figure II.-40. Mesures des pertes d'insertion minimum IL_{MIN} du transformateur intégré.

DUT	Fréquence IL_{MIN} [GHz]	k	Q_P	Q_S	IL_{MIN} [dB]	P_{IN}/P_{OUT}
T1	10.9	0.8	5.6	1.8	3.7	1.53
T2	3.9	0.89	8.2	2	3.4	1.47
T3	3.3	0.91	10	2.4	2.8	1.37
T4	0.65	0.98	4.3	1.1	4.9	1.75
T5	0.52	0.98	2.56	0.8	6	2

Tableau II-11. Pertes d'insertion optimales des transformateurs de T1 à T5

On voit que le transformateur T3 présente une valeur optimale IL_{MIN} de 2.8 dB à 3.3 GHz, basé sur son produit $k^2Q_PQ_S$ maximal. Ce résultat montre une bonne cohérence avec le meilleur gain en tension du transformateur T3 à 3.3 GHz car nous avons utilisé une adaptation d'impédance de 50 Ω pour nos mesures.

B. Extrapolation par les paramètres S des gains en tension pour une charge arbitraire

Les mesures des paramètres S utilisent la technique d'adaptation d'impédance afin d'optimiser le transfert de puissance entre la source et la charge. Dans ce cas, les impédances de source Z_s et de charge Z_c sont égales à l'impédance caractéristique Z_0 de 50 Ω . Par conséquent, les gains en tension mesurés (Tableau II-9) ne sont valables que sous une valeur de charge de 50 Ω . Cependant, l'objectif dans cette thèse est de concevoir un circuit de commande intégré complet. Comme défini dans la partie II.1, les circuits associés avec le transformateur sont composés d'un circuit électrique redresseur simple alternance, composé d'une diode et d'un condensateur en série comme illustré Figure II-1. Dans notre étude, la diode sera modélisée par une capacité de jonction C_j , la charge au secondaire du transformateur comme une charge purement capacitive. Nous devons recalculer les gains en tension du transformateur sur cette charge non linéaire.

La Figure II.-41 montre le graphe des flots de puissance utilisé pour les mesures des paramètres S du transformateur. Le transformateur intégré est considéré comme un quadripôle de la matrice S , ce qui montre les relations entre les ondes incidentes, réfléchies et transmises [S parameter].

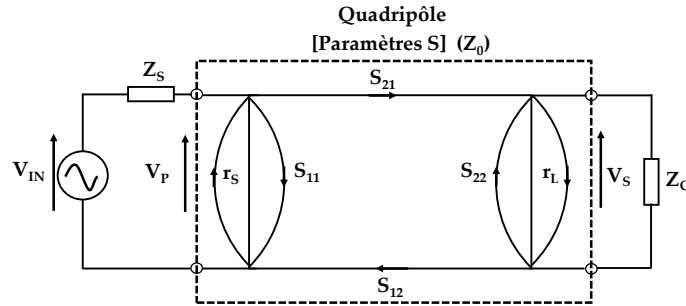


Figure II.-41. Le graphe des flots de puissance du système de mesure de 2 ports.

Dans le cas d'une nouvelle valeur de charge, le coefficient de réflexion S_{11} est recalculé pour le cas où Z_s est de 50 Ω mais Z_c est arbitraire [Hp95]:

$$S'_{11} = S_{11} + \frac{S_{21} \cdot S_{12} \cdot r_L}{1 - S_{22} \cdot r_L} \quad (\text{II.34})$$

Avec r_L coefficient de réflexion de charge :

$$r_L = \frac{Z_C - Z_0}{Z_C + Z_0} \quad (\text{II.35})$$

Le nouveau gain en tension du quadripôle, sous une charge arbitraire Z_c , est ensuite recalculé par l'équation :

$$A_V = \frac{V_P}{V_S} = \left| \frac{S_{21} \cdot (1+r_L)}{(1-S_{22} \cdot r_L) \cdot (1+S'_{11})} \right| \quad (\text{II.36})$$

Ensuite, nous pouvons calculer le nouveau gain en tension en dB :

$$G_V[\text{dB}] = 20 \cdot \log_{10} \left| \frac{S_{21} \cdot (1+r_L)}{(1-S_{22} \cdot r_L) \cdot (1+S'_{11})} \right| \quad (\text{II.37})$$

Dans notre circuit de commande, la charge du circuit de démodulation sera modélisée par une capacité C de 900 fF. En utilisant cette valeur de Z_c égale à $1/j\omega C$, nous pouvons calculer les gains en tension des cinq transformateurs en appliquant les équations (II.34) - (II.37) (Tableau II-12).

DUT	Freq porteuse [GHz]	S11	S12	S21	S22	Gain en tension [dB]/ [Magnitude] $Z_c = 50 \Omega$	Gain en tension [dB]/ [Magnitude] Charge 900 fF
T1	10.9	0.168 + 0.53j	-0.698 +0.01j	-0.646 +0.101j	0.068 +0.403j	-3.7 / 0.65	-5.3 / 0.54
T2	3.9	0.1 +0.35j	-0.7 +0.066j	-0.7 +0.055j	0.063 +0.223j	-3.4 / 0.67	2.4 / 1.2
T3	3.3	0.35j	-0.698 +0.013j	-0.698j	0.19 +0.2j	-2.8 / 0.71	2.6 / 1.3
T4	0.65	0.2 +0.235j	-0.566 -0.084j	-0.563 -0.082j	0.269 +0.031j	-4.79 / 0.57	0.18 / 1.02
T5	0.52	0.237 +0.268j	-0.569 -0.02j	-0.566 -0.017j	0.262 -0.008j	-5.9 / 0.5	-0.9 / 0.9

Tableau II-12. Calculs des gains en tension des transformateurs par la méthode des paramètres S.

Ces résultats montrent que les gains en tension au secondaire du transformateur seront augmentés sous une charge capacitive de 900 fF par rapport à une charge résistive de 50 Ω . La variante T3 montre ainsi un meilleur gain en tension avec cette nouvelle charge capacitive.

C. Simulation temporelle du transformateur intégré

Après avoir choisi le transformateur T3 comme l'organe l'isolation galvanique intégré du circuit de commande, le modèle électrique de ce transformateur présentée dans la Figure II.-42 a été simulé à l'aide du simulateur Spectre RF de Cadence.

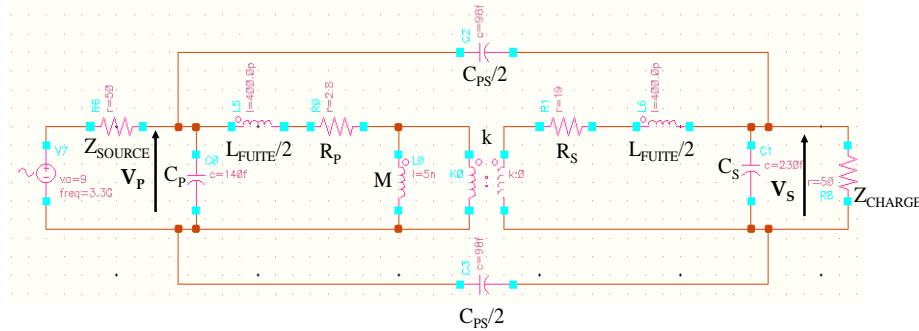


Figure II.-42. Schéma de simulation temporelle du modèle électrique équivalent du transformateur T3.

Pour pouvoir améliorer la précision du modèle électrique, nous avons utilisé les valeurs des paramètres de couplage magnétique (M , k), et les résistances des enroulements (R_p , R_s) extraites à partir de la mesure expérimentale tandis que les capacités parasites (C_p , C_s , C_{ps}) et l'inductance de fuite (L_{fuite}) sont calculées par les équations analytiques dans la partie II.4, comme illustré dans le Tableau II-13.

La Figure II.-43 montre que, pour un signal modulé de 10V crête à crête de 3.3 GHz au primaire du transformateur T3, on peut obtenir une amplitude au secondaire de, respectivement, 6.9 V et 11.6 V crête à crête sous une charge résistive de 50 Ω et sous une charge capacitive de 900 fF. Les gains en tension obtenus dans ces deux simulations (charge de 50 Ω et charge de 900 fF) sont donc respectivement de 0.69 et de 1.16. Ces résultats montrent une bonne cohérence des calculs de gain en tension par les paramètres, comme montré dans le Tableau II-13. On peut également observer que le délai entre le signal modulé au primaire et le signal au secondaire du transformateur est négligeable pour le cas d'une charge de 50 Ω et est de l'ordre de 3 ps pour une charge capacitive de 900 fF.

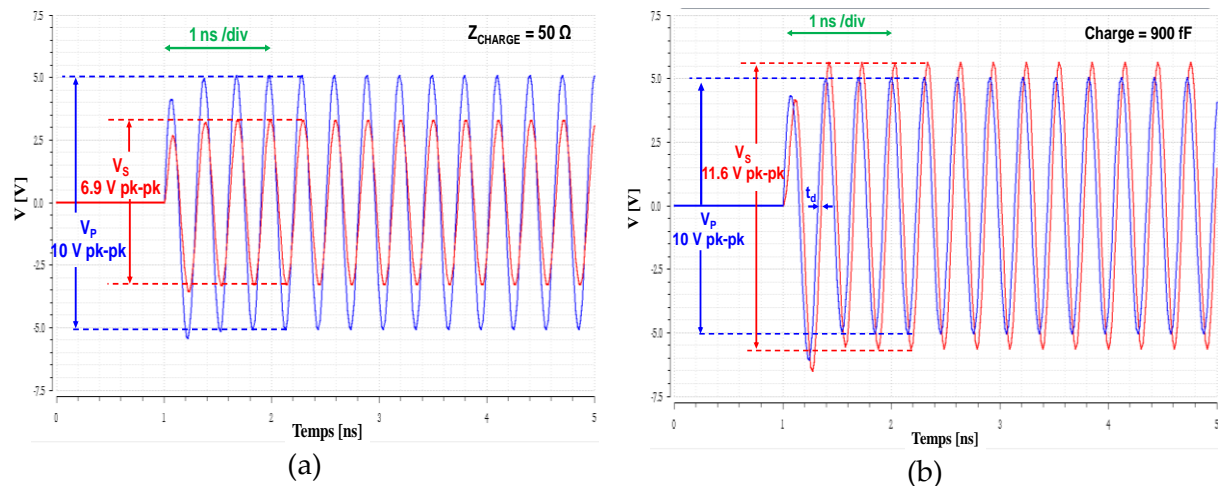
Après ces caractérisations des transformateurs intégrés, la variante T3 a été retenue comme étant la plus pertinent car présentant un couplage maximal pour une fréquence de 3.3 GHz, un temps de transition faible de 3 ps et un haut niveau d'isolation de 1.8 kV. Ce transformateur est adapté pour transférer les ordres de commande du transistor. Au chapitre

III, ce transformateur sera intégré avec le reste des fonctions électroniques nécessaires pour le pilotage rapproché du transistor de puissance et sera réalisé en technologie CMOS 0.35 μm .

Simulation du gain en tension et le temps de transition du transformateur T3										
C_p [fF]	C_s [fF]	C_{ps} [fF]	M [nH]	k	R_p [Ω]	R_s [Ω]	L_{fuite} [nH]	G_v [magnitude] Mesure [S]/ Simulation $Z_c = 50 \Omega$	G_v [magnitude] Extrapoler [S]/ Simulation Charge = 900 fF	Delay [ps] $Z_c = 50 \Omega$ / Charge = 900 fF
140	230	196	5	0.91	2.8	19	0.85	0.7 / 0.69	1.3 / 1.16	0 / 3

Tableau II-13. Paramètres du modèle électrique du transformateur T3 et les résultats de simulation temporelle.

Dans un premier temps, la commande éloignée sera connectée au primaire du transformateur via des pads de connexion et des fils de bonding. Cependant, il est à noter que les parasites d'interconnexion sont capables de diminuer les performances de transfert du signal à travers ce transformateur et provoquer des perturbations de CEM à de telles fréquences de porteuse. Par conséquent, nous allons aussi concevoir dans ce chapitre, le driver intégré aussi que le circuit de commande éloignée en technologie SOI 0.18 μm .



II.6. Conclusion

Dans ce chapitre, plusieurs motifs de transformateur intégré pour le transfert d'ordre de commutation pour des composants de puissance ont été dimensionnés, fabriqués et caractérisés, afin de réaliser une isolation galvanique performante et intégrée.

Nous nous sommes focalisés sur deux grands aspects autour du transformateur intégré : la conception et la caractérisation du transformateur. Deux modèles fiables de transformateur sans noyau magnétique ont été établis avec un soin particulier sur les couplages aux hautes fréquences : le modèle électrique et le modèle électromagnétique. Le modèle électrique est représenté par les équations équivalentes liées avec les paramètres des géométries ainsi que les paramètres technologiques. Le modèle électromagnétique a été effectué avec le logiciel HFSS en important les géométries GDS à partir de logiciel Cadence afin d'avoir une meilleure cohérence entre la simulation et les dispositifs fabriqués. Les modèles proposés ont été validés par la comparaison entre les mesures et les simulations en termes de paramètres S , d'inductances et de coefficients de couplages pour l'ensemble des 5 transformateurs fabriqués. Ces résultats ont montré une bonne précision sur une large bande de fréquences jusqu'à 20 GHz. Les fréquences de modulation pour les porteuses des transformateurs de $T1$ à $T5$ ont été situées entre 520 MHz et 10.9 GHz selon les géométries.

Ainsi, nous sommes capables d'anticiper les performances du transformateur intégré pour une valeur de charge arbitraire, dans notre cas, capacitive de 900 fF lors de l'assemblage avec les circuits de démodulation. Afin de maximiser le gain en tension entre le primaire et le secondaire, le transformateur $T3$ d'un diamètre de 300 μm et largeur de piste 14 μm a été retenu car le plus performant et présentant son couplage maximal pour une fréquence de 3.3 GHz. Cette variante sera intégrée avec le reste des fonctions électroniques nécessaires pour le pilotage rapprochée du transistor de puissance dans une technologie CMOS. La chaîne complète de pilotage de transistor de puissance sera démontrée dans le chapitre III. Par ailleurs, nous allons aussi présenter dans le chapitre suivant la conception et la caractérisation du transformateur intégré dans la technologie haute tension SOI afin de concevoir un «interrupteur générique».

Chapitre III

Conception, dimensionnement et caractérisation de la cellule de commutation en technologie CMOS 0.35 μ m bulk et CMOS 0.18 μ m SOI

CHAPITRE III : Conception, dimensionnement et caractérisation du driver en technologie CMOS 0.35μm bulk et CMOS 0.18μm SOI	112
III.1. Introduction	112
III.2. Conception et dimensionnement du circuit de commande rapprochée dans une technologie CMOS bulk	112
III.2.1. Conception de la puce de commande intégrée CMOS bulk	113
A. Topologie du driver intégré CMOS bulk	113
B. Conception de la partie 15V du driver CMOS	114
C. Conception de la partie 3.3V du driver CMOS	121
D. Elaboration du layout du driver CMOS.....	126
III.2.2. Caractérisation et validation expérimentale du driver.....	129
A. Tests préliminaires des fonctionnalités du driver intégré	129
B. Validation expérimentale du driver CMOS dans un convertisseur Buck	130
C. Conclusion du driver CMOS	137
III.2.3. Conception du convertisseur segmenté pour la charge partielle.....	137
A. Topologie du driver segmenté CMOS pour la charge partielle.....	138
B. Approche de la segmentation du composant de puissance	140
C. Gain en rendement du convertisseur par la conception couplée entre le composant de puissance segmenté et le driver segmenté.....	143
D. Elaboration le layout du driver CMOS à charge partielle	150
E. Conclusion sur le driver CMOS pour la charge partielle.....	151
III.3. Conception et dimensionnement du driver intégré en technologie CMOS SOI 0.18μm	151
A. Technologie CMOS SOI 0.18 μ m.....	152
B. Topologie du driver intégré SOI	153
C. Le choix de la fréquence de porteuse et l'optimisation de la conception du transformateur intégré en technologie CMOS SOI 0.18 μ m.....	159
D. Dimensionnement du circuit au primaire du driver SOI	163
E. Dimensionnement du circuit au secondaire du driver SOI.....	169
F. Elaboration du layout du driver SOI	175
G. Conclusion du driver SOI	177
III.4. Conclusion	178

CHAPITRE III : Conception, dimensionnement et caractérisation du driver en technologie CMOS 0.35 μ m bulk et CMOS 0.18 μ m SOI

III.1. Introduction

Après avoir présenté la conception et la modélisation du transformateur sans noyau magnétique dans le chapitre II, ce chapitre se concentrera sur les démarches de conception des puces de commande intégrée en technologie CMOS homogène (dit « bulk ») et en technologie CMOS sur substrat isolé (dit « SOI ») que l'on proposait de mettre en place au cours du chapitre I. Dans une première phase, nous allons présenter l'approche de conception et de la mise en œuvre d'un circuit intégré de commande CMOS pour grille de puissance. Ces travaux ont pour but de valider en pratique les fonctionnalités du driver intégré en technologie CMOS 0.35 μ m bulk. Dans une deuxième phase, nous optimiserons ce circuit en technologie CMOS 0.18 μ m SOI afin d'intégrer toutes les fonctionnalités requises dans une seule puce. Les démarches de dimensionnement, les résultats de simulation et de routage ainsi que la caractérisation du driver seront ensuite présentés et discutés.

III.2. Conception et dimensionnement du circuit de commande rapprochée dans une technologie CMOS bulk

Dans ce travail, nous voulons concevoir un circuit de commande rapprochée qui, d'une part, contient tous les circuits de commande requis au secondaire de l'isolation galvanique et, d'autre part, intègre monolithiquement un transformateur sans noyau utilisant la technologie CMOS. Dans un premier temps, nous allons utiliser un générateur de fonction haute fréquence afin de remplacer le circuit de commande éloigné au primaire du transformateur intégré. Ce driver doit pouvoir piloter des transistors « high side » ainsi que des transistors « low side » d'un bras d'onduleur. La conception, le dimensionnement, le routage et la caractérisation de ce driver CMOS seront détaillés par la suite.

III.2.1. Conception de la puce de commande intégrée CMOS bulk

A. Topologie du driver intégré CMOS bulk

La Figure III.-1 montre la topologie du driver CMOS. Ce driver est composé de deux parties : une partie basse tension de 3.3V permettant de démoduler avec de bonnes performances le signal haute fréquence au secondaire du transformateur et un étage de sortie 15V devant gérer la dynamique de commutation du transistor de puissance. L'étage de sortie 15V contient quatre étages différents : l'étage d'adaptation de tension entre la partie 3.3V et la partie 15V, l'étage de décalage et deux étages d'amplification séparés qui pilotent le dernier étage push-pull constitué du PMOS -P0 et du NMOS-N0.

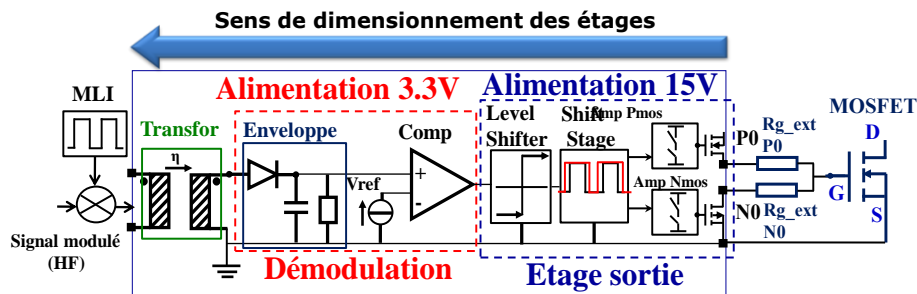


Figure III.-1. Topologie du driver intégré CMOS

Comme nous l'avons indiqué au chapitre II, la technologie employée est une technologie AMS H35B4M3 0.35 μ m. Nous avons utilisé des transistors PMOS20H et NMOS20H pour l'étage de sortie car ceux-ci ont une tenue en tension de 20V et une tension de commande de grille maximale de 20V elle aussi. Les résistances externes R_{G_EXT} sont optionnelles et peuvent être utilisées comme résistances de shunt. Il existe aussi des transistors de tenue de tension de 20 V mais avec une tension de commande réduite à 3.3V (PMOS20T, NMOS20T), ceux-ci vont nous permettre d'adapter la tension entre le circuit de démodulation (3.3V) et l'étage de sortie de 15V en utilisant un circuit d'adaptation de potentiel (level-shifter). Cette topologie utilise une alimentation isolée de basse tension de 3.3V pour le circuit de démodulation et une autre source d'alimentation isolée de plus haute tension, 15V, pour les étages de sortie. Il faut noter qu'il est possible d'utiliser une seule alimentation 15V et de générer une source 3.3V en utilisant un circuit de régulateur de tension intégré monolithiquement au sein du driver. Par manque de temps, cette fonction n'a

pas été intégrée. Ce driver est capable de commander des transistors de puissance verticaux pouvant supporter des tensions allant jusqu'à 600V, et plus généralement des transistors de puissance ayant des charges de grilles similaires de quelques centaines pC à nC et les fréquences de commutation de quelques centaines de kHz. Pour ce travail, nous avons choisi de commander un transistor MOSFET IRF840 (500V, 8A) car il possédait des caractéristiques similaires à celles du VDMOS de puissance fabriqué au G2Elab [Binh 08] [Mitova 05].

B. Conception de la partie 15V du driver CMOS

La Figure III.-2 présente le schéma de la partie 15V du circuit de commande rapprochée. Ce circuit comprend quatre étages différents : l'étage level shifter, l'étage de décalage temporel, et deux étages d'amplification permettant de commander les deux transistors PMOS P0 et NMOS N0 de l'étage de sortie. L'étage level-shifter est requis afin d'adapter le niveau de commande de grille 15V au niveau de sortie de l'étage de démodulation logique 3.3V. Cet étage comporte une résistance R et un transistor T17.

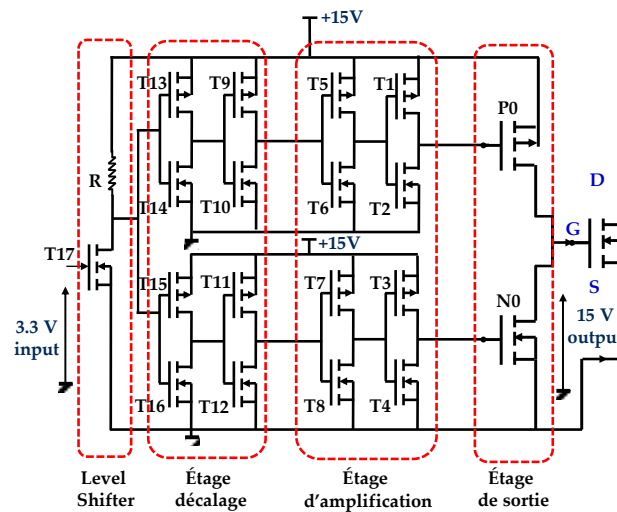


Figure III.-2. Schéma de la partie 15V du driver intégré CMOS

Le signal de sortie du level-shifter est d'abord décalé temporellement par les étages de décalage (T9 à T16) afin de créer deux signaux de commande décalés pour les MOS P0 et N0, évitant un court-circuit sur cet étage [Deleage 10]. En outre, pour améliorer la dynamique de la réponse de la commande de grille, les signaux de commande sont amplifiés par les étages d'amplification (T1 à T8) avant d'être transférés pour commander les grilles en aval. L'utilisation de l'étage de sortie permet de définir la capacité en courant de sortie du driver et

de contrôler les temps de montée t_{RISE} et les temps de descente t_{FALL} du composant de puissance. Par conséquent, elle offre la possibilité d'assurer la protection du composant de puissance en fixant les contraintes de surtension et de sur courant au point de fonctionnement le plus critique du composant de puissance, et en fonction de la gestion de la charge de grille.

- **Fixer la marge de sécurité pour le composant de puissance par l'étage de sortie P0-N0**

Comme nous l'avons vu dans la partie I.2.1 du chapitre I, il existe un compromis entre la vitesse de commutation d'un MOSFET de puissance et les contraintes en surtension et sur courant qui sont imposées à ce composant et à tout le circuit environnant. Pour bien étudier ce compromis, nous avons simulé sous Cadence le convertisseur Buck de 400V / 8A en réutilisant le schéma de la cellule de commutation présenté Figure I.-4 ainsi que les valeurs des inductances parasites liées aux interconnexions, présentées dans le Tableau I-2. La partie de puissance étant, quant à elle, composée des modèles électriques d'un MOSFET IRF840 (500V, 8A) et d'une diode de roue libre STPSC8 (600V, 8A). Nous avons réalisé deux simulations paramétriques pour les largeurs de grille de P0 et de N0 du bras de sortie afin de trouver le compromis entre les tailles de ces transistors et le stress sur le transistor de puissance. Les résistances externes $R_{G_EXTERNE}$ ne sont pas utilisées et ces simulations ont été effectuées dans le pire cas de commutation du MOSFET : $V_{DD} = 400V$, $I_{CHARGE} = 8A$, $f_{DECOUPAGE} = 1MHz$.

Sur la Figure III.-3, on peut constater qu'il y a un lien entre le niveau de sur courant de drain-source dans le composant et la largeur de grille de P0 et que ce niveau est indépendant de la variation de la largeur de grille de N0. De la même manière, le niveau de surtension dépend seulement à la largeur de grille de N0 et pas de celle de P0.

Afin de s'assurer que le composant de puissance fonctionne dans sa zone de sécurité, le niveau de surtension et de sur courant du MOSFET seront, dans le pire cas de commutation, fixés avec une marge de sécurité de 25% de la tension d'alimentation V_{DD} , et de 50% du courant de charge I_D . Ainsi le MOSFET IRF840 fonctionnera avec un pic de tension de 500V, et un pic de courant de 12A pour un régime continu de 400V et 8A et pour une fréquence de commutation de 1 MHz. Pour ce cahier des charges, le MOSFET IRF840 de puissance choisi n'est pas optimal car ses grandes valeurs des capacités parasites d'entrée C_{ISS} (de l'ordre de

1.2 nF) et de sortie C_{oss} (de l'ordre de 310pF) ne permettant pas de travailler à la fréquence de l'ordre du MHz. Cependant, ce composant nous permet de prévoir la caractéristique de notre convertisseur lors de l'assemblage 3D entre la puce de commande et le composant de puissance car il présente des caractéristiques similaires à celles du VDMOS de puissance fabriqué au G2Elab [Mitova 05].

Pour obtenir ce résultat, nous avons choisi les largeurs de grille du PMOS et du NMOS telles que :

$$W_{P0} = 5428\mu\text{m}, W_{N0} = 4400\mu\text{m}.$$

Ces largeurs de grille correspondent à des valeurs de résistance à l'état passant de $R_{ds_on_P0} = 3.5\Omega$ et $R_{ds_on_N0} = 1.5\Omega$.

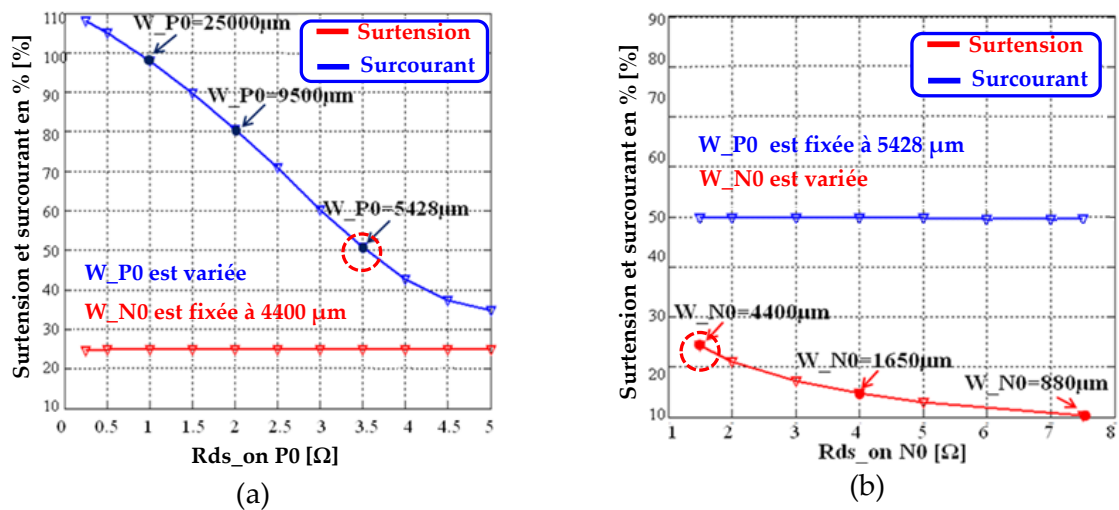


Figure III-3. Compromis entre la résistance à l'état passant de MOSFET P0 (a), de MOSFET N0 (b) et la surtension sous une commande de 400 V et 8 A et 1 MHz

- **Dimensionnement des étages d'amplification, des étages de décalages et d'étage de level-shifter**

Pour pouvoir optimiser séparément les deux MOSFETs P0-N0, il est nécessaire d'avoir deux étages d'amplification séparés, associés avec une étage de décalage permettant de gérer le courant de court-circuit sur ce bras. Ces étages d'amplification sont obligatoires pour maintenir une réponse rapide puisque les capacités d'entrées de P0 et N0 sont assez importantes (8.4pF de P0 et 5.3pF de N0). Le dimensionnement des étages d'amplification est basé sur le besoin en quantité de charges des capacités d'entrées de P0 et de N0. Un surdimensionnement de ces étages peut rajouter des pertes dans le circuit de commande sans

bénéfice par ailleurs mais un sous dimensionnement pourrait ralentir la vitesse de commutation du circuit. De ce fait, après avoir fixé la taille de P0 et N0, nous avons effectué des simulations sur le logiciel Cadence et observé les pics de courant à fournir pour pouvoir charger et décharger chaque étage. A partir des pics de courants obtenus, nous avons calculé la taille de chacun transistor de ces étages amplifications comme le montre le Tableau III-1.

	ETAGE P0		ETAGE N0	
Courants requis P0-N0	Ipic_charge = 31.12 mA	Ipic_décharge = 28.05 mA	Ipic_charge = 52.8 mA	Ipic_décharge = 21.75 mA
1 ^{ère} étage d'amplification	W_T2 = 71 μ m	W_T1 = 120 μ m	W_T3 = 380 μ m	W_T4 = 52 μ m
Courants requis T1-T4	Ipic_charge = 1.765 mA	Ipic_décharge = 2.09 mA	Ipic_charge = 3.075 mA	Ipic_décharge = 2.46 mA
2 ^{ème} étage d'amplification	W_T5 = 11 μ m	W_T6 = 10 μ m	W_T8 = 10 μ m	W_T7 = 16.5 μ m

Tableau III-1. Conception des étages d'amplification CMOS

- **Gérer les temps mort sur le bras P0-N0 par l'étage de décalage**

Nous avons ainsi utilisé un circuit de décalage (comportant des transistors de T9 à T16) servant à créer deux signaux de commande décalés pour P0 et N0 et permettant de limiter le courant de court-circuit sur le bras P0-N0, tout en garantissant des forts niveaux de courants de sortie pour P0 et N0. Pour faciliter le dimensionnement de cet étage de décalage, nous avons fixé les largeurs de grille des transistors de T11 à T14 et T16 à la valeur minimale 10 μ m. En faisant varier les largeurs des grilles des transistors T9, T14 et T15 nous avons pu obtenir les temps de décalages désirés. En nous basant sur la méthodologie développée par Olivier Deleage dans son travail sur le dimensionnement de convertisseurs en technologie CMOS AMS 0.35 μ m basse tension [Deleage 10], nous avons effectué des simulations paramétriques pour étudier la relation entre trois variables : le niveau de courant de court-circuit, les temps de décalages entre deux tensions de commande P0 et N0 et la largeur de grille W. Les résultats sont présentés Figure III.-4.

Sur cette courbe, on peut remarquer qu'à partir de 5ns de décalage, les courants de court-circuit dans le bras P0-N0 se stabilisent à 20mA dans chaque composant, correspondant à une valeur de W égale à 100 μ m. Il est à noter que nous n'avons pas besoin d'un décalage plus élevé que 5ns puisque le niveau de court-circuit à ce point-là est

d'environ 1.33% du courant de sortie du bras P0-N0, ce qui est tout à fait acceptable. La Figure III.-5 nous montre que, avec ce décalage, les périodes de conduction des N0 et P0 sont bien distinctes. La Figure III.-6, quant à elle, montre que les courants de court-circuit sont limités à 20mA pour les deux commutations tandis que ces niveaux du courant de court-circuit sans les étages de décalage peuvent s'élever jusqu'à quelques ampères [Deleage 10].

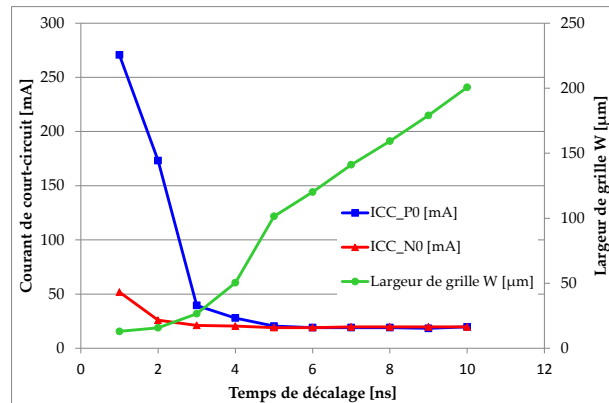


Figure III.-4. Relation entre le temps de décalage, la largeur de grille W de l'étage de décalage et les courants de court-circuit sur P0-N0

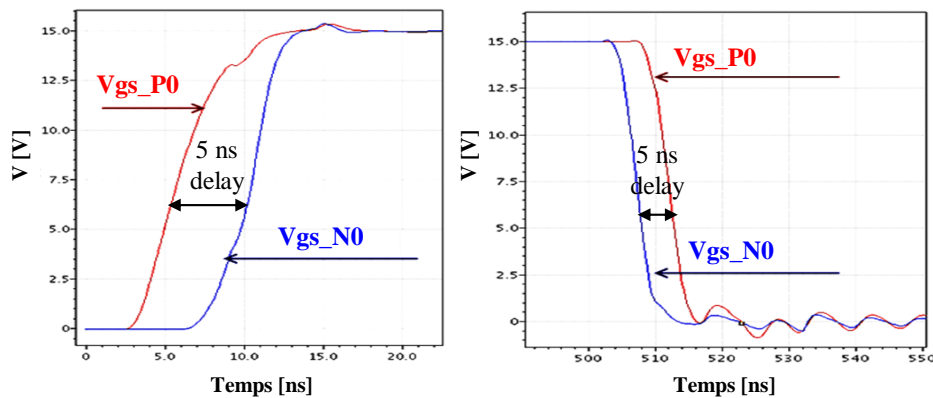


Figure III.-5. Décalage de 5 ns pour les tensions de commande de grille de P0 et de N0

Les décalages de 5ns permettent de diminuer le niveau de courant de court-circuit sur P0 et N0 jusqu'à 20mA comme montré par la Figure III.-6.

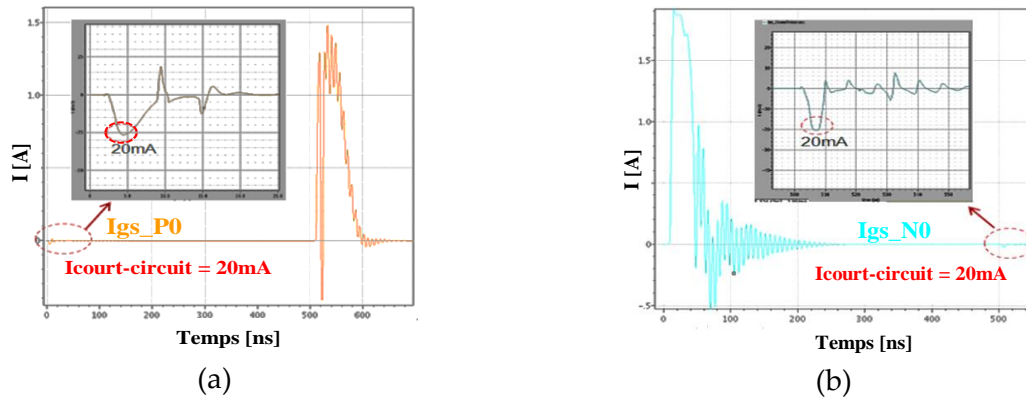


Figure III.-6. Minimisation des courants de court-circuit sur le bras P0 (a) et N0 (b)

- Etage de level-shifter

L'étage de level shifter comporte le transistor T17 et la résistance R qui permettent d'adapter le niveau de commande de grille 15V au niveau de sortie de l'étage de démodulation logique 3.3V. Pour cela on utilise la structure inverseur NMOS 20V classique en prenant en compte l'effet de la valeur de la résistance R sur la dynamique du circuit et sur la consommation totale de la structure. En effet, la valeur de la résistance R est optimisée à partir des résultats de simulation présentés dans la Figure III.-7. Cette figure montre que les pertes de puissance sont inversement proportionnelles à la valeur de cette résistance et on constate qu'à partir de 30k Ω les pertes diminuent très lentement alors que la surface nécessaire pour intégrer ce composant continue d'augmenter.

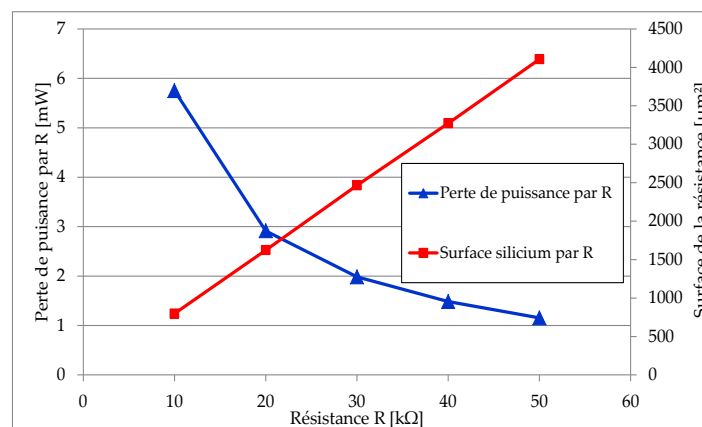


Figure III.-7. Compromis entre la surface et la perte de la résistance de level-shifter

Le transistor T7 est choisi pour avoir une tenue en tension de 20V et une tension de seuil de grille réduite afin d'être piloté par le signal de commande venant du circuit de démodulation 3.3V. Nous fixerons les pertes de cet étage à 2mW pour une fréquence de

commutation de 1MHz. Par conséquent, les paramètres choisis pour cet étage sont les suivants :

$$R = 30k\Omega, W_{T7} = 27\mu m$$

La Figure III.-8 montre la synthèse de dimensionnement de la partie 15V pour le cahier des charges désiré. Nous avons ensuite simulé la structure de la partie 15V du driver avec une charge capacitive d'une valeur de 1.2nF égale à la valeur de la capacité d'entrée du MOSFET IRF840.

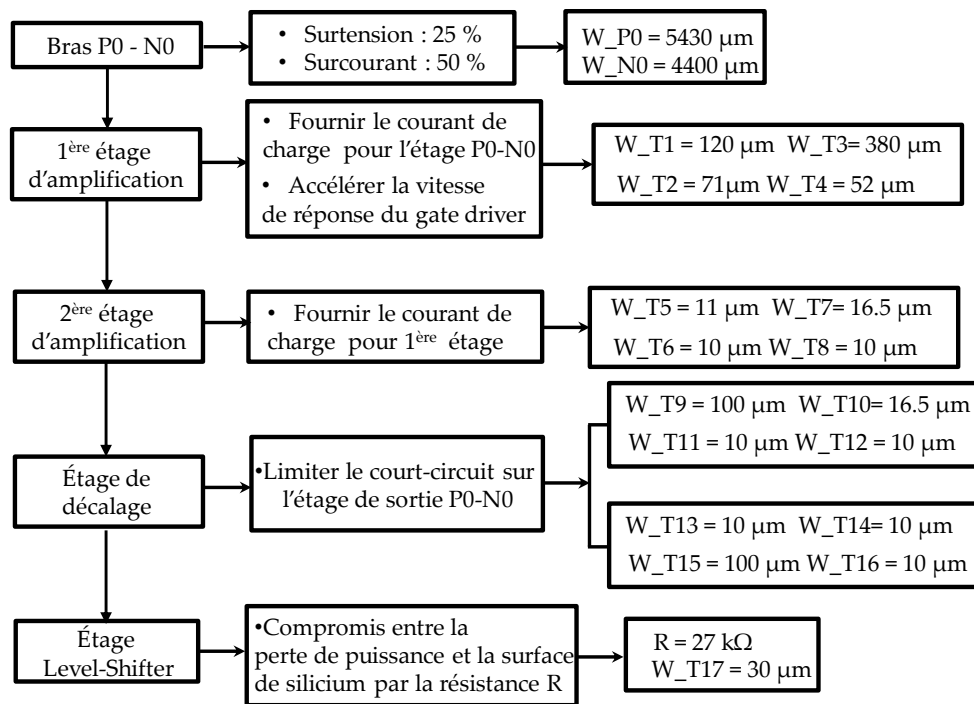


Figure III.-8. Synthèse du dimensionnement de la partie 15 V du driver CMOS

Comme illustré Figure III.-9, en utilisant une source d'impulsion de 3.3V à 1 MHz, nous avons obtenu une tension de sortie de 15V présentant des temps de retard de 8ns et 10ns pour la phase d'ouverture et la phase de fermeture du MOSFET par rapport à la commande MLI de 3.3V. La consommation totale de la partie 15V pour une commutation sous 400V, 8A à 1MHz est prévue de 61.8mA, correspondant à une puissance de 0.927W. La puissance requise pour chaque intervalle de charge et de décharge de la capacité d'entrée C_{iss} du MOSFET IRF840 est calculé par la formule

$$P = Q_G \cdot E \cdot f \quad (III.1)$$

Où Q_G est la charge totale de grille, ayant une valeur typique de 42 nC pour le

MOSFET IRF840 [IRF], E , f sont respectivement la tension d'alimentation et la fréquence de découpage. Par conséquent, la puissance nécessaire de la capacité C_{ISS} sous 15V et à la fréquence de 1 MHz est estimé de 0.63 W. De fait, nous pouvons calculer l'énergie dissipée dans chaque transistor du bras CMOS P0-N0 est égale de 0.31W par la formule :

$$P_{ON_PO} = P_{OFF_NO} = \frac{1}{2} \cdot Q_G \cdot E \cdot f \quad (III.2)$$

Nous observons ainsi que les pics de courant de charge I_{CHARGE} et de décharge $I_{DECHARGE}$ sont de 1.4A et de 1.9A, respectivement. Ces résultats de simulation nous montrent un bon fonctionnement de l'étage de sortie et seront validés par la mesure.

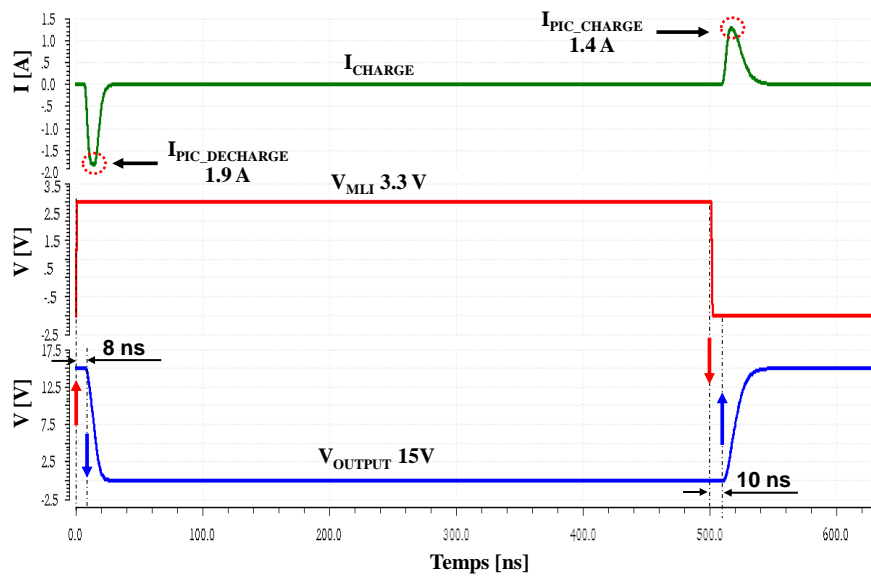


Figure III.-9. Simulation de la partie 15 V avec une charge capacitive de 1.2 nF

C. Conception de la partie 3.3V du driver CMOS

La partie 3.3V du driver permet de récupérer le signal de commande MLI basse fréquence à partir du signal modulé haute fréquence au secondaire du transformateur intégré. Cette partie comporte un circuit de détection crête associé à un comparateur rapide, et assure le lien entre la commande éloignée et la partie 15V. La conception de ces circuits sera présentée dans la partie suivante.

- **Comparateur rapide**

La Figure III.-10 présente la structure du comparateur deux étages en boucle ouverte du comparateur utilisé. Ce comparateur comprend l'étage amplificateur différentiel, un étage d'inversion ainsi qu'une source de courant commandée par la résistance $R1$ et le transistor

T25. La charge à la sortie du comparateur est simulée par une capacité de 100 fF, correspondant à la capacité de grille de MOSFET T17 de l'étage de level shifter. La vitesse de balayage (SR) de ce type de comparateur est fortement dépendante du courant de miroir I_{TAIL} dans T25. Nous choisissons la valeur de ce courant à 50 μ A afin d'avoir une vitesse de réponse à 220V/ μ s et une consommation raisonnable de 203 μ A pour le comparateur, comme illustré dans le Tableau III-2. Les deux résistances R2, R3 de l'étage de référence de tension ont des valeurs respectivement de 42k Ω et de 9k Ω afin de fournir un niveau de tension de 0.5V. Les paramètres de conception sont présentés dans le Tableau III-3. La Figure III-11 montre les résultats de simulation des caractéristiques du comparateur pour le gain DC et la réponse transitoire à 1MHz.

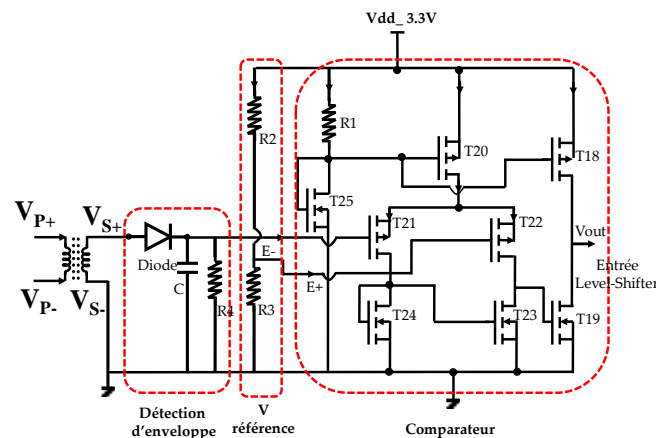


Figure III.-10. Schéma du circuit 3.3 V du driver

Paramètres	VDD	Gain DC A0	SR+	Consommation
	3.3 V	64	220 V/ μ s	203 μ A

Tableau III-2. Spécification de conception du comparateur

	M18	M19	M20	M21	M22	M23	M24	M25	R (Ω)
Type	PMOS	NMOS	PMOS	PMOS	PMOS	NMOS	NMOS	NMOS	R1=9k R2=42k R3=7.5k
W/L	43.1	14.7	43.1	21.5	21.5	14.7	3	3	
W(μ m)	60.3	5.1	60.3	30.1	30.1	5.1	1.4	1.4	
L (μ m)	1.4	0.35	1.4	1.4	1.4	0.35	0.35	0.35	

Tableau III-3. Paramètres de conception du comparateur

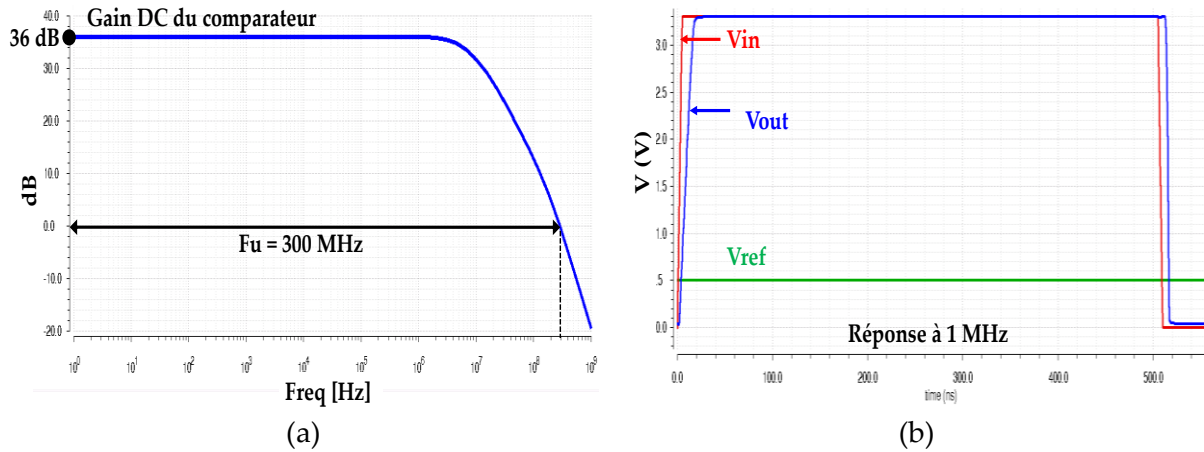


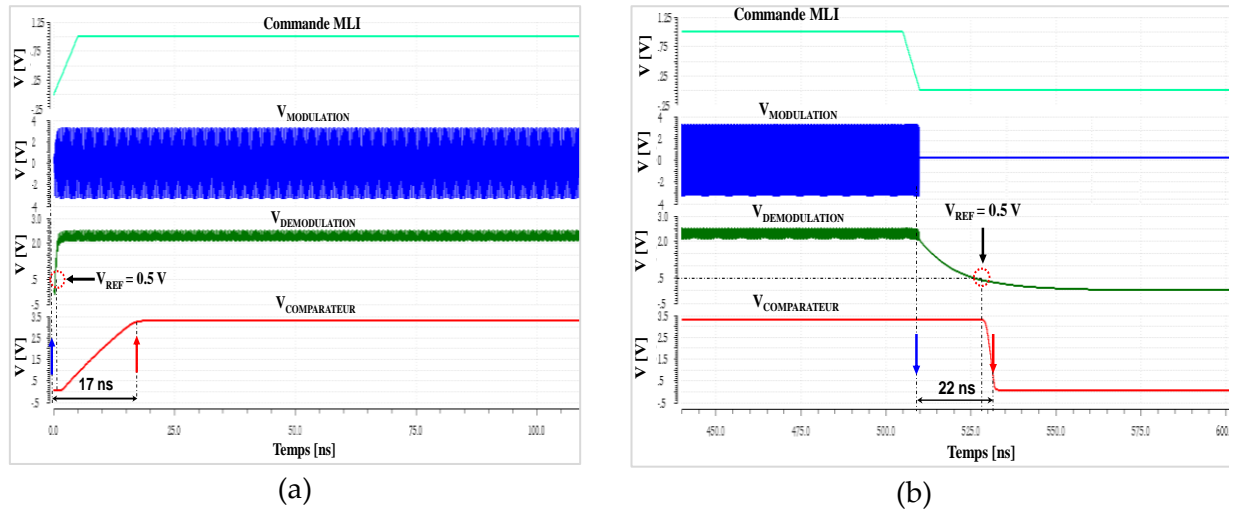
Figure III.-11. Simulation des caractéristiques du comparateur

- **Circuit de détection crête**

Pour pouvoir démoduler le signal de commande à partir du primaire du transformateur, un circuit de détection crête est mis en série au secondaire du transformateur. Pour réaliser la diode de ce détecteur, nous avons utilisé la diode body d'un transistor PMOS de 3.3V en raison de la limitation de la technologie CMOS H35B4M3. La constante de temps RC du filtre de sortie de ce détecteur est réglée pour que la période de décharge de capacité soit lente par rapport à la période de la tension modulée à 3.3 GHz présente aux bornes du secondaire du transformateur intégré. Cette fréquence de porteuse à 3.3 GHz a été choisie dans le chapitre II, correspondant à la variante T3 de diamètre de 300 μ m. Ceci pour assurer que la courbe de charge et de décharge du condensateur suive bien l'enveloppe du signal. Nous avons choisi une valeur de trente fois la période de porteuse comme suit :

$$R4 = 10k, C = 900fF$$

La Figure III.-12 montre les résultats de simulation du circuit de détection d'enveloppe et du comparateur associé. Nous constatons un bon fonctionnement du circuit de démodulation sous une commande MLI modulée à 3.3 GHz au primaire du transformateur. Nous obtenons ainsi les délais respectivement de 17 ns et de 22 ns pour les temps de transitions pendant la phase de montée et de la descente entre la commande MLI et la sortie du comparateur. Ces délais peuvent être améliorés en augmentant la valeur de la tension référence V_{REF} ou en augmentant la réponse temporelle du comparateur avec le compromis entre la rapidité du système et la consommation d'énergie du comparateur.



- **Consommation et délais de propagation du circuit de commande intégré**

Après avoir conçu toutes les fonctions du circuit de commande intégré CMOS, nous avons simulé la structure complète du driver présentée dans la Figure III.-13. Ces résultats montrent une bonne commutation du driver avec un MOSFET IRF840 sous une fréquence de découpage à 1 MHz et un rapport cyclique de 0,5. La consommation totale du driver est estimée de 0.93 W à la fréquence 1 MHz, prenant en compte l'énergie de charge de la capacité C_{ISS} du MOSFET. Ainsi, les temps de transitions entre la commande MLI et la sortie du driver sont respectivement de 32 ns et 25 ns pendant la phase de montée et de descente. Cependant, la simulation de la chaîne complète du driver avec les inductances parasites montre une augmentation des pics du courant de charge et de décharge I_{GS} par rapport à la simulation de l'étage de sortie de 15V seul (Figure III.-9), illustrée dans la Figure III.-14. Ceci peut s'exprimer par les ondulations sur V_{GS} et I_{GS} provoquées par les inductances parasites de grille et aussi par le courant de recouvrement de la diode de puissance. En outre, nous pouvons ainsi observer que les temps de montée « t_{RISE} » et de descente « t_{FALL} » de la tension de sortie V_{GS} sont respectivement de 45 ns et 37.5 ns. Ces temps de montée et de descente restent raisonnables par rapport aux performances de drivers commerciaux de quelques centaines de ns pour une valeur de capacité de charge de 1.2 nF [ATA6832] [NCP5106] et permettent des commutations rapides du composant de puissance. Le Tableau III-4 montre

les caractéristiques de simulation du driver. Le comportement expérimental du driver sera étudié dans la partie III.2.2 afin de valider les résultats de simulation.

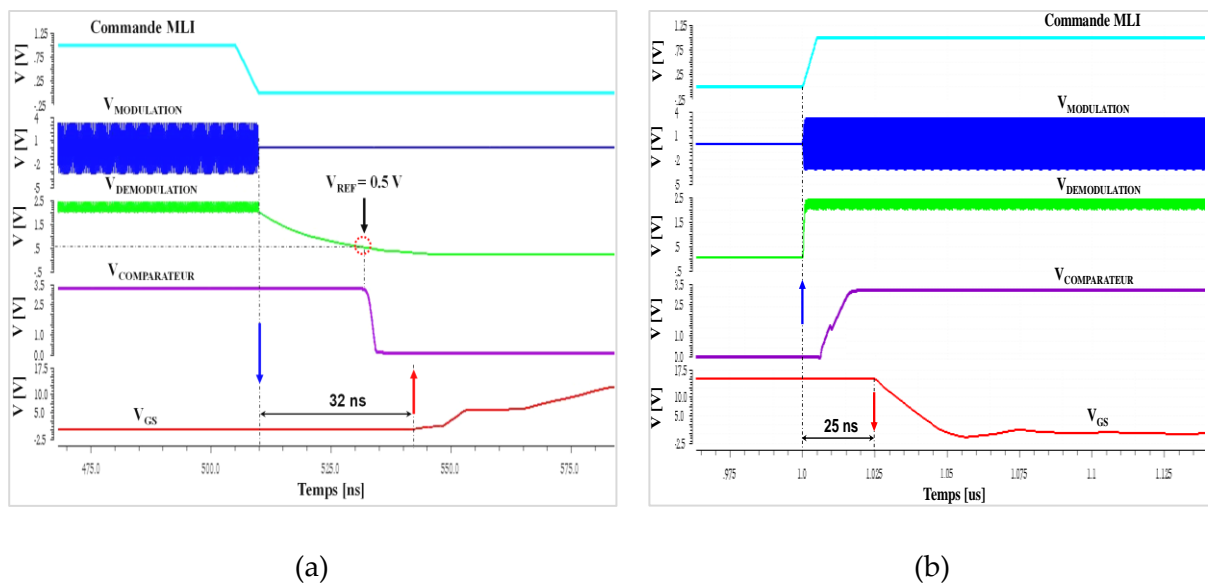


Figure III.-13. Simulation du driver CMOS (a) pendant la phase de montée et (b) pendant la phase de descente de la commande MLI

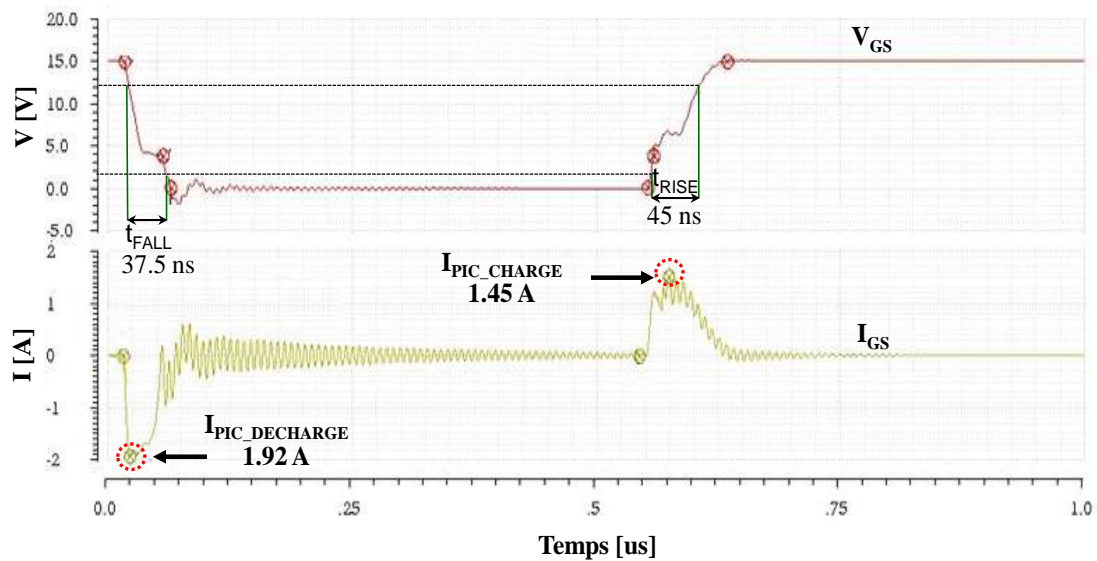


Figure III.-14. Courbes de commutation V_{GS} et I_{GS} du driver CMOS pour une commutation à 1MHz d'un MOSFET IRF840

SIMULATION DES PARAMETRES DU DRIVER CMOS	
Configuration	High side / Low side
Courant de sortie (Source / Sink)	1.45 A / 1.92 A
Tension de sortie	15V
Tension d'alimentation	15 V / 3.3 V
Délais d'entrée	25 ns
Délais de sortie	32 ns
T _{RISE} de V _{GS}	45 ns
T _{FALL} de V _{GS}	37.5 ns
Niveau d'isolation statique	N/A (1.8 kV mesure)
Consommation d'énergie de la partie 15 V du driver	61.8 mA à 1 MHz (C _{CHARGE} = 1.2 nF)
	5 mA à 100 kHz (C _{CHARGE} = 1.2 nF)
Consommation d'énergie de la partie 3.3 V du driver	215.6 μ A à 1 MHz (C _{CHARGE} = 1.2 nF)
	214.2 μ A à 100 kHz (C _{CHARGE} = 1.2 nF)

Tableau III-4. Résultats de simulation des paramètres du driver intégré CMOS

D. Elaboration du layout du driver CMOS

Après avoir validé la conception du driver par la simulation, nous pouvons procéder au layout pour le routage de la puce. Nous allons présenter le layout pour chaque fonction puis le layout global du driver. Une simulation post-layout a été réalisée afin de vérifier les perturbations des éléments parasites sur le fonctionnement du driver.

- Layout de la partie 3.3 V

La Figure III.-15 montre le layout du comparateur.

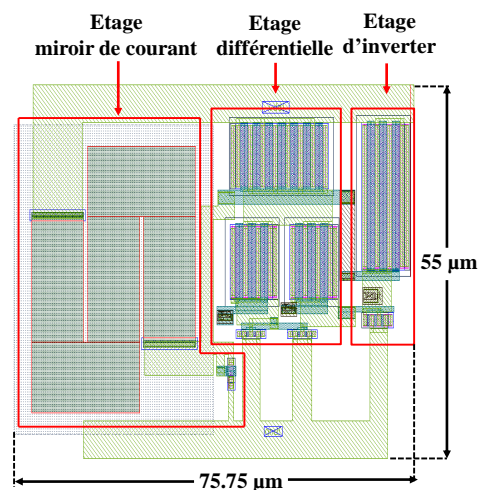


Figure III.-15. Vue layout du comparateur

Ce layout comporte trois étages : un étage push-pull de sortie, un étage d'amplification différentielle et un étage miroir de courant. La surface occupée par le comparateur est de 75.75 μm x 55 μm .

Figure III.-16 montre le layout total de la partie 3.3V, composé du comparateur et du circuit de détection d'enveloppe. Ce layout consomme une surface totale de 190 x 190 μm^2 . Les résultats de simulation prenant en compte les parasites montrent une bonne cohérence avec les simulations électriques du schématique.

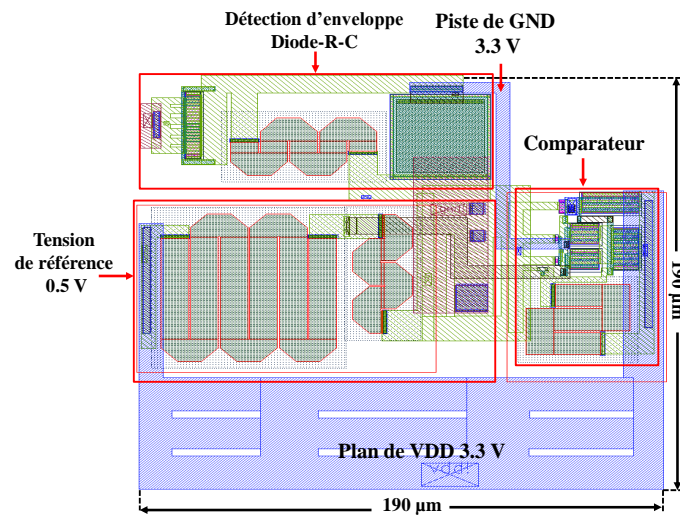


Figure III.-16. Vue layout de la partie 3.3 V

- **Layout de la partie 15 V**

La Figure III.-17 présente le layout de la partie 15V du driver CMOS. Il est composé de l'étage level-shifter, des étages d'amplification, des étages de décalage et de l'étage de sortie PMOS-NMOS. Pour ce layout, la connexion d'alimentation de VDD 15V est composée de deux pads en haut tandis que les deux pads de GND sont placés en bas. Les deux pads au milieu du bras de sortie P0-N0 permettent de faire transiter les courants de charge et de décharge entre la puce intégrée et le composant de puissance. La taille de ce circuit est de 490 μm x 736 μm .

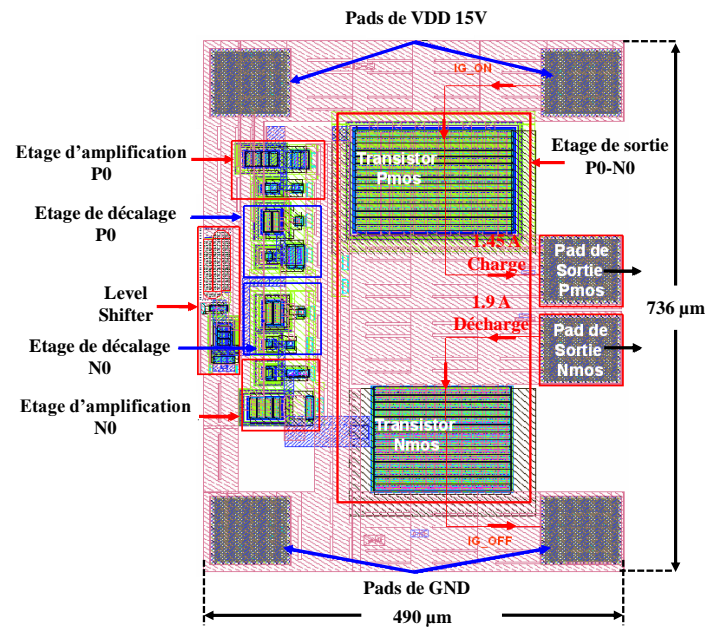


Figure III.-17. Vue layout de la partie 15 V

- **Layout global de la puce**

Le layout final du driver CMOS après la fabrication est présenté Figure III.-18.

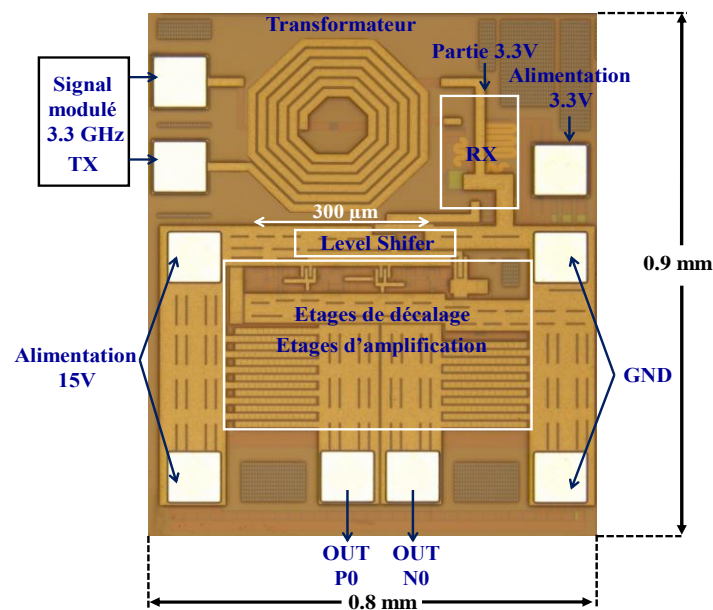


Figure III.-18. Vue complète du driver CMOS, après fabrication

Il est composé de la partie 3.3V, de la partie 15V et du transformateur intégré T3 de 300 μ m de diamètre pour l'isolation galvanique. Nous avons rajouté des pads de connexion pour l'entrée du signal modulé à 3.3GHz au primaire du transformateur et un autre pad d'alimentation de la partie 3.3V. La taille de ce circuit complet est de 0.8mm x 0.9mm. Le

fonctionnement de ce circuit en simulation post-layout est tout à fait conforme à la simulation électrique. La caractérisation de ce driver est présentée ci-après afin de valider nos travaux de conception.

III.2.2. Caractérisation et validation expérimentale du driver

Les premiers tests des modules séparés du driver permettent de valider les fonctionnements de la partie 3.3V et de la partie 15V du driver. Ensuite, la caractérisation de la chaîne complète du driver intégré CMOS sera présentée afin d'avoir toutes les caractéristiques expérimentales.

A. Tests préliminaires des fonctionnalités du driver intégré

Des tests préliminaires ont été réalisés afin d'étudier le comportement expérimental de chaque partie du driver. Le test de la partie 3.3V du driver a été effectué sur un premier module contenant un transformateur sans noyau de la taille 600 μ m et l'étage de démodulation, illustré Figure III.-19-a.

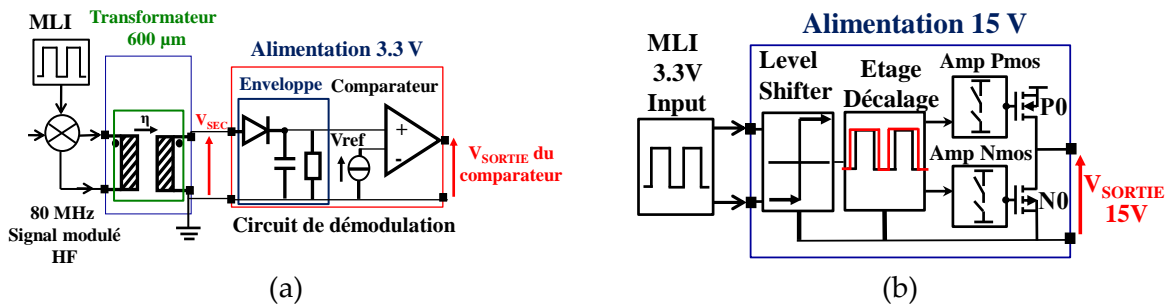


Figure III.-19. Schéma de connexion pour les tests préliminaires des fonctionnalités du driver pour la partie 3.3V (a) et pour la partie 15V (b)

Dans un premier temps, nous avons choisi le transformateur de diamètre 600 μ m car la fréquence de porteuse de notre générateur de fonctions est limitée à 80MHz. Nous testerons ainsi seulement le bloc étage de sortie par un pulse de commande PMW de 3.3V, basse fréquence injecté à l'entrée de cet étage, en utilisant une alimentation 15V comme présenté Figure III.-19-b.

Les résultats expérimentaux, présentés Figure III.-20-a, montrent un bon transfert du signal modulé à 80MHz à travers le transformateur de 600 μ m. Ainsi, nous obtenons à la sortie du comparateur un signal de démodulé de 3.3V. La Figure III.-20-b montre que l'étage

15V peut assurer un changement d'état de 0 à 15V de la tension de sortie à partir d'une entrée 3.3V. Ces résultats préliminaires ont validé les fonctionnements de l'étage de sortie, de circuit de démodulation et de transfert du signal de commande à travers un transformateur sans noyau. Dans la partie qui suit, nous présentons la caractérisation de la chaîne complète du driver intégré CMOS.

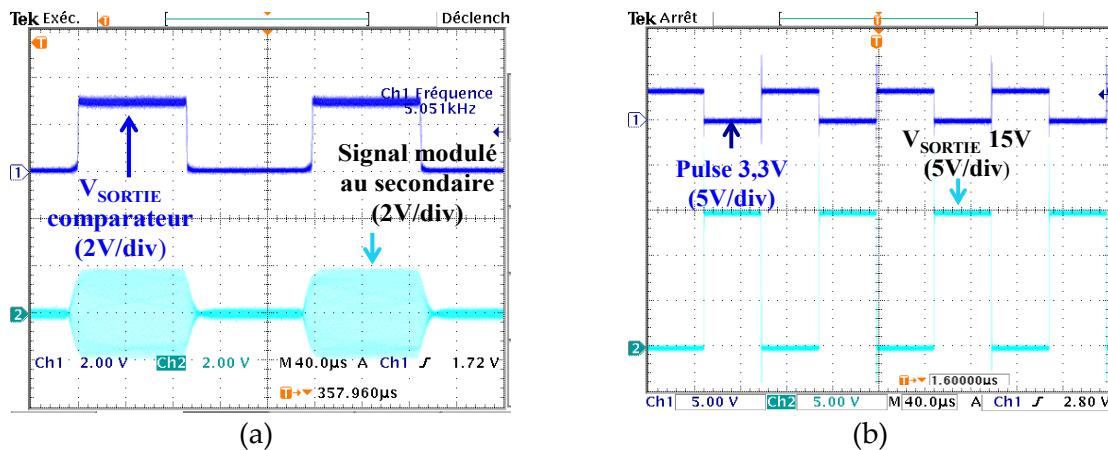


Figure III.-20. Résultats expérimentaux préliminaires des fonctionnalités du driver pour la partie 3.3V (a) et pour la partie 15V (b)

B. Validation expérimentale du driver CMOS dans un convertisseur Buck

• Vérification du gain en tension du transformateur intégré CMOS

En utilisant un générateur de tension haute fréquence (3.3GHz) ANRITSU 68367C, ayant la possibilité d'utiliser une modulante basse fréquence (quelques centaines de kHz), le driver a été caractérisé dans son environnement. Tout d'abord, un gain en tension de l'ordre de 0.7 a été mesuré entre le primaire et le secondaire du transformateur à 3.3GHz chargé par une impédance adaptée de 50 Ω comme illustré la Figure III.-21. Nous obtenons une tension crête - crête de l'ordre de 3.5V au secondaire du transformateur T3 de diamètre 300 μ m pour une tension modulée à 3.3GHz d'amplitude crête - crête 5 V. Ce résultat montre une bonne cohérence avec les valeurs du coefficient de transmission S_{21} du modèle du transformateur T3 présenté au chapitre II et avec la mesure.

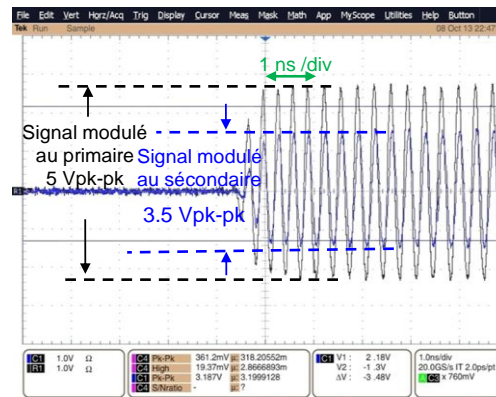


Figure III.-21. Mesure de gain en tension entre primaire et secondaire du transformateur intégré T3 sous une charge 50 Ω .

- **Réalisation de la carte de commande CMOS et du convertisseur Buck**

La puce de commande a été mise en œuvre dans un convertisseur de puissance abaisseur de tension (Buck). Nous avons réalisé deux configurations, un Buck « high side » et un Buck « low side » afin de piloter le composant de puissance qu'il soit « high side » ou « low side » avec le circuit de commande intégré. Dans la configuration « low side », la source du transistor piloté et la masse du driver sont connectées à la masse du circuit de puissance. Dans la configuration « high side », la source de transistor piloté et la masse du driver sont connectées au point milieu de puissance (flottant). La Figure III.-22-a montre le layout de la carte du Buck high side, réalisé avec le logiciel Altium Designer.

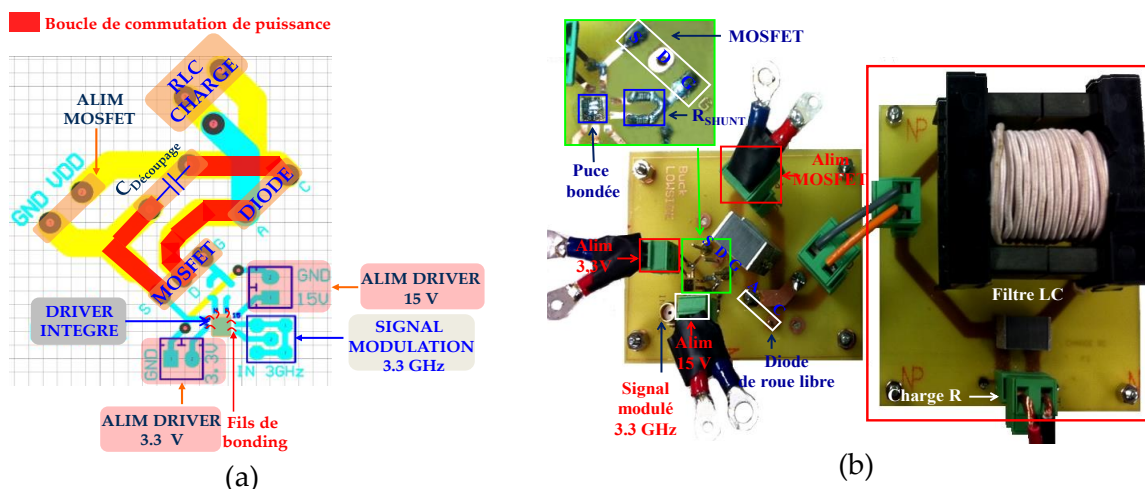


Figure III.-22. (a) Design la carte de commande du driver sous Altium Designer et (b) la mise en œuvre du convertisseur Buck

Les sources d'alimentation flottantes de 15V et de 3.3V pour la commande « high side » sont générées par les convertisseurs DC/DC commercialisés NMG1215SC et NMG315SC. Le MOSFET et la diode de roue-libre sont placés au-dessous du PCB afin de permettre leur refroidissement par un radiateur lui aussi placé en dessous du PCB. Dans les deux configurations, la puce de silicium du driver est montée au-dessus du PCB et des interconnexions par fils de bondings sont utilisées pour la connecter aux pistes du PCB. Le convertisseur a été mis en œuvre avec une charge R et filtre LC, constitué d'une inductance fixe de 300 μ H, d'une capacité de 6 μ F et d'une résistance variable permettant de régler la valeur du courant de charge. L'ensemble est présenté Figure III.-22-b.

- **Vérification des pics du courant de charge et de décharge de I_{GS} du driver CMOS**

Nous avons ensuite utilisé une résistance de shunt de 0.1 Ω entre la sortie du driver et le transistor de puissance afin de mesurer le courant électrique la traversant, comme illustré Figure III.-23.

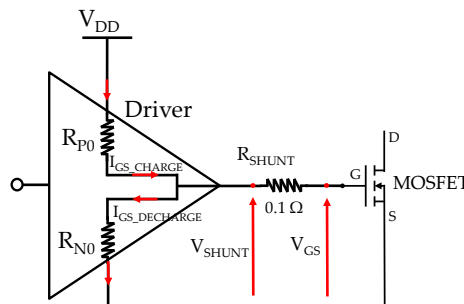
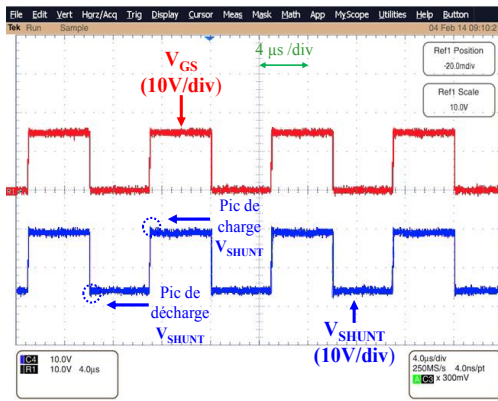
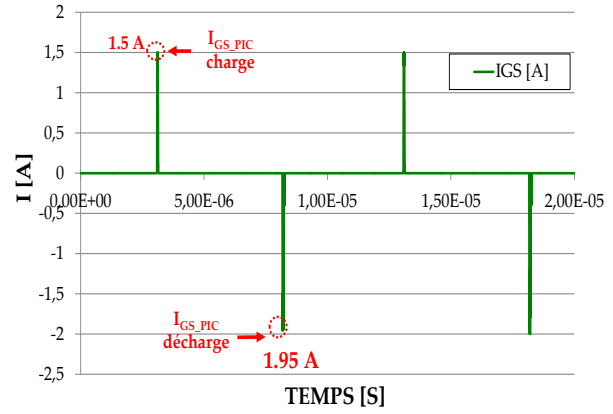


Figure III.-23. Schéma de connexion pour mesurer les pics du courant de charge et de décharge I_{GS} du driver CMOS

En utilisant une sonde différentielle de tension, nous pouvons extraire les pics de courant de charge et de décharge I_{GS} fournis par le driver et voir qu'ils sont respectivement de 1.5 A et de 1.95 A comme illustrée Figure III.-24.



(a)

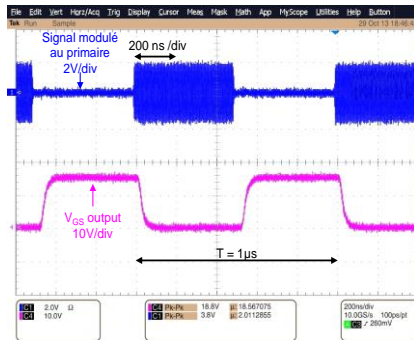


(b)

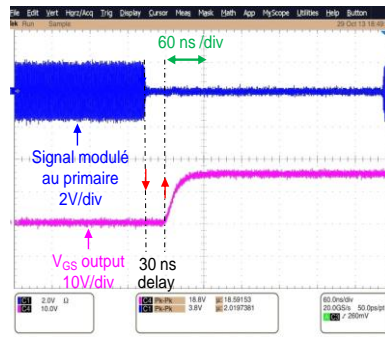
Figure III.-24. (a) Mesures la tension V_{GS} et la tension V_{SHUNT} au borne de la résistance de shunt (b) Extraite des pics du courant de charge et de décharge I_{GS}

- **Vérification des délais de propagation, T_{RISE} , T_{FALL} du circuit de commande intégré CMOS**

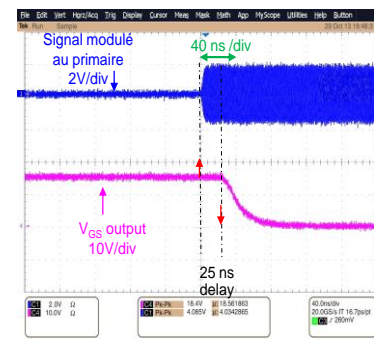
La caractérisation des temps de retard du driver a été faite sur une charge capacitive de 1.2nF à la fréquence de commutation de 1MHz. Les résultats expérimentaux sont présentés dans la Figure III.-25. Nous observons que les retards à la commande de fermeture et d'ouverture du transistor de puissance sont de 30ns et 25ns respectivement. Ces retards sont cohérents avec les résultats prévus par la simulation Cadence du driver (32ns pour le délai ON et 25 ns pour le délai OFF) dans la partie précédente.



(a)



(b)



(c)

Figure III.-25. (a) Commutation du driver sous une charge capacitive de 1.2 nF et fréquence de commutation à 1MHz. (b) Temps de transition pendant la phase de commutation ON. (c) Temps de transition pendant la phase de commutation OFF.

Nous avons ensuite mesuré la vitesse de commutation du MOSFET IRF840 piloté par le driver CMOS pour une commutation à 1MHz et une tension drain - source V_{DS} de 20V. La

Figure III.-26 montre que le temps de montée t_{RISE} et le temps de descente t_{FALL} de la tension grille – source V_{GS} du transistor de puissance sont respectivement de 43ns et 36ns. Ces résultats sont assez proches des valeurs de simulation et sont présentés Figure III.-14.

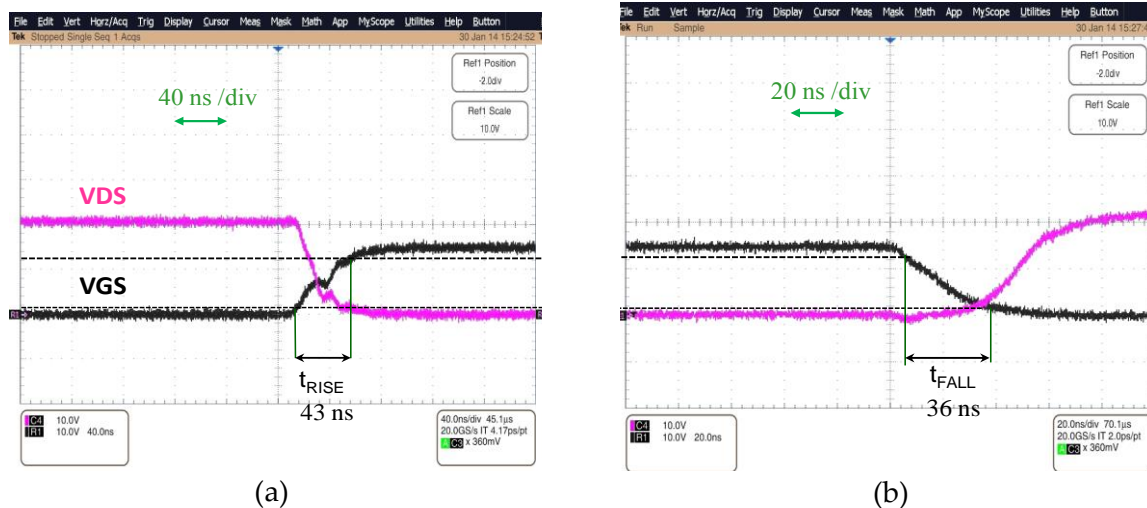


Figure III.-26. Mesures des temps de montée t_{RISE} (a) et temps de descente t_{FALL} (b) de la tension de sortie V_{GS} sous une commutation à 1 MHz avec le MOSFET IRF 840

- **Validation du fonctionnement de la puce de commande CMOS**

Dans la suite, nous allons tester les fonctionnements du driver pour une commutation sous 200V et à la fréquence de 100kHz. La fréquence de commutation maximale est limitée à 100kHz à cause des contraintes du refroidissement de la partie puissance ainsi que de la puce de commande. Cependant, nous trouvons la limitation de notre réalisation vis-à-vis du refroidissement de la puce intégrée et des composants de puissance car la face arrière de la puce n'est pas refroidie. Lorsque le driver fonctionne à un courant de charge important (plus de 4 A), le driver n'est pas capable de dissiper les pertes et travaille en régime permanent. Nous avons donc rajouté une résistance de grille externe $R_{G_EXTERNE}$ de 10 Ω afin de ralentir la vitesse de commutation et diminuer la valeur du courant de charge à 1 A pour protéger la puce de commande. La Figure III.-27 présente la tension V_{DS} , la tension V_{GS} et le courant traversant l'inductance de charge dans un hacheur série « low side » (a) et « high side » (b). On peut observer un bon fonctionnement du convertisseur et du driver CMOS. La valeur maximale de dv/dt du point milieu dans une configuration Buck « high side » est de l'ordre de 6.25 kV/ μ s.

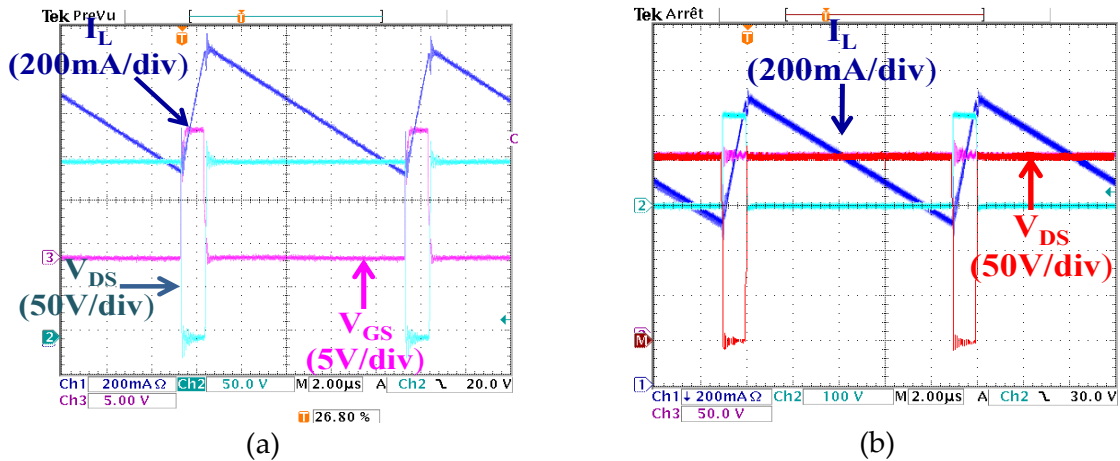


Figure III-27. (a) Validation de fonctionnement du driver CMOS dans une configuration Buck low side (a) et high side (b), $V_{DC} = 200V$, $f = 100\text{ kHz}$, $\alpha = 0.1$, $I_{CHARGE} = 1A$.

Nous pouvons aussi observer des oscillations sur la tension de grille V_{GS} à cause des inductances parasites de grille, comme illustré la Figure III-28. Mais ces ondulations ne provoquent aucun de rebond sur le transistor MOSFET, assurant le fonctionnement correct du hacheur.

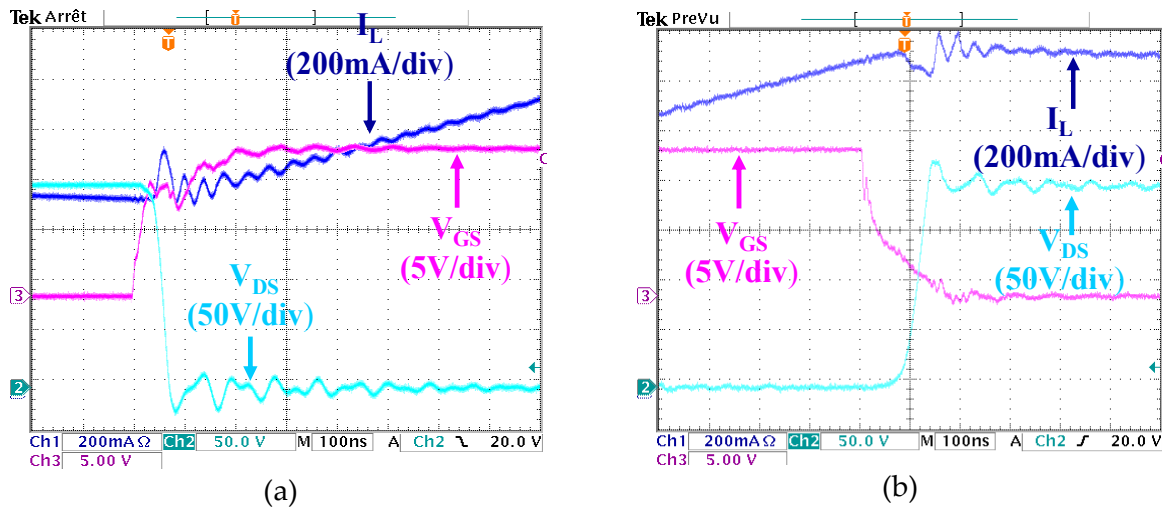


Figure III-28. (a) Commutation à la fermeture, (b) Commutation à l'ouverture du Buck Low Side, $V_{DC} = 200V$, $f = 100\text{ kHz}$, $\alpha = 0.1$, $I_{CHARGE} = 1A$.

- Consommation de la puce de commande CMOS et du circuit de commande éloignée

Les courants absorbés pour la partie 3.3V et la partie 15V sont respectivement mesurés à 201.3 μ A et 5.2mA pour une commutation à 100kHz du transistor MOSFET IRF840, correspondant à une consommation de puissance totale de 0.078W. En utilisant l'équation

(III.1) , nous pouvons ainsi estimer la puissance requise pour la charge et la décharge de la capacité d'entrée du MOSFET à ce point de travail est égale de 0.063W. Cette puissance de 0.063W est ainsi la puissance dissipée du bras de sortie P0-N0 de 15V pour un intervalle de commutation à 100 kHz. La consommation du circuit de commande au primaire du driver CMOS P_{IN} est mesurée à 19mW. Les pertes dans le transformateur intégré sont estimées par l'équation concernant le transfert de puissance à partir de la mesure des paramètres S [HP-95] :

$$P_{IN} = P_{TRANSMISSION} + P_{REFLECTION} + P_{PERTE} \quad (III.3)$$

Où P_{IN} , $P_{TRANSMISSION}$, $P_{REFLECTION}$, P_{PERTE} sont respectivement la puissance à l'entrée, la puissance transférée, la puissance de retour et les pertes sur le transformateur T3. L'équation (III.3) peut être réécrite par l'équation suivante :

$$1 = |S_{11}|^2 + |S_{21}|^2 + \frac{P_{PERTE}}{P_{IN}} \quad (III.4)$$

En utilisant les paramètres S du transformateur T3 présentés dans le Tableau II-12 du chapitre II, nous pouvons calculer que le ratio P_{PERTE}/P_{IN} est de l'ordre de 0,39. Par conséquence, le rendement du transfert d'énergie à travers du T3 est de 61%. Finalement, les pertes dans le transformateur intégré sont estimées de 7.4mW.

Le Tableau III-5 présente la comparaison des caractéristiques du driver CMOS entre la simulation et les mesures. Ces résultats montrent que les paramètres de simulation et les mesures sont assez proches aussi, compte tenu de ces résultats, nous pouvons valider le dimensionnement du driver CMOS.

PARAMETERS DRIVER CMOS	SIMULATION	MESURE	Erreur en %
Configuration	High side / Low side	High side / Low side	
Courant de sortie (Source / Sink)	1.45 A / 1.92 A	1.5 A / 1.95 A	3 / 1.5
Tension de sortie	15 V	15 V	N/A
Tension d'alimentation	15 V / 3.3 V	15 V / 3.3 V	N/A
Délais d'entrée	25 ns	25 ns	0
Délais de sortie	32 ns	30 ns	6.6
T _{RISE} de V _{GS}	45 ns	43 ns	4.6
T _{FALL} de V _{GS}	37.5 ns	36 ns	4.1
Niveau d'isolation statique	N/A	1.8 kV	N/A
Consommation d'énergie de la partie 15 V du driver	5 mA à 100 kHz (C _{CHARGE} = 1.2 nF)	5.2 mA à 100 kHz (C _{CHARGE} = 1.2 nF)	3.8
Consommation d'énergie de la partie 3.3 V du driver	214.2 μ A à 100 kHz (C _{CHARGE} = 1.2 nF)	201.3 μ A à 100 kHz (C _{CHARGE} = 1.2 nF)	6.4
Consommation d'énergie du circuit de commande éloignée	N/A	19 mW	N/A
Perte surfacique de la puce [W/mm ²]	0.1W/mm ²	0.11W/mm ²	5

Tableau III-5. Comparaison entre les résultats de caractérisation et la simulation des paramètres du driver intégré CMOS

C. Conclusion sur le driver CMOS

Cette partie nous présente la conception, la réalisation et la caractérisation du driver CMOS. Les validations expérimentales de ce driver dans un convertisseur Buck confirment le fonctionnement de la topologie proposée du driver CMOS. Ces résultats sont encourageants et nous offrent les pistes pour la conception du circuit de commande pour la charge partielle mais aussi les perspectives pour concevoir un circuit de commande « tout-intégré » en technologie CMOS SOI. Cependant, l'évacuation des pertes de la puce ainsi que les limitations liées à la réalisation ne permettent pas, en l'état, le fonctionnement à 1MHz du convertisseur avec les composants de puissance choisis.

III.2.3. Conception du convertisseur segmenté pour la charge partielle

Dans la partie I.3.2 du chapitre I nous avons proposé une structure du driver segmenté qui, associé à un composant de puissance segmenté permet, grâce à une conception couplée plus forte entre commande-puissance d'augmenter les performances d'un interrupteur lors de fonctionnements en charge partielle. Le driver CMOS proposé ci-dessus ayant démontré

ses performances, nous allons, dans la suite l'adapter pour montrer l'intérêt de la segmentation.

A. Topologie du driver segmenté CMOS pour la charge partielle

Comme nous l'avons défini dans la partie I.3.2, le driver segmenté doit être capable de modifier son impédance de sortie afin d'influer sur les courants de charge/ décharge et ainsi maîtriser la commutation du transistor de puissance. Cette modulation est réalisée par une association en parallèle de plusieurs bras de sortie commandables indépendamment grâce à un circuit de configuration. Basé sur la topologie du driver intégré CMOS (Figure III.-1), nous proposons le schéma interne simplifié de cette puce de commande segmentée, présenté Figure III.-29.

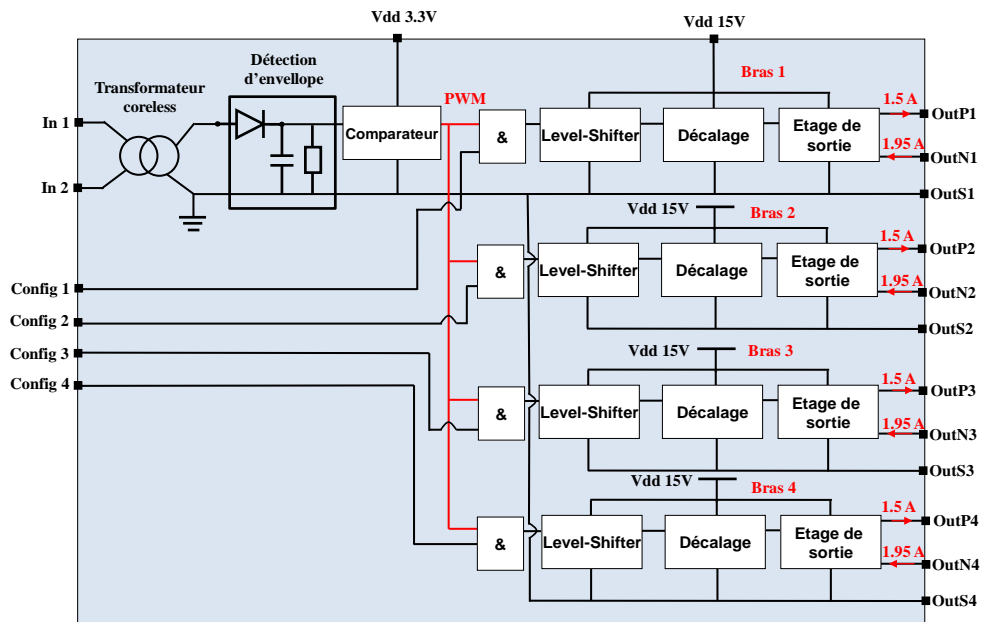


Figure III.-29. Schéma interne du driver segmenté CMOS de 4 bras pour la charge partielle

Cette puce est composée de trois parties principales : la partie de basse tension de 3.3 V permettant de démoduler le signal au secondaire du transformateur, la partie de l'étage de sortie 15V, la partie configuration afin de choisir les bras de sorties actifs. La partie de 3.3V comportant les blocs de démodulation d'enveloppe et un comparateur rapide dont le dimensionnement est le même que celui du driver CMOS. La partie de 15V contenant l'étage de level-shifter, les étages de décalage et quatre étages de sortie mis en parallèle et commandables (que nous avons nommé Bras 1 à Bras 4) permettent de pouvoir ajuster le

courant de charge entre 1.5A et 6A et le courant de décharge entre 1.95A et 7.8A. La partie de configuration est constituée de quatre portes logiques AND permettant de moduler les quatre bras de sortie par quatre signaux de configuration (de Config 1 à Config 4). L'utilisation d'étages de sortie à trois états est indispensable (haute impédance supplémentaire) afin de configurer les impédances de sortie du driver segmenté.

La puce de commande est conçue pour activer tous les quatre bras par défaut lorsque les tensions des signaux de configurations sont à « 0 » logique (0V). Lorsque les tensions de signaux de configuration sont à « 1 » logique (3.3 V), les bras de commande correspondants sont désactivés. La Figure III.-30 montre les résultats de simulation d'un driver segmenté de 4 bras pour une commutation à 1 MHz. On observe que les tensions de commande de grille V_{GS} de bras 1 à bras 4 sont commandées correctement en fonction des signaux de configuration de config 1 à config 4, confirmant la conception du driver segmenté.

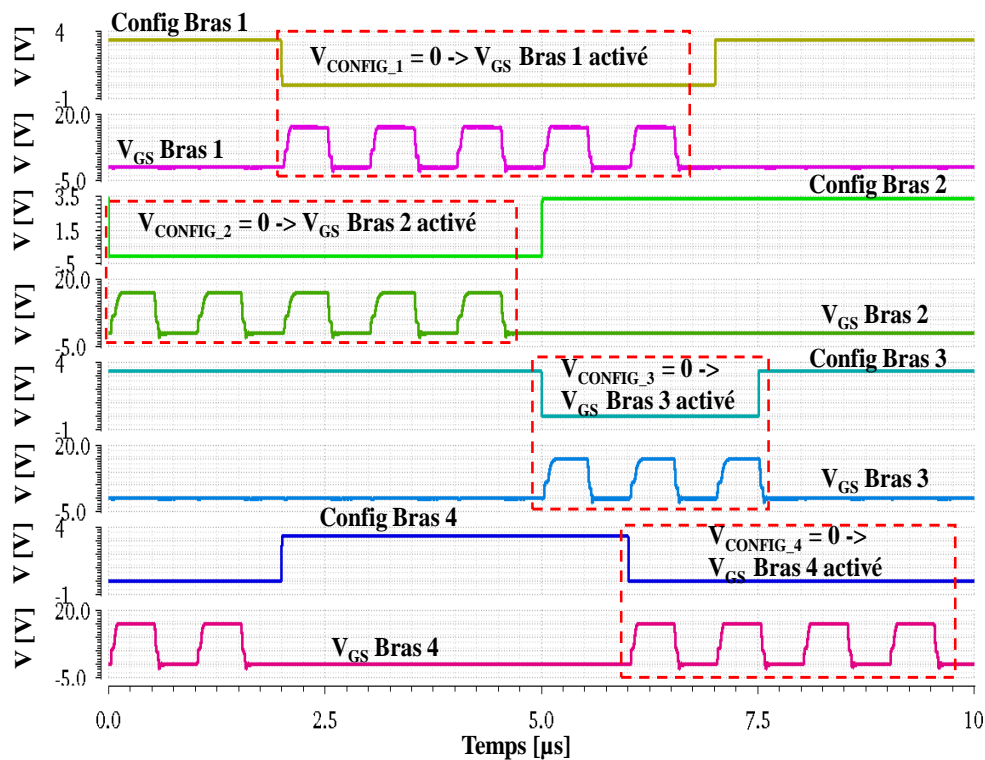


Figure III.-30. Simulation de fonctionnement du driver segmenté de 4 bras en fonction des signaux de configuration des bras

Nous pouvons ensuite mettre en parallèle quatre drivers segmentés comme illustré dans la Figure III.-31, afin d'avoir 16 bras commandables permettant de moduler les pics des courant de charge et de décharges de la grille. Une augmentation du nombre du driver mis

en parallèle au-delà de quatre drivers ne présente plus de gains énergétiques de commutation puisque la vitesse de commutation du transistor est ainsi limitée par la résistance interne $R_{G_INTERNE}$ du composant de puissance à cause du mode d'assemblage (de l'ordre de 0.6 Ω).

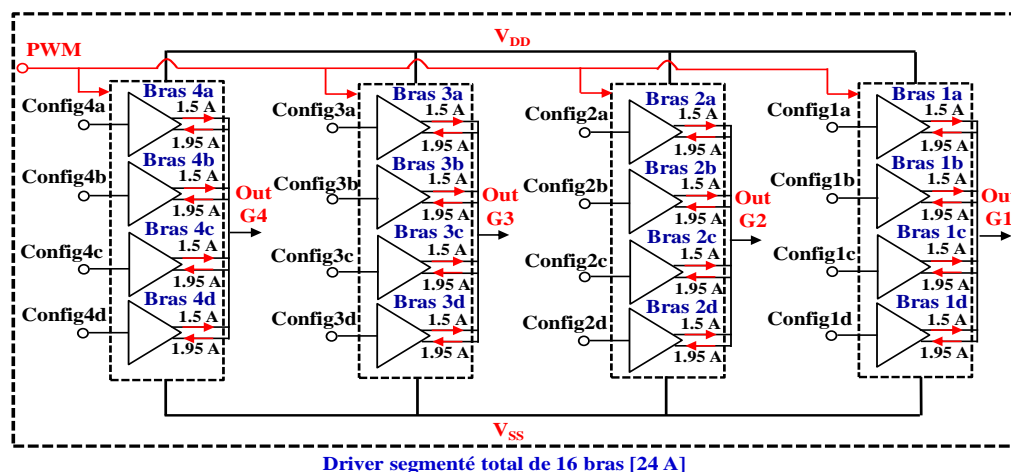


Figure III.-31. Présentation du driver segmenté complet réalisé par la mise en parallèle des quatre drivers segmentés et proposant 16 bras commandables

Le Tableau III-6 présente les paramètres du driver segmenté total. Les pics des courants de charge/ décharge de grille minimums délivrés par un bras de commande sont de 1.5 A / 1.95 A tandis que les courants de charge/ décharge maximaux atteignent jusqu'à 24 A / 31.2 A pour le driver de 16 bras.

Paramètres Driver segmenté	Ratio de capacité du driver	Pics du courant de charge décharge ($I_{GS_CHARGE} / I_{GS_DECHARGE}$)	$R_{DS(on)}$ PMOS de dernier étage de sortie	$R_{DS(on)}$ NMOS de dernier étage de sortie
1 bras	1/16	1.5 A / 1.95 A	3.5 Ω	1.5 Ω
2 bras	1/8	3 A / 3.9 A	1.75 Ω	0.75 Ω
3 bras	1/5.3	4.5 A / 5.85 A	1.16 Ω	0.5 Ω
4 bras	1/4	6 A / 7.8 A	0.88 Ω	0.31 Ω
16 bras	1	24 A / 31.2 A	0.21 Ω	0.1 Ω

Tableau III-6. Paramètres du driver segmenté total avec 16 bras commandables

B. Approche de la segmentation du composant de puissance

Nous avons présenté dans la partie I.3.2 l'idée de concevoir un composant de puissance segmenté en découpant le transistor de puissance en plusieurs sous-transistors au sein d'un

même substrat et comportant plusieurs cellules mises en parallèle. Pour démontrer cette approche, nous avons choisi des composants de puissance commercialisés ayant une même tenue en tension de 500 V mais ayant des calibres en courant I_{DS} différents : IRF840 (8A), IRF830 (4.5A) et IRF820 (2.5A). La capacité de laisser passer un courant I_{DS} dans un composant de puissance peut être considérée comme proportionnelle à sa largeur de grille. Nous pouvons donc supposer que si la taille du transistor IRF840 est égale à « W » les tailles correspondantes des transistors IRF830 et IRF820 vont respectivement être « $W/2$ » et de « $W/4$ ». Un transistor de puissance segmenté de largeur totale de « $4W$ » peut donc être réalisé par la mise en parallèle de quatre transistors IRF840 pilotés par quatre électrodes de grilles séparées (de G_1 à G_4) comme illustré Figure III.-32-a. De plus, chaque sous-composant IRF840 (de largeur « W ») peut être découpé par deux transistors IRF820 (de largeur « $W/4$ ») et un transistor IRF830 (de largeur « $W/2$ »), comme présenté dans la Figure III.-32-b. Par conséquence, nous avons un large choix de largeur de grille pouvant varier entre « $W/4$ » et « $4W$ » pour notre composant de puissance, comme cela est présenté Figure III.-32-c.

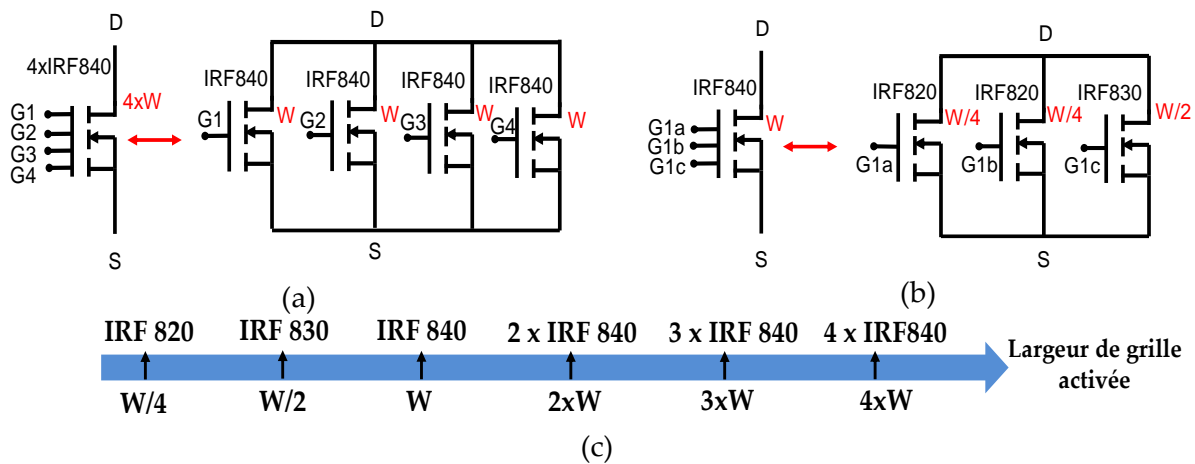


Figure III.-32. (a) Réalisation d'un transistor de puissance segmenté de largeur totale « $4W$ » par la mise en parallèle quatre transistors IRF840 (b) Segmentation du sous-composant de puissance IRF 840 (largeur « W ») par un transistor IRF830 (largeur « $W/2$ ») et deux transistors IRF820 (largeur « $W/4$ »). (c) Plage de choix dynamique de la largeur de grille du composant de puissance segmenté. Dans tous les cas, la capacité totale Drain-Source C_{DS} reste maximale et non segmentable, correspondant à la taille totale du transistor de puissance.

Le Tableau III-7 présente les choix de taille du composant de puissance réalisable ainsi que les combinaisons de MOSFET IRF à utiliser. Les paramètres de $R_{DS(on)}$, C_{iss} ont été déterminés à partir des caractéristiques de ces composants fournis par le fabricant [IRF]. Il faut noter aussi que la capacité de sortie totale C_{ds} est identique pour tous les composants, indépendant de la segmentation de la taille du composant de puissance.

Composant Paramètres	IRF820	IRF830	IRF840	2 x IRF840	3 x IRF840	4 x IRF840
Largeur de grille activée correspondante	W/4	W/2	W	2 x W	3 x W	4 x W
Ratio de la surface du transistor de puissance	1/16	1/8	1/4	1/2	3/4	1
V_{DS_MAX}	500 V	500 V	500 V	500 V	500 V	500 V
I_{DS_MAX}	2.5 A	4.5 A	8 A	16 A	24 A	32 A
R_{DS_ON}	3 Ω	1.5 Ω	0.8 Ω	0.4 Ω	0.26 Ω	0.2 Ω
C_{iss} [pF]	300	600	1200	2400	3600	4800
Q_G [nC], $V_{GS} = 10$ V	12	22	42	84	126	168

Tableau III-7. Modularité la taille du composant de puissance par l'utilisation de MOSFET IRF commercialisés [IRF].

- **Possibilités de commande du convertisseur segmenté**

Après avoir conçu le driver segmenté et le composant de puissance segmenté, nous allons présenter nos stratégies de commande d'un convertisseur segmenté lors de faibles charges. La Figure III.-33 montre le schéma de principe d'un convertisseur Buck segmenté, composé d'un driver segmenté de 16 Bras et d'un composant de puissance de largeur « 4W » (réalisé par quatre IRF840). Les inductances parasites dans les deux boucles de commutation ont été rajoutées en utilisant des valeurs présentées dans le Tableau I-2 du chapitre I. Pour éviter de nombreux cas de tests, nous avons choisi les neuf possibilités de commande présentées dans le Tableau III-8 en fonction de la capacité de commande du driver et de la taille du composant de puissance actif. Nous fixerons les conditions suivantes pour le test du convertisseur :

$$V_D = 400V, f_{sw} = 500 \text{ kHz}, \text{ rapport cyclique } \alpha = 0,5$$

La puissance de sortie est réglée pour obtenir un courant de charge I_D variant entre 0 et 4A. Cette étude a pour but de montrer l'intérêt de l'approche par segmentation sur le

rendement du convertisseur. Nous allons chercher entre ces neuf cas proposés, la meilleure stratégie de commande lorsque la charge est réduite.

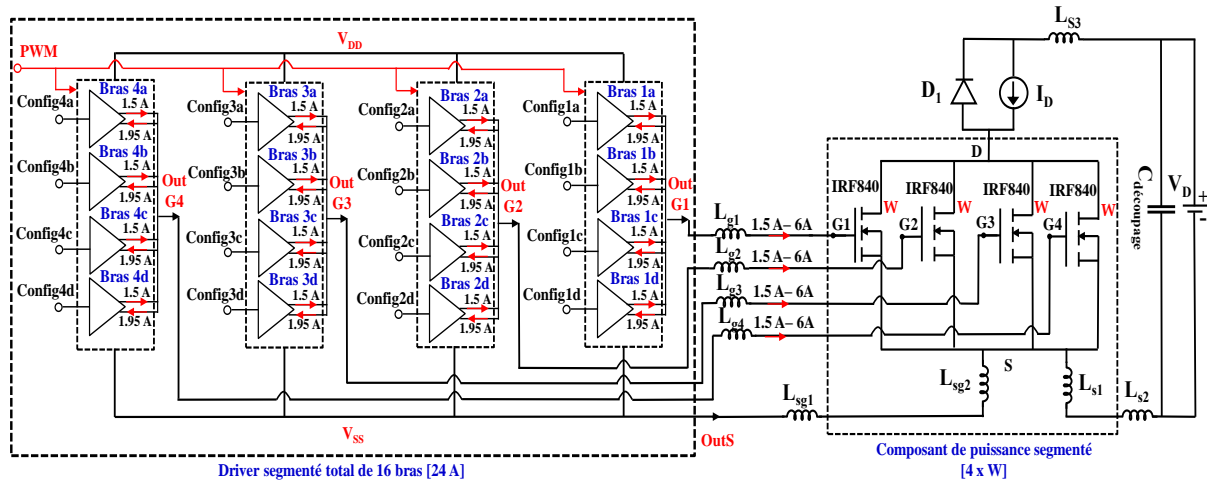


Figure III-33. Représentation du convertisseur Buck segmenté

Transistor Driver	IRF820 (W/4)	IRF830 (W/2)	IRF840 (W)	2 x IRF840 (2 x W)	3 x IRF840 (3 x W)	4 x IRF840 (4 x W)
1 Bras (1.5 A / 1.95A)	Cas 1		Cas 2			
2 Bras (3 A / 3.9 A)				Cas 3		
3 Bras (4.5 A / 5.85 A)					Cas 4	
4 Bras (6 A / 7.8 A)	Cas 5	Cas 6	Cas 7			Cas 8
16 Bras (24 A / 31.2 A)						Cas 9

Tableau III-8. Neuf configurations étudiées pour le convertisseur segmenté

C. Gain en rendement du convertisseur par la conception couplée entre le composant de puissance segmenté et le driver segmenté

• Modèle des pertes pour le convertisseur segmenté

Le modèle de pertes utilisé dans ce travail est basé sur le rendement du circuit de convertisseur Buck proposé Figure III-33. L'expression du rendement η est définie par l'équation :

$$\eta = \frac{P_{CHARGE}}{P_{IN}} = \frac{P_{CHARGE}}{P_{CHARGE} + P_{COND} + P_{COMMUTATION} + P_{DRIVE} + P_{FIXE}} \quad (III.5)$$

Avec : P_{CHARGE} puissance de sortie consommée par la charge. P_{COND} et $P_{COMMUTATION}$ sont respectivement les pertes par conduction et les pertes par commutation du MOSFET. P_{DRIVE} sont les pertes causées par le driver.

Les pertes par conduction du MOSFET de puissance sont modélisées par la résistance à l'état passant R_{DS_ON} et sont fonction du courant de charge. Elles peuvent être calculées par l'équation suivante :

$$P_{CONDUCTION} = I_D^2 \cdot R_{DS_ON} \cdot \alpha \quad (III.6)$$

Les pertes par commutation liées à la puissance dissipée par la capacité de sortie C_{OSS} sont estimées en considérant la quantité de la charge Q_{OSS} :

$$P_{OSS} = Q_{OSS} \cdot V_D \cdot f_{SW} \quad (III.7)$$

Comme nous l'avons abordé dans la partie I.3.2 de chapitre I, la capacité de sortie totale C_{OSS} du transistor de puissance est toujours présente et de valeur fixée, indépendamment de la segmentation de grille du composant de puissance. Par conséquent, les pertes P_{OSS} ne sont fonction que de la fréquence de commutation f_{SW} .

Les pertes par commutation du MOSFET sont fonction de la fréquence de commutation f_{SW} et de la vitesse de commutation :

$$P_{COMMUTATION} = \frac{1}{2} \cdot I_D \cdot V_D \cdot (t_{ON} + t_{OFF}) \cdot f_{SW} \quad (III.8)$$

D'autre part, les temps de commutations t_{ON} et t_{OFF} sont fonction du courant de charge (I_{GS_CHARGE}) et du courant de décharge ($I_{GS_DECHARGE}$) fournis par le driver et de la quantité de charge Q_G de la capacité d'entrée C_{ISS} du MOSFET :

$$t_{ON} = \frac{Q_G}{I_{GS_CHARGE}} \quad (III.9)$$

$$t_{OFF} = \frac{Q_G}{I_{GS_DECHARGE}} \quad (III.10)$$

L'estimation des temps de commutations t_{ON} et t_{OFF} est donnée dans le Tableau III-9.

Transistor Driver segmenté	IRF820 (W/4) t _{ON} / t _{OFF} [ns]	IRF830 (W/2) t _{ON} / t _{OFF} [ns]	IRF840 (W) t _{ON} / t _{OFF} [ns]	2xIRF80 (2 x W) t _{ON} / t _{OFF} [ns]	3 x IRF840 (3 x W) t _{ON} / t _{OFF} [ns]	4 x IRF840 (4 x W) t _{ON} / t _{OFF} [ns]
1 Bras (1.5 A / 1.95A)	11.3 / 8.7		43 / 33			
2 Bras (3 A / 3.9 A)				43 / 33		
3 Bras (4.5 A / 5.85 A)					43 / 33	
4 Bras (6 A / 7.8 A)	2.8 / 2.1	6.3/4.8	10.8/8.3			43 / 33
16 Bras (24 A / 31.2 A)						10.8 / 8.3

Tableau III-9. Estimation des temps de commutation t_{ON} et t_{OFF} du convertisseur segmenté

La perte du driver est composée de la puissance nécessaire pour charger la capacité d'entrée C_{ISS} du MOSFET et de la puissance consommée par les composants des étages 3.3V

(le comparateur) et des étages 15V (level-shifter, les MOSFET basse tension des étages de décalage, des étages d'amplifications et des étages de sortie) du driver :

$$P_{DRIVER} = Q_G \cdot V_{GS} \cdot f_{sw} + n \cdot (E_{Etage_{15V}} + E_{Etage_{3.3V}}) \cdot f_{sw} \quad (III.11)$$

Avec : V_{GS} tension de sortie du driver (0 - 15V), $E_{Etage_{15V}}$ et $E_{Etage_{3.3V}}$ sont respectivement les énergies de commande des étages 15V et de 3.3V. n est le nombre de bras activés du driver.

Cette perte P_{DRIVER} est en fonction de la taille du composant de puissance activé (Q_G), de la fréquence de commutation f_{sw} ainsi que du nombre de bras activés n . Basé sur ce modèle de pertes, nous allons ensuite étudier les apports sur les gains énergétiques de l'approche par segmentation. Les pertes P_{FIXE} représentent les pertes par conduction de la diode de roue libre. Ces pertes ne dépendent que du courant de charge et ne sont pas fonction de la segmentation du driver ainsi que la segmentation du composant de puissance.

- **Gain sur les pertes du driver de l'approche de segmentation**

Les Figure III.-34-a et Figure III.-34-b montrent respectivement les résultats de simulation des pertes du driver (P_{DRIVER}) pour neuf cas d'étude en fonction du courant de charge et au point de fonctionnement à 4A.

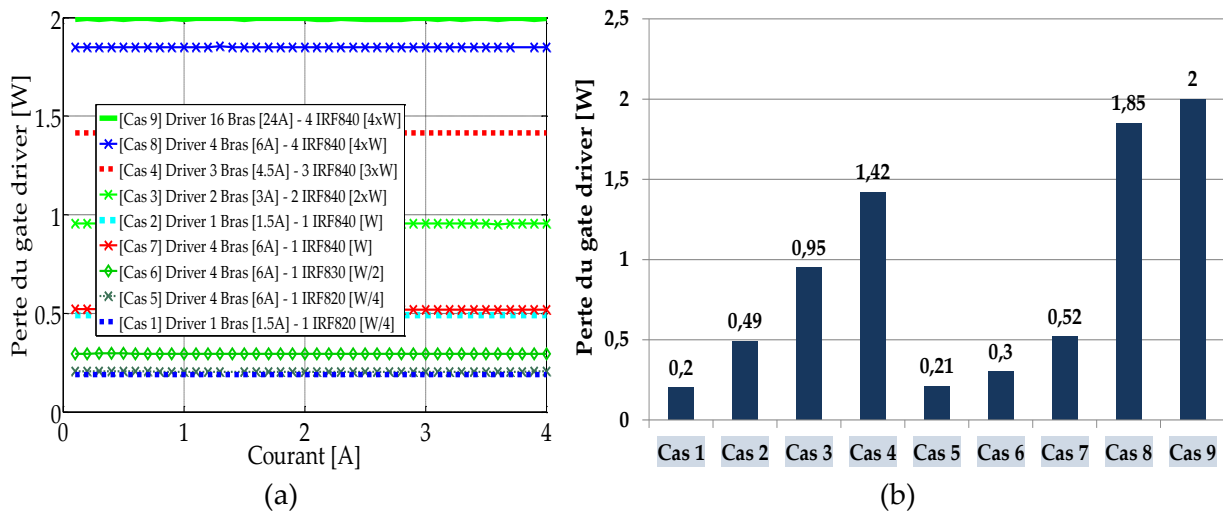


Figure III.-34. (a) Simulation des pertes de commande du driver en fonction du courant de charge et (b) pertes du driver au point de fonctionnement à 4A.

En réduisant la taille du composant de puissance de « 4W » (4xIRF840) à « W/4 » (IRF820) et aussi le nombre de bras du driver activés de 16 bras à 1 bras, nous observons que la puissance consommée par le driver est réduite de 2W (cas 9) à 0.2W (cas 1). D'autre part, les pertes du driver sont aussi réduites en fonction de nombre de bras du driver lors du

pilotage d'une même taille de composant de puissance. On constate un écart de 0.15W entre le driver de 16 bras (cas 9) et le bras de 4 bras (cas 8) lors du pilotage d'un composant de largeur « 4W » (4xIRF840). Ces résultats nous montrent les gains de cette approche par segmentation sur la perte de commande du driver. Ces gains sont aussi proportionnels à la fréquence de commutation comme illustré par l'équation (III.11) et sont indépendant du courant charge.

- **Gain énergétique sur les pertes du MOSFET par l'approche de segmentation**
- **Perte par conduction du convertisseur**

Les Figure III.-35-a et Figure III.-35-b montrent les résultats de simulation des pertes par conduction (P_{COND}) du composant de puissance en fonction du courant de charge et les détaillent pour deux points de fonctionnement ; 4A et 0.5A. Nous constatons que ces pertes ne dépendent que de la surface du transistor activée et ne sont pas fonction du nombre de bras du driver activés. L'écart entre les pertes par conduction d'un composant de la plus petite taille « W/4 » (cas 1) et le composant de la plus grande taille de « 4W » (cas 9) est important lorsque le courant de charge est important (de l'ordre de 22.4W à 4A) mais devient moins critique lorsque la charge est faible (de l'ordre de 0.35W à 0.5A). Ces résultats montrent l'influence de la taille du transistor sur les pertes par conduction du MOSFET.

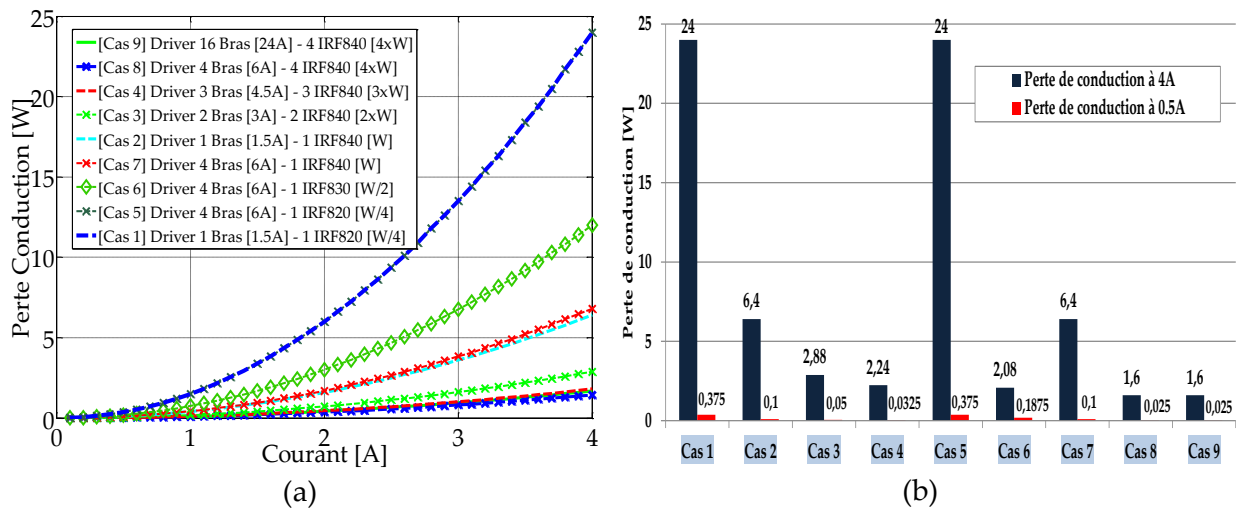


Figure III.-35. Simulation des pertes de conduction du convertisseur segmenté (a) en fonction du courant de charge et (b) les détaille pour deux points de fonctionnement ; 4A et 0.5A

• Perte par commutation du convertisseur

Les Figure III.-36-a et Figure III.-36-b présentent les simulations des pertes par commutation ($P_{\text{COMMUTATION}}$) du composant de puissance en fonction du courant de charge et sont détaillées pour deux points de fonctionnement ; 4A et 0.5A. Nous constatons que les pertes par commutation sont minimales dans toute la plage de la charge si on utilise le composant de plus petite taille de « W/4 »(IRF820) associé avec un driver 6A (cas 1) ou avec un driver 1.5A (cas 5). Ceci peut s'expliquer par des temps de commutation t_{ON} et t_{OFF} minimums pour ces deux cas selon l'estimation rappelée dans le Tableau III-9. Ces résultats nous montrent que des gains sur les pertes par commutation sont possibles en utilisant des drivers de même capacité en courant de charge ou de décharge et en réduisant la taille du composant de puissance. Cela est dû à la réduction des temps de commutation que cela apporte.

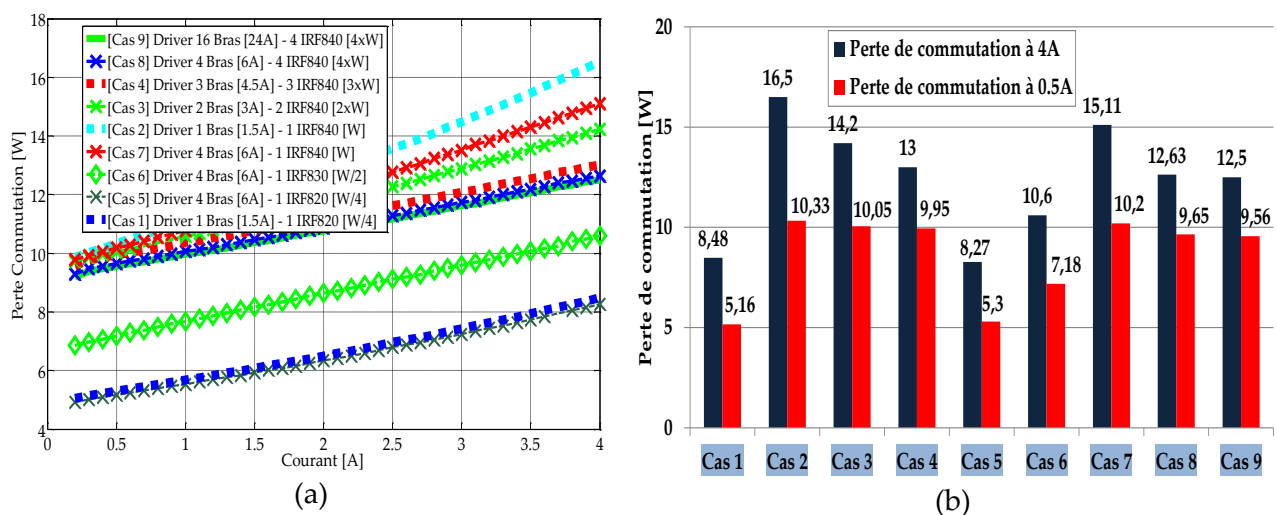


Figure III.-36. (a) Simulation des pertes de commutation du convertisseur segmenté (a) en fonction du courant de charge et (a) les détails pour deux points de fonctionnement ; 4A et 0.5A.

• Total des pertes par conduction et par commutation du convertisseur

Les Figure III.-37-a et Figure III.-37-b présentent les courbes de la somme totale des pertes par conduction et par commutation en fonction du courant de charge et sont détaillées pour deux points de fonctionnement ; 4A et 0.5A.

Ces figures nous montrent les gains sur les pertes totales qu'apporte l'utilisation de composants de puissance de taille réduite lorsque le courant de charge est faible. En effet, le

driver 4 bras (6A) associé avec le composant de puissance le plus petit IRF820 (W/4) présente des pertes les plus faibles (5.54W) de tous les cas testés lorsque l'on est en faible charge. En revanche, cette configuration est la plus mauvaise (29.36W) pour une forte charge comme le montre la Figure III.-37-b. A contrario, le cas 9 associant le plus gros transistor avec le plus gros driver est la meilleure solution pour une forte charge. On peut aussi constater sur la Figure III.-37-a que la limite d'intérêt de l'une ou l'autre de ces solutions est aux environs de 1.75A.

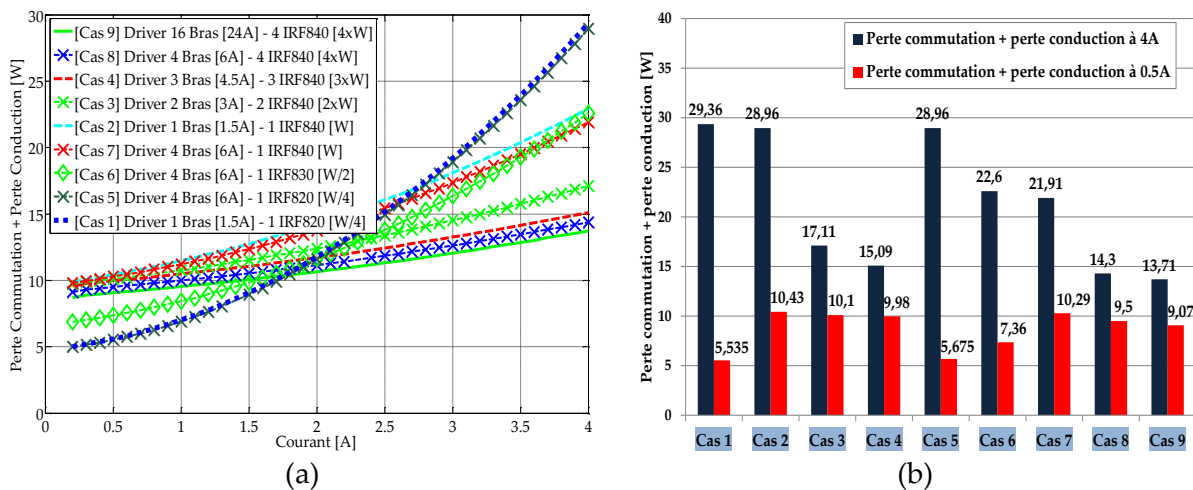


Figure III.-37. Simulation de la somme de la perte par conduction et par commutation du convertisseur segmenté (a) en fonction du courant de charge et (a) les détaille pour deux points de fonctionnement ; 4A et 0.5A

- **Gain sur le rendement du convertisseur par l'approche de segmentation à faible charge**

La Figure III.-38-a nous montre les résultats de simulation de rendement du convertisseur segmenté et la Figure III.-38-b montre les gains en rendement apportés par l'utilisation du convertisseur segmenté par rapport au cas du convertisseur classique (Driver 4 Bras [6A] – 4 IRF840 [4xIRF840]). Lorsque le courant de charge est réduit entre 0 et 1.9A, le driver de 4 bras (6A) avec le composant de puissance de plus petite de la taille « W/4 » (IRF820) présente le meilleur rendement. Une fois que la charge est plus importante (plus de 2A), le driver de 16 bras (24A) avec le composant de puissance le plus grand (« 4W » ou 4xIRF840) est le plus efficace. Ces résultats peuvent s'expliquer par l'étude sur les gains énergétiques du driver et des pertes totales de commutation de la partie précédente.

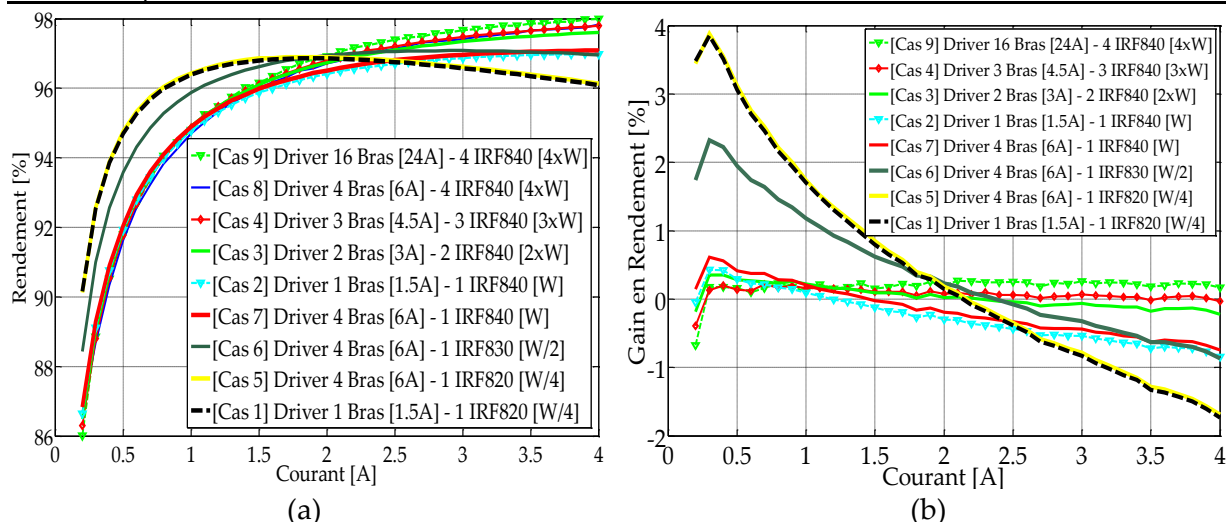


Figure III.-38. (a) Simulation des rendements du convertisseur segmenté, (b) les gains en pourcentage du rendement par rapport au convertisseur classique de 4 Bras – 4 IRF840

Basé sur ces courbes de rendement, nous pouvons proposer la meilleure stratégie de commande du convertisseur segmenté à faible charge, comme le montre la Figure III.-39. Il est possible d'obtenir le rendement optimal (couleur rouge) en adaptant la surface du transistor de puissance entre « W/4 » (IRF820), « W/2 » (IRF830) et « 4W » (4xIRF840) et le nombre de bras du driver activés entre 16 bras (24A) et 4 bras (6A) lorsque la charge est réduite.

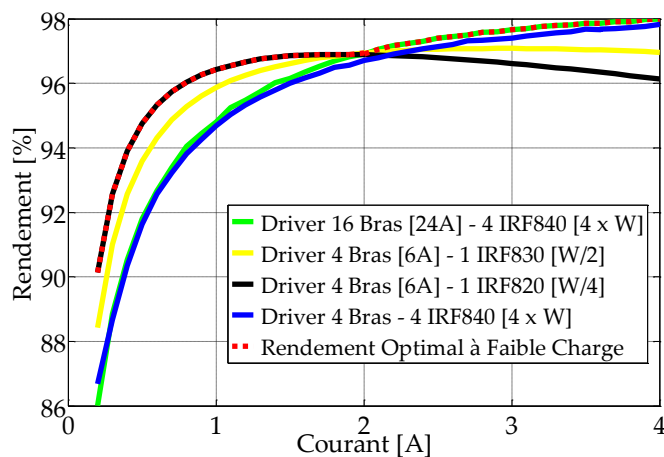


Figure III.-39. Stratégie de commande à faible charge du convertisseur segmenté

Le Tableau III-10 montre les rendements maximums obtenus η_{MAX} pour chaque intervalle du courant de charge. L'avantage de l'approche de segmentation à faible charge

ayant été validée par la simulation, nous pouvons ensuite procéder au routage du driver segmenté.

Courant de charge	0 - 1.9 A	1.9 – 2 A	2A - 4A
Driver – Taille du transistor de puissance	4 Bras [6A] - W/4	4 Bras [6 A] – W/2	16 Bras [24 A] – 4 W
Ratio de la surface du transistor de puissance	1/16	1/8	1
Ratio de la capacité du driver segmenté	1/4	1/4	1
η_{MAX} [%]	96.8 (à 1.8 A)	96.95 (à 2 A)	98% (à 4 A)
$\Delta\eta_{MAX}$ [%]	3.9 (à 0.3 A)	2.3 (à 2 A)	0.1

Tableau III-10. Amélioration du rendement de convertisseur par l'approche de segmentation

D. Elaboration le layout du driver CMOS à charge partielle

La Figure III.-40 présente le layout final du driver segmenté 4 bras de sortie. Il est composé des quatre blocs principaux : un bloc de 4 bras de sortie segmenté repérés de Bras 1 à Bras 4, un bloc du circuit de démodulation 3.3 V, un bloc transformateur intégré T3 et un bloc de configuration des bras.

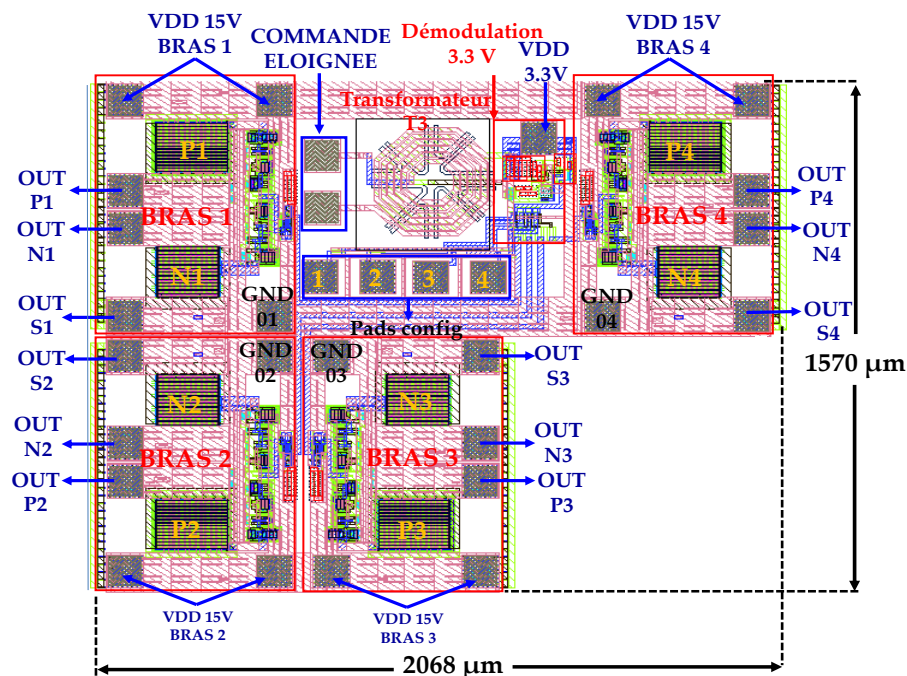


Figure III.-40. Vue du layout complet du driver segmenté 4 bras

Les pads de GND composés de huit pads ont été placés au cœur du driver. On dispose quatre pads de GND (de OutS1 à OutS4) pour la sortie des commandes de grille et quatre pads GND (de GND1 à GND4) pour les connexions à la masse des sources des MOSFET de puissance. L'alimentation 15 V est composée de huit pads de connexion, dont deux pads pour chaque bras. La commande éloignée sera modulée à 3.3 GHz et connectée au circuit de commande par deux pads au primaire du transformateur. Nous avons ainsi tenu compte des longueurs des pistes entre les pads de configuration et les bras pouvant provoquer des délais de transition importants. Pour ce fait, nous avons bufférisé les entrées des pads de configuration par des blocs d'inverseur 3.3 V afin de minimiser ces temps de transition. La taille du circuit complet est de 2068 µm x 1570 µm.

E. Conclusion sur le driver CMOS pour la charge partielle

Cette partie présente, d'une part, la conception de la segmentation du driver et du composant de puissance et, d'autre part, la simulation du convertisseur segmenté et la réalisation du routage du driver en technologie CMOS 0.35µm. Les résultats de simulation nous montrent une amélioration maximale de 3.9 % du rendement à faible charge en utilisant une surface de rapport 1/16 de la taille du composant de puissance pour une commutation à 500kHz. Ainsi, nous pourrions évidemment obtenir plus de gain sur le rendement avec l'augmentation de la fréquence de commutation (de l'ordre du MHz) si l'on se base sur nos analyses de gains énergétiques réalisées dans la partie précédente. Par conséquent, une optimisation de la réalisation des PCB du convertisseur est nécessaire pour pouvoir fonctionner à haute fréquence de commutation et valider nos travaux de conception.

III.3. Conception et dimensionnement du driver intégré en technologie CMOS SOI 0.18µm

Dans le cadre du projet MEGAN (Module Electronique en GaN Nitrure de Gallium) pour lequel le laboratoire G2ELAB est partenaire, nous avons la possibilité d'accéder à la technologie CMOS SOI 0.18µm fournie par le fondeur allemand XFAB [Xfab]. Cette technologie sur substrat isolé nous permet d'intégrer le circuit de commande éloignée au sein du circuit de commande et d'avoir ainsi un driver « tout intégré », avec des fonctions isolées,

des fonctions haute tension et une tenue améliorée aux hautes températures. Dans un premier temps nous allons exposer les avantages d'une technologie CMOS SOI par rapport aux technologies massives (Bulk).

A. Technologie CMOS SOI 0.18 μ m

La Figure III.-41 montre la comparaison des structures des transistors MOS entre les deux technologies. La différence entre les transistors sur un substrat SOI et substrat classique (Bulk) réside sur la couche d'isolant assurée par l'oxyde enterré et l'oxyde latéral. Cette couche d'isolation diélectrique en technologie SOI nous permet, d'une part, d'isoler le substrat utile au transport d'électrons de chaque transistor dans une épaisseur de 0.1 % de plaquette et, d'autre part, d'utiliser des substrats de silicium de haute résistivité. Par conséquent, cette technologie CMOS SOI permet de réduire les couplages parasites entre les dispositifs réalisés ainsi qu'entre ces circuits et le substrat. Cela résulte ainsi en l'amélioration des performances des composants passifs intégrés comme le transformateur sans noyau. De plus, elle offre aussi de nombreux avantages en termes d'intégration, de latch-up, de capacité de jonction et de tenue à la température [Khali 12].

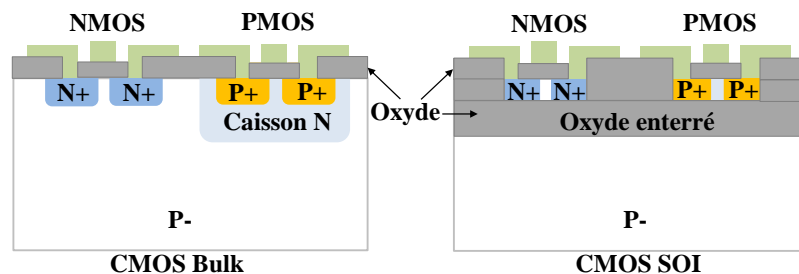


Figure III.-41. Comparaison des architectures des transistors MOS entre la technologie CMOS bulk et la technologie CMOS SOI [Khali 12]

La famille CMOS SOI employée est une technologie 0.18 μ m sur SOI partiellement déplétée avec six niveaux de métal disponibles, comme illustrée Figure III.-42. De plus, cette technologie dispose d'une large gamme des composants dont la tenue en tension est entre 1.8 V et 200 V, capables de fonctionner sur un intervalle de température entre -40 et 175°C. Par rapport à une technologie CMOS bulk, cette technologie présente jusqu'à 4 couches d'oxyde plus épais et est capable de repousser la limite de l'isolation électrique du transformateur intégré de la technologie CMOS standard.

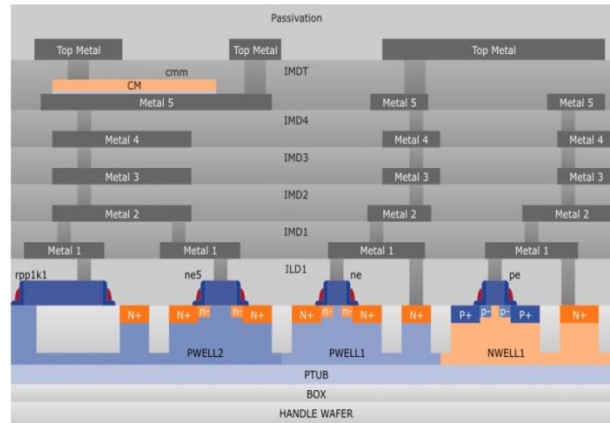


Figure III.-42. Vue en coupe de la technologie XFAB CMOS SOI 0.18 μ m [SOI XT18].

B. Topologie du driver intégré SOI

La Figure III.-43 présente le schéma de la topologie du driver en technologie CMOS SOI. Ce driver est composé de trois parties : le circuit de commande éloignée au primaire, le transformateur sans noyau et le circuit de commande rapprochée au secondaire. Les éléments de chaque circuit sont présentés comme suit :

Le circuit au primaire est composé d'un étage en pont complet et d'un circuit de modulation intégré. L'onduleur en pont complet comporte deux étages de buffer avec quatre MOSFET P1, N1, P2, N2. Ce circuit d'attaque du primaire sera piloté par un signal carré MLI (VDD1) modulé par une porteuse haute fréquence (f_{osc}) par le circuit de modulation intégré ayant deux portes logiques AND, un étage d'inverseur (INV) et un circuit oscillateur (OSC).

- Le transformateur intégré permet d'assurer l'isolation galvanique entre les circuits au primaire et les circuits au secondaire et de transférer l'ordre de commande isolé au composant de puissance. Seul le couplage par le substrat commun limitera le niveau d'isolation galvanique entre le circuit primaire et le circuit secondaire.

- Le circuit au secondaire du driver SOI est basé sur le circuit de commande rapprochée CMOS validé précédemment. Il se compose d'un circuit de détection crête associé avec un comparateur rapide et des étages de buffer pour le pilotage du composant de puissance.

Ce driver a pour but de piloter des transistors GaN de puissance commercialisé dont la tension de seuil est au maximum de 5V [EPC]. De ce fait, nous fixerons le niveau d'alimentation VDD2 du circuit de commande rapprochée à 5V. Enfin, compte tenu du rapport de transformation m du transformateur unitaire, nous choisissons d'utiliser une

alimentation VDD1 de 5V pour le circuit de commande au primaire afin d'avoir un bon compromis entre consommation et immunité au bruit.

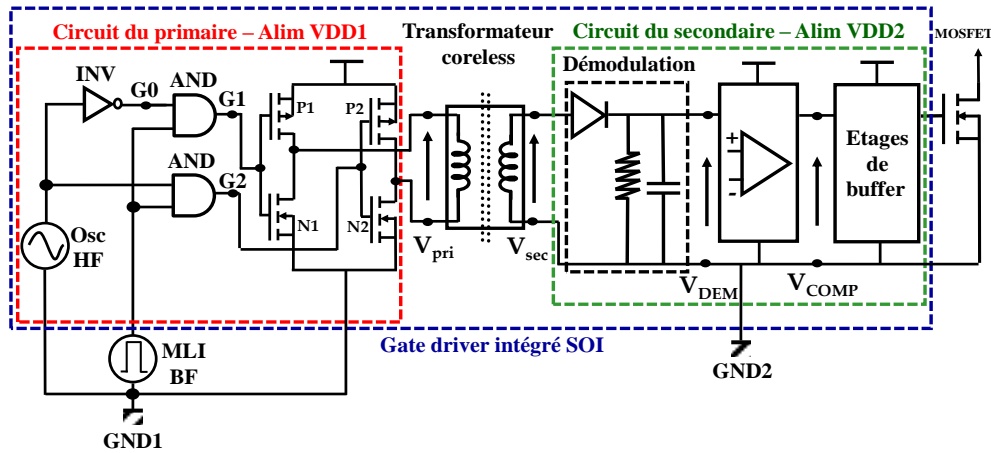


Figure III.-43. Topologie du driver SOI

Cette conception du driver en technologie SOI permet d'obtenir une solution très compacte et générique. En intégrant le circuit primaire au sein du driver, nous pouvons limiter les connectiques hautes fréquences des bornes d'entrée et de sortie du transformateur intégré ainsi et simplifier la commande éloignée du driver, comme illustrée Figure III.-44.

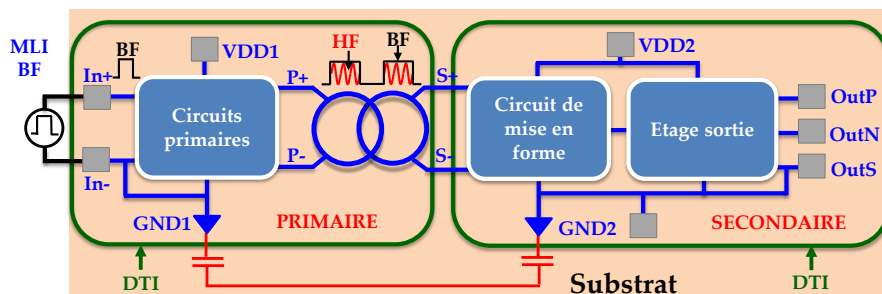


Figure III.-44. Vue du circuit complet du driver SOI

En conséquence, le circuit de commande de grille de transistor ne nécessite que l'ordre de commande MLI à basse fréquence et pourrait être utilisé pour toutes les applications de haute puissance.

Comme on peut le voir sur la Figure III.-41, la technologie SOI dispose des couches d'oxydes latéraux DTI (Deep Trench Isolation) pour éviter la circulation du courant de fuite dans la couche de substrat utile des transistors (PTUB) ainsi qu'une fine couche d'oxyde enterré BOX entre l'épi-couche et le substrat en silicium. Ces couches présentent des

capacités parasites qui relient les potentiels référencés GND1 du circuit au primaire et GND2 du circuit au secondaire, comme illustré la Figure III.-45. En effet, ces capacités parasites sont créés par la couche d'oxyde enterré BOX (C_{Si}), par les couches d'oxydes latéraux DTI (C_{DTI}), ainsi que par les couches d'oxyde intermédiaires entre le primaire et le secondaire du transformateur intégré (C_{PS}), qui limitent la tenue diélectrique DC du driver en raison du claquage de ces oxydes. Nous pouvons améliorer respectivement les tensions de claquage du transformateur intégré et du substrat utile PTUB en augmentant l'épaisseur des couches d'oxyde intermédiaires du transformateur ou en mettant plusieurs couches DTI entre les circuits primaires et les circuits secondaires. Cependant, nous n'avons pas la possibilité de retirer le substrat Si situé sous l'oxyde BOX. Par conséquent, le niveau d'isolation maximale entre GND1 et GND2 est limité à 200V par le claquage de la couche BOX qui a une valeur typique de 200 V [SOI XT18].

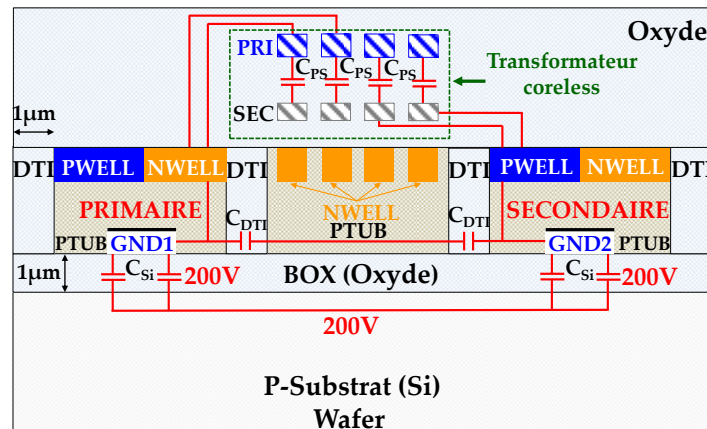


Figure III.-45. Représentation des capacités parasites entre les circuits primaires et les circuits secondaires et la limitation d'isolation électrique du driver SOI

- **Analyse théorique du fonctionnement du driver SOI**
 - **Fonctionnement du circuit de modulation intégré**

La Figure III.-46 présente la topologie du circuit de modulation intégré et les formes d'ondes qualitatives sur une période de découpage.

Le signal de l'oscillateur à haute fréquence f_{osc} module le signal de commande MLI afin d'obtenir deux signaux de commande complémentaires V_{G1} et V_{G2} de même fréquence d'oscillation f_{osc} actif lorsque le signal MLI est actif.

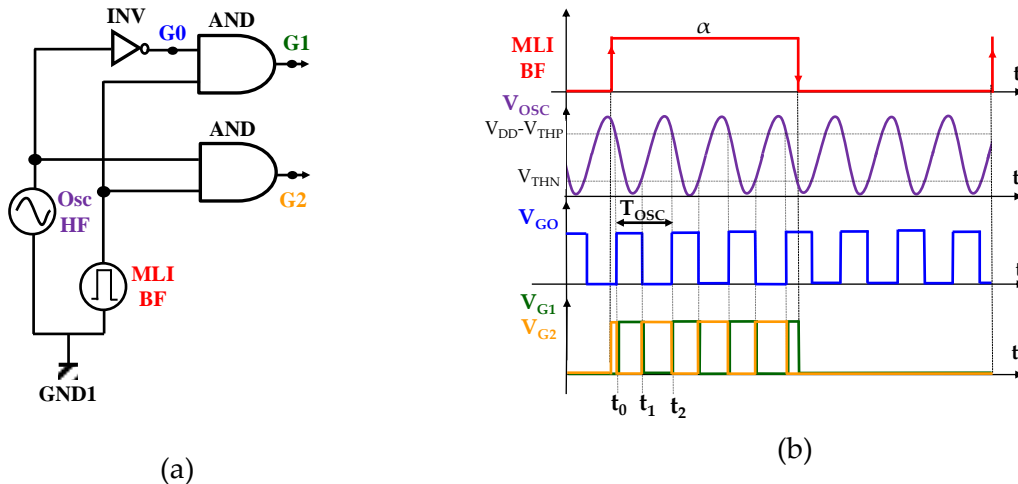


Figure III.-46. (a) Topologie du circuit de modulation intégré (b) Formes d'ondes qualitatives à la sortie du circuit sur une période de découpage

- **Fonctionnement du circuit onduleur au primaire et du circuit secondaire**

La Figure III.-47 présente le schéma de principe de l'onduleur primaire, du transformateur intégré et du circuit de commande rapprochée au secondaire. Nous pouvons éventuellement utiliser notre modèle électrique, proposé au cours de chapitre II afin d'avoir un schéma électrique complet de ce circuit.

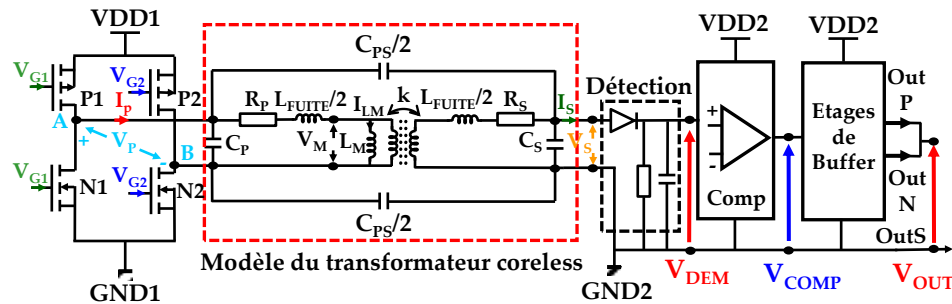


Figure III.-47. Schéma de principe du système pont onduleur au primaire, transformateur intégré et circuit au secondaire

La Figure III.-48 nous montre des ondes qualitatives du driver sur une période de découpage. Lorsque le signal de commande MLI est à l'état haut le pont complet est piloté par deux signaux V_{G1} et V_{G2}. Nous obtenons aux bornes du primaire du transformateur un signal carré alternatif V_P dont l'amplitude crête à crête est de deux fois la tension d'alimentation VDD1. La tension V_S au secondaire du transformateur est de la même forme que la tension primaire à l'atténuation près, ayant une valeur plus ou moins négative de la

valeur $\eta \cdot V_p$ avec η est égal le rapport de transformation. Le signal modulé à haute fréquence sera démodulé par le circuit de détection d'enveloppe (V_{DEM}) et remis en forme par le comparateur (V_{COMP}). Puis ce signal de commande basse fréquence sera envoyé vers les étages de buffer afin de piloter le composant de puissance. On constatera par la suite que cet ensemble présente des délais de commutation t_{dON} et t_{dOFF} entre la commande MLI et la tension sortie du driver V_{OUT} . Nous détaillons ensuite les phases de commutation du pont complet au primaire.

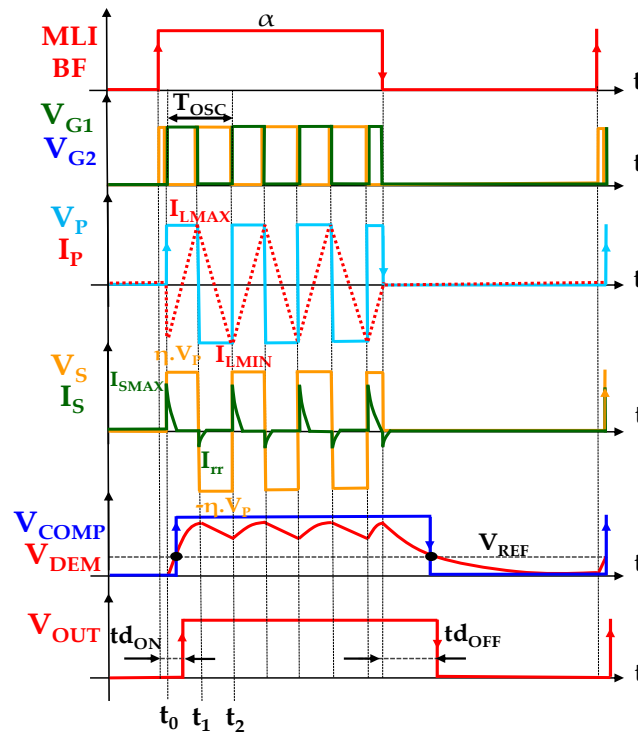


Figure III.-48. Les formes d'ondes qualitatives du driver SOI sur une période de découpage

- **Phase de commutation t_0 - t_1**

La Figure III.-49-a présente le chemin du courant circulant au primaire du transformateur pendant la phase de commutation entre t_0 - t_1 . Pendant cette phase, les transistors P1 et N2 conduisent en même temps. Le courant primaire circule entre la source VDD1 via le transistor P1, le primaire du transformateur puis traverse le transistor N2 jusqu'à la masse. La Figure III.-49-b présente le schéma électrique équivalent simplifié, basé sur le modèle électrique du transformateur intégré. $R_{DS_{ON_P1}}$, $R_{DS_{ON_P2}}$ sont respectivement les résistances à l'état passant des MOSFETs P1 et N2.

On suppose que l'inductance magnétisante du transformateur soit magnétisée à sa valeur négative minimale $I_{L\text{MIN}}$ au moment de t_0 et la tension V_P est symétrique. Ainsi, on fait l'hypothèse que le secondaire est à vide et nous utiliserons l'amplitude du premier harmonique de la tension primaire pour nos calculs. En conséquence, le courant primaire I_P atteint la valeur du courant magnétisant maximal $I_{L\text{MAX}}$ au moment de t_1 et peut être estimé par l'équation :

$$I_P(t_1) = I_{L\text{MAX}} = \frac{4 \cdot V_{DD1}}{\pi \cdot \sqrt{(R_{\text{DSON_P1}} + R_{\text{P_PEAU}} + R_{\text{DSON_N2}})^2 + \omega^2 \cdot \left(\frac{L_{\text{Fuite}}}{2} + L_M\right)^2}} \quad (\text{III.12})$$

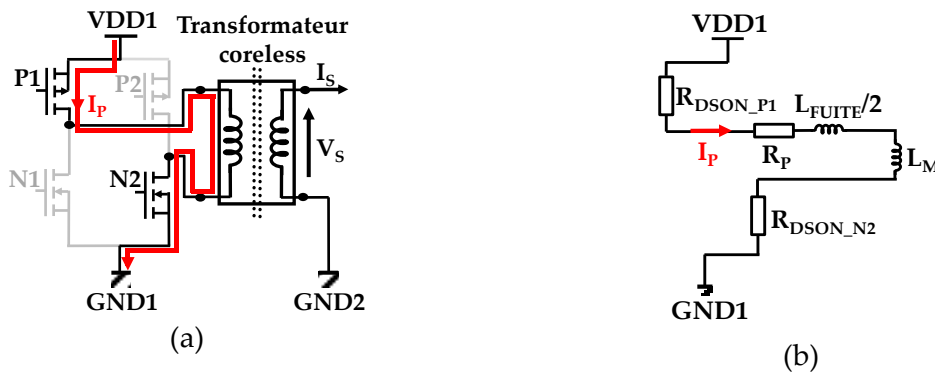


Figure III.-49. (a) Courant primaire pendant t_0 - t_1 (b) Schéma électrique équivalent simplifié

Avec $R_{\text{DSON_P1}}$ et $R_{\text{DSON_N2}}$ qui sont respectivement les résistances à l'état passant des MOSFETs P2 et N1. $R_{\text{P_PEAU}}$ est la résistance de l'enroulement primaire, compte tenu l'effet de peau du à la fréquence de porteuse.

- **Phase de commutation t_1 - t_2**

La Figure III.-50 présente le chemin du courant qui circule au primaire du transformateur et le schéma électrique équivalent pendant la phase de commutation entre t_1 - t_2 . Durant cette phase, les transistors P2 et N1 conduisent en même temps. Le courant primaire circule entre la source V_{DD1} via le transistor P2, le primaire du transformateur et traverse le transistor N1 jusqu'à la masse.

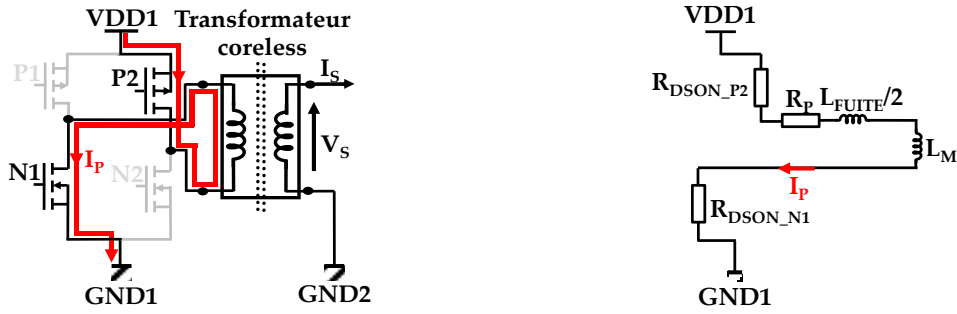


Figure III.-50. (a) Courant primaire pendant t1-t2 (b) Schéma électrique équivalent simplifié

Le courant primaire devient négatif et atteint la valeur du courant magnétisant minimal I_{LMIN} au moment de t2 :

$$I_P(t2) = I_{LMIN} = -I_{LMAX} \quad (III.13)$$

Cette analyse sur le principe global du fonctionnement de la structure nous permet de déterminer les tailles nécessaires pour les MOSFETs du pont complet en fonction du modèle électrique du transformateur intégré. De plus, un choix de la fréquence de porteuse nous permet de dimensionner des étages du circuit de modulation intégré et les circuits de commande rapproché au secondaire du driver. Ce choix de porteuse pour notre driver sera déterminé dans la partie qui suit.

C. Choix de la fréquence de porteuse et optimisation de la conception du transformateur intégré en technologie CMOS SOI 0.18 μ m

Le choix de la taille du transformateur intégré est un des critères les plus importants dans le dimensionnement du driver SOI. Nous devons choisir la taille du transformateur afin de déterminer la fréquence d'oscillateur et dimensionner les circuits associés. Basé sur la caractérisation du transformateur intégré du chapitre II, nous envisageons d'utiliser deux prototypes de transformateur T4 (de la taille 600 μ m) et T3 (de la taille 300 μ m) afin de bénéficier des routages en technologie CMOS bulk et les adapter en technologie CMOS SOI. Nous avons ensuite modélisé ces deux transformateurs avec le logiciel HFSS pour avoir les modèles électromagnétiques pour cette nouvelle technologie CMOS SOI XFAB 0.18 μ m.

- **Modélisation électromagnétique et optimisation de la conception du transformateur intégré en technologie CMOS SOI 0.18 μ m.**

La Figure III.-51-a présente la vue en coupe du modèle 3D et ses paramètres technologiques pour le transformateur intégré en technologie CMOS SOI 0.18 μ m. La

technologie employée propose jusqu'à six couches métalliques ainsi qu'une couche d'oxyde supplémentaire (BOX). L'enroulement primaire est réalisé sur les deux couches métalliques les plus éloignées du substrat (les spires sont intégrées sur M6 ou METTPL et la reprise du point central se fait via M5 ou METTP).

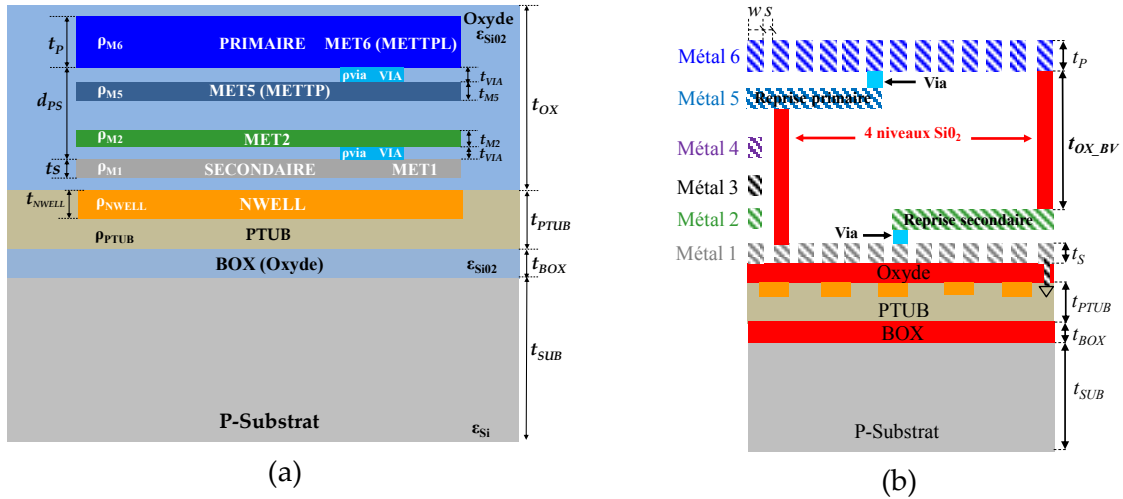


Figure III.-51. (a) La vue en coupe du modèle 3D du transformateur intégré en technologie CMOS SOI 0.18 μm (b) Optimisation de la conception du transformateur sans noyau

Ceci nous permet d'éviter des effets 3D sur la répartition du champ électrique et d'avoir quatre couches diélectriques avec une épaisseur de 5.2 μm . Cet épaisseur nous permet d'augmenter a priori la tension de claquage jusqu'à 5.2 kV entre primaire et secondaire. Les blindages flottants en forme de «V» en utilisant le caisson NWELL seront ainsi utilisés afin de réduire la densité du courant qui circule dans le substrat silicium. Nous avons aussi la possibilité d'isoler complètement le substrat silicium en utilisant les couches d'oxydes latéraux DTI. Cependant, ces couches ne sont pas utilisées dans cette conception du transformateur intégré pour le blindage dû aux contraintes de routage. La Figure III.-52 montre le masque du transformateur T4 de la taille de 600 μm sous le logiciel Cadence Virtuoso en technologie CMOS SOI en important son fichier géométrie GDS réalisé en technologie CMOS bulk et en adaptant les niveaux des couches métalliques.

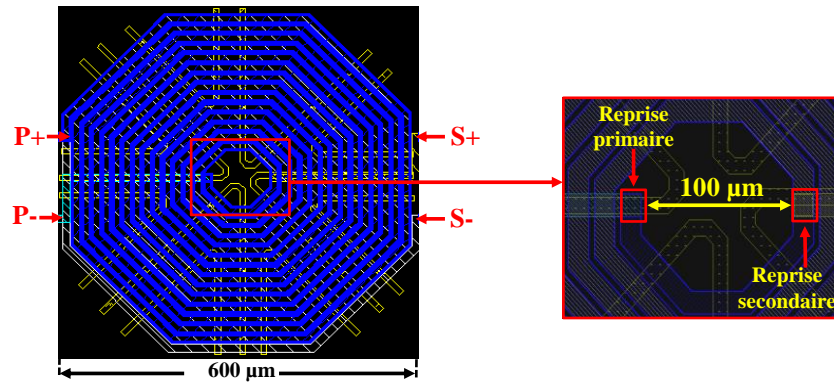


Figure III.-52. Dessin du layout du transformateur T4 et optimisation du placement des vias sous Cadence

Le Tableau III-11 présente les paramètres typiques de la technologie CMOS SOI 0.18 μm pour le développement du modèle 3D.

Paramètres	Expressions équivalentes	Données du fondeur
t_P	Épaisseur du primaire (MET6 ou METTPL)	2.5 - 3.1 μm
t_S	Épaisseur du secondaire (MET1)	0.565 - 0.765 μm
t_{M2}, t_{M5}, t_{VIA}	Épaisseur de la couche de métal 2, et de la couche de métal 5 (ou METTP) et des vias	0.6 - 1 μm
t_{SUB}	Épaisseur du substrat silicium	710 - 740 μm
t_{OX}	Épaisseur de la couche d'oxyde	13.2 μm
t_{NWELL}	Épaisseur de la jonction NWELL	1.5 μm
t_{PTUB}	Épaisseur de la couche PTUB	3.435 μm – 3.565 μm
t_{BOX}	Épaisseur d'oxyde enterrée (BOX)	1 μm
h_P, h_S	Distance entre primaire, secondaire et PTUB	8.5 μm , 0.79 μm
d_{PS}	Distance entre primaire et secondaire	7.1 μm
ϵ_{SiO2}	Permittivité relative de la couche d'oxyde	3.9
ϵ_{Si}	Permittivité relative du substrat silicium	11.9
ρ_{Si}	Résistivité du substrat silicium	66 $\Omega\cdot\text{cm}$ - 134 $\Omega\cdot\text{cm}$
Rs_NWELL	Sheet résistance de la jonction NWELL	1 k Ω /sq
Rs_PTUB	Sheet résistance de la couche PTUB	3.5 k Ω /sq
$\rho_{M6}, \rho_{M5}, \rho_{M2}, \rho_{M1}, \rho_{VIA}$	Résistivité du primaire, de la couche de métal 5, de la couche de métal 2, du secondaire et des vias	26.9E-9 $\Omega\cdot\text{m}$

Tableau III-11. Paramètres typiques de technologie CMOS SOI XFAB 0.18 μm

La Figure III.-53 présente les résultats de simulation 3D que nous avons réalisée pour les deux transformateurs de T3 et de T4. Le Tableau III-12 présente la comparaison des performances des deux transformateurs T3 et T4 entre la technologie CMOS bulk 0.35 μm et technologie CMOS SOI 0.18 μm . Nous avons observé une diminution des coefficients de

couplage k pour les prototypes en technologie SOI car la distance d_{PS} entre deux enroulements a été augmentée de 4.5 μ m (CMOS bulk) à 7.1 μ m (CMOS SOI).

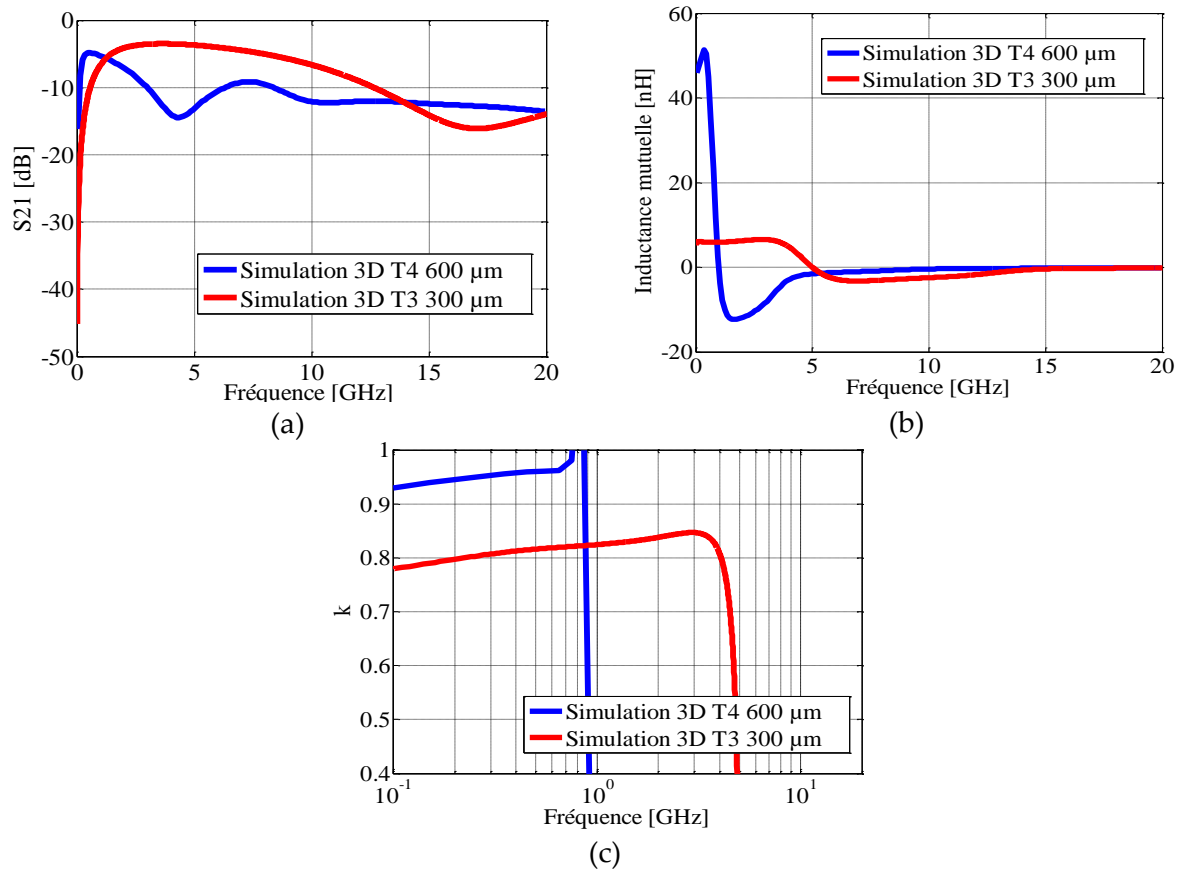


Figure III.-53. Simulation électromagnétique du transformateur T3 de la taille 300 μ m et T4 de la taille 600 μ m en technologie CMOS SOI 0.18 μ m (a) coefficient de transmission S_{21} (b) Inductance mutuelle M (c) coefficient de couplage k

Cependant, les valeurs des inductances mutuelles M en technologie CMOS SOI sont améliorées respectivement de 20% et de 33% pour les transformateur T3 et T4. Ceci résulte en une diminution moins importante des gains en tension (de l'ordre de 5% pour T3 et de 0% pour T4 au niveau des amplitudes) même si le couplage k est réduit. Ces résultats montrent l'avantage de l'utilisation de la technologie CMOS SOI avec substrat isolé sur les performances des composants passifs intégrés. Les résultats de simulation montrent aussi que les fréquences optimales en technologies CMOS SOI 0.18 μ m pour les transformateurs de T3 et de T4 sont respectivement de 3.4 GHz et de 550 MHz. Ces fréquences seront utilisées pour l'étude des fréquences d'oscillation du circuit de commande éloignée dans la partie qui

suit. Le Tableau III-13 montre les paramètres des modèles électriques des transformateurs intégrés T3 et T4 en technologie CMOS SOI 0.18 μ m.

DUT	Fréquence optimale [GHz]		Gain en tension [dB] / [Magnitude] $Z_c = 50 \Omega$		Inductance mutuelle M [nH]		Coefficient de couplage k		Rp/Rs DC [Ω]	
	CMOS	SOI	CMOS	SOI	CMOS	SOI	CMOS	SOI	CMOS	SOI
T3	3.3	3.4	-2.8/0.72	3.49/0.68 (5%↓)	5	6 (20%↑)	0.89	0.85	2.8/19	2.9/14
T4	0.65	0.55	-4.79/0.57	4.8/0.57 (0%↓)	33.8	45 (33%↑)	0.98	0.96	9.3/42	12/60

Tableau III-12. Comparaison des performances des transformateurs de T3 (300 μ m) et T4 (600 μ m) entre la technologie CMOS bulk 0.35 μ m et technologie CMOS SOI 0.18 μ m

DUT	Freq optimal	Cp [F]	Cs [F]	Cps [F]	M [nH]	K	Rp [Ω]	Rs [Ω]	Lfuite [nH]
T3	3.4 GHz	98f	98f	210f	5	0.89	2.8	14	1
T4	550 MHz	200f	200f	1.2 pF	45	0.96	12	60	3.5

Tableau III-13. Modèles électriques des transformateurs intégrés T3 (300 μ m), T4 (600 μ m) en technologie SOI

D. Dimensionnement du circuit au primaire du driver SOI

- **Choix de la fréquence de porteuse et de la taille du transformateur intégré**

En utilisant les blocs composants logiques inverseur (INV) et porte AND 5V de la bibliothèque PRIMLIB fournie par le fondeur XFAB, nous avons simulé le circuit de modulation intégré sous Cadence pour deux fréquences d'oscillation à 3.4 GHz et 550 MHz (Figure III.-46). Le circuit oscillateur est alors modélisé par un signal sinusoïdal d'amplitude 5V. La fréquence de découpage du signal MLI est de 1 MHz avec un rapport cyclique de 0.5 et une amplitude de 5V. La charge à la sortie du circuit est modélisée par une capacité C_{CHARGE} égale à la capacité des MOSFETs de l'onduleur de pont complet. Nous avons fixé, dans un premier temps, la valeur de cette capacité à 500 fF, car les tailles des MOFETS du pont complet sont importantes pour pouvoir fournir le courant nécessaire au primaire du transformateur. La Figure III.-54 montre les courbes de simulation des signaux de V_{G0} , V_{G1} et V_{G2} à la sortie du circuit pour deux fréquences d'oscillation choisies. Nous avons obtenu deux signaux de commande V_{G1} et V_{G2} de même fréquence d'oscillation f_{osc} de 550 MHz et

d'amplitude 5V. Cependant, ces deux signaux V_{G1} et V_{G2} sont atténués à la fréquence d'oscillation de 3.4 GHz car la fréquence d'oscillateur f_{osc} est supérieure à la fréquence de coupure du circuit de modulation intégré.

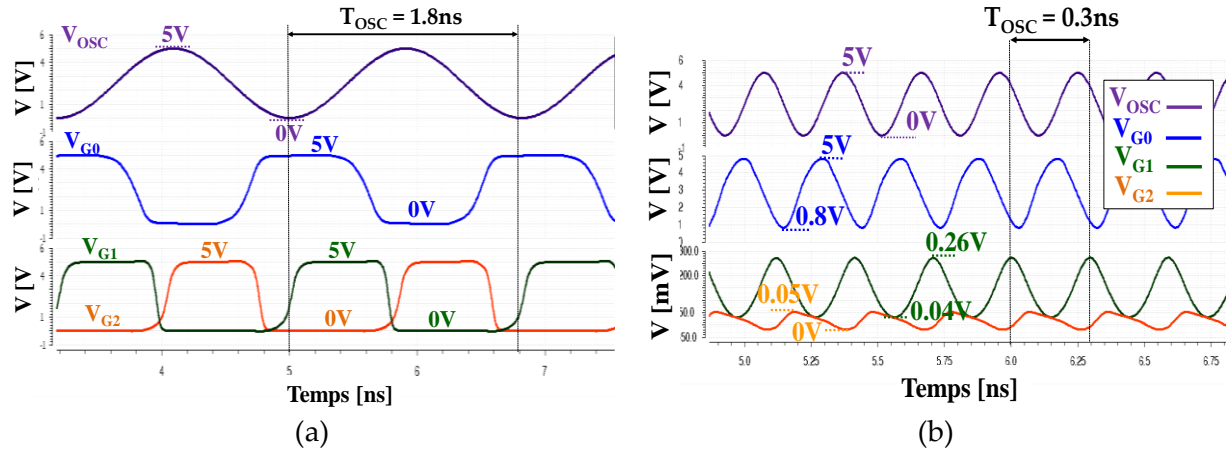


Figure III-54. Simulation de fonctionnement du circuit de modulation intégré (a) à la fréquence d'oscillation de 550 MHz et (b) de 3.4 GHz

- **Possibilité d'utilisation de la fréquence de porteuse à 3.4 GHz**

Comme nous avons vu, la fréquence de porteuse est limitée à 550 MHz à cause de la limitation de la bande passante imposée par la structure du circuit de modulation utilisé. Cependant, il est possible d'utiliser une fréquence de porteuse de 3.4 GHz à condition que la bande passante du circuit de modulation soit supérieure à la fréquence de porteuse ou en rajoutant des étages d'amplifications intermédiaires entre le circuit de modulation intégré et le circuit onduleur. Nous allons étudier cette possibilité en utilisant un circuit de modulation idéal afin de créer deux signaux de commande complémentaire V_{G1} et V_{G2} avec l'amplitude de 5V et à 3.4 GHz, sous une fréquence de découpage à 1MHz et un rapport cyclique de 0,5. Ces deux signaux seront utilisés afin de piloter le système du pont onduleur au primaire associé au modèle électrique du transformateur intégré T3 (de 300 μ m) présenté dans le Tableau III-13 et ensuite au circuit au secondaire du driver SOI. Nous supposons dans un premier temps que ces circuits sont dimensionnés pour pouvoir travailler à 3.4 GHz en utilisant des composants idéaux de 5V de la bibliothèque PRIMLIB de XFAB. La Figure III-55 montre une bonne commutation de ce système par la simulation électrique dans Cadence.

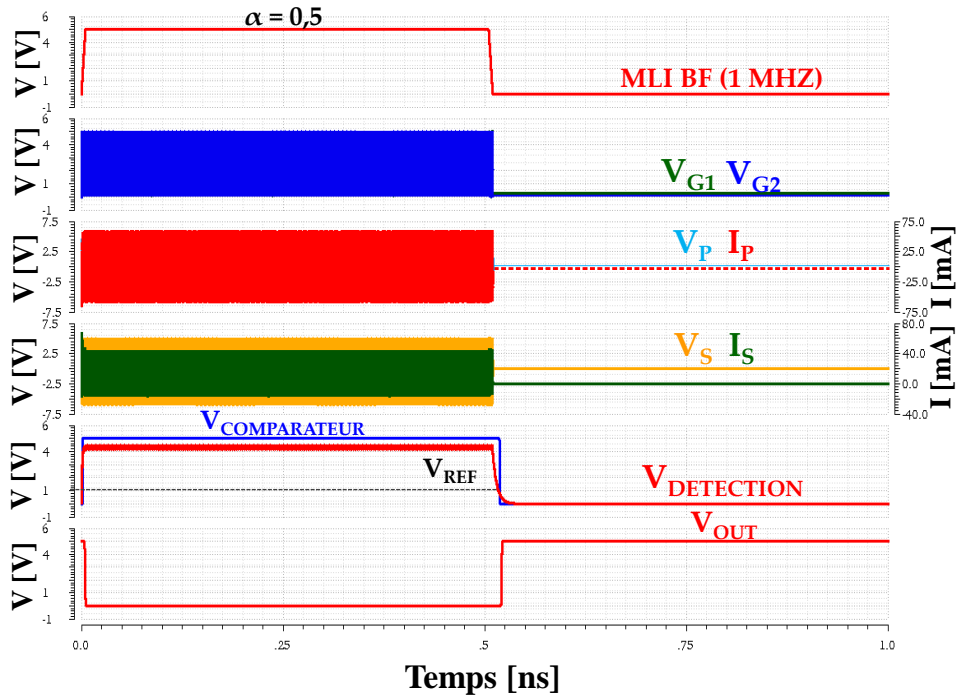


Figure III.-55. Simulation de la structure du pont onduleur au primaire, transformateur intégré et circuit au secondaire du driver SOI pour une période de découpage, $f_{\text{COMMUTATION}} = 1\text{MHz}$, $f_{\text{PORTEUSE}} = 3.4\text{GHz}$, $C_{\text{CHARGE}} = 1\text{nF}$.

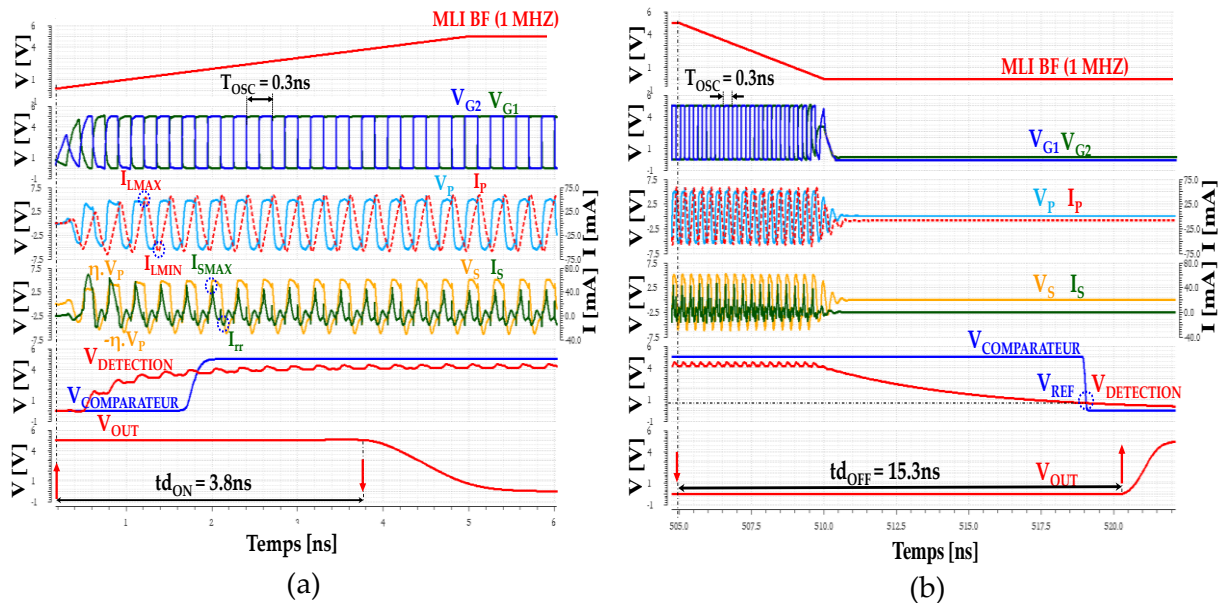


Figure III.-56. Simulation de la structure du pont onduleur au primaire, transformateur intégré et circuit au secondaire du driver SOI (a) pendant phase de montée et (b) de la descente de la commande MLI, $f_{\text{COMMUTATION}} = 1\text{MHz}$, $f_{\text{PORTEUSE}} = 3.4\text{GHz}$, $C_{\text{CHARGE}} = 1\text{nF}$.

En utilisant une charge capacitive de 1nF, nous obtenons une tension carrée V_{OUT} de 5V à la sortie du driver en fonction de la commande MLI. Ainsi, les courbes de commutations

pendant la phase de montée et de la descente de la commande MLI sont cohérentes avec les courbes qualitatives prévues (Figure III.-48), comme illustrée Figure III.-56.

Ces résultats confirment la possibilité de travailler avec une porteuse à 3.4 GHz. Cependant, on retiendra une fréquence d'oscillateur de 550 MHz pour notre circuit afin d'assurer un fonctionnement stable du circuit de modulation intégré. Ce choix correspond à une taille du transformateur de 600 µm (T4). La fréquence de porteuse a été choisie à 550 MHz, nous allons ensuite dimensionner les circuits électroniques du driver.

• Etages pont complet

Les étages d'onduleur sont conçus afin de délivrer les pics du courant I_{LMAX} (voir l'équation (III.12)) et I_{LMIN} (voir l'équation (III.13)) au primaire du transformateur. Dans un premier temps, nous supposons que les résistances à l'état passant des MOSFETs du pont complet sont faibles par rapport à l'impédance d'entrée du primaire et peuvent être négligeables. Nous calculons la résistance de peau du primaire du transformateur intégré par l'équation :

$$R_{P_PEAU} = \frac{\rho_{Mp} \cdot l_p}{\delta \cdot W_p \cdot (1 - e^{-\frac{t_p}{\delta}})} \quad (III.14)$$

Où W_p , t_p , l_p sont respectivement la largeur du piste, l'épaisseur et la longueur totale du conducteur primaire. δ présente l'épaisseur de peau à la fréquence de porteuse de 550 MHz et peut être calculée par l'équation :

$$\delta = \sqrt{\frac{2 \cdot \rho_{Mp}}{\omega \cdot \mu}} \quad (III.15)$$

En utilisant ces deux équations précédentes et les paramètres de l'enroulement du primaire, on en déduit la résistance de peau du primaire à sa fréquence de travail de 550 MHz, comme illustré le Tableau III-14.

f	W_p	t_p	l_p	δ	R_{P_PEAU}
550 MHz	14 µm	3 µm	16.8 mm	3.5 µm	16.5 Ω

Tableau III-14. Calcul de la résistance de peau du primaire

En utilisant les équations (III.12) et (III.13), ainsi que les paramètres du modèle électrique du transformateur T4 présentés dans le Tableau III-13, on en déduit les amplitudes du courant magnétisant au primaire :

$$I_{LMAX} = |I_{LMIN}| = \frac{4.5}{\pi \cdot \sqrt{16.5^2 + (550 \cdot 10^6)^2 \cdot (1.7 \cdot 10^{-9} + 45 \cdot 10^{-9})^2}} = 39 \text{ (mA)} \quad (III.16)$$

Pour atteindre ces pics de courant de sortie, le document XFAB indique que les courants drain-source de saturation sont respectivement de 270µA et de 520µA par µm de largeur de grille pour un PMOS de 5V (PE5) et un NMOS de 5V (NE5). Par conséquence, les tailles minimum des MOSFETs doivent être :

$$W_{MIN_P1} = W_{MIN_P2} = \frac{I_{LMAX}}{270 \cdot 10^{-6}} = 144 \mu m \quad (III.17)$$

$$W_{MIN_N1} = W_{MIN_N2} = \frac{I_{LMAX}}{520 \cdot 10^{-6}} = 75 \mu m \quad (III.18)$$

Cependant, nous avons augmenté les tailles des PMOS jusqu'à 450µm et les tailles des NMOS jusqu'à 121µm afin d'éviter une chute de tension importante aux bornes du primaire en raison des résistances à l'état passant. Cet étage consomme un courant moyen important de 5 mA à cause des pics de courant de court-circuit de l'ordre de 30mA sur chaque bras d'onduleur P1-N1 et P2-N2. De ce fait, nous devons augmenter les largeurs des pistes de métal sur ces bras jusqu'à 10µm afin de pouvoir faire transiter cette intensité de courant du bras. Le Tableau III-15 détaille les paramètres des MOSFET du pont complet.

	P1	P2	N1	N2
Type	PMOS (5V)	PMOS (5V)	NMOS (5V)	NMOS (5V)
W/L	450µm/0.5µm	450µm/0.5µm	121µm/0.5µm	121µm/0.5µm
R _{DS_ON}	23 Ω	23 Ω	23 Ω	23 Ω

Tableau III-15. Paramètres des étages du pont complet

- **Blocs logiques**

La Figure III.-57 montre le schéma de l'étage d'inverseur et de la porte AND du circuit de modulation intégré. Le dimensionnement de ces étages doit assurer que, d'une part, les fréquences de coupure de chaque étage soient supérieures à la fréquence de porteuse de 550 MHz et, d'autre part, fournir le courant de charge pour les capacités d'entrée C_{iss} des étages du pont complet. En utilisant le logiciel Cadence, les tailles de chaque étage sont calculées en se basant sur les pics de courant à fournir pour pouvoir charger et décharger des étages associés. De plus, nous avons choisi la taille du PMOS de trois fois celle du NMOS sur chaque bras afin de minimiser les pertes totales [Deleage 10].

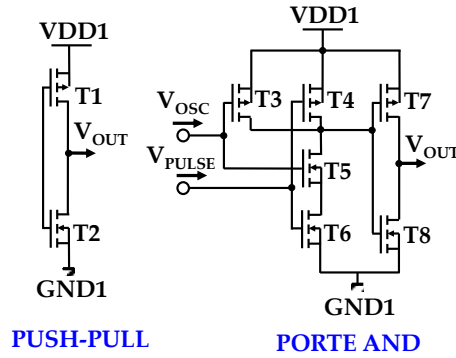


Figure III.-57. Schéma de l'étage d'inverseur et de bloc AND du circuit de modulation

Le Tableau III-16 nous montre les paramètres des MOSFET de 5V (PE5 et NE5) pour ces étages. Ces blocs logiques consomment un courant moyen de 4 mA à la fréquence de commutation à 1MHz et à la fréquence de porteuse à 550 MHz.

	T1	T2	T3	T4	T5	T6	T7	T8
Type	PMOS	NMOS	PMOS	PMOS	NMOS	NMOS	PMOS	NMOS
W (μm)	15	5	30	30	10	10	90	60
L (nm)	500	500	500	500	500	500	500	500

Tableau III-16. Paramètres des MOSFETs de l'étage de push-pull et de la porte AND

- **Oscillateur en anneau.**

Un oscillateur est conçu afin de fournir le signal de porteuse au circuit de modulation intégré. La Figure III.-58-a montre le schéma de principe du circuit oscillateur. Il est composé de trois étages inverseur identiques. La fréquence d'oscillation de ce circuit est fixée par les délais de propagation liés aux temps t_{rise} et t_{fall} (voir l'équation (III.19)) et donc des valeurs des résistances à l'état passant des MOSFETs et des capacités parasites (voir l'équation (III.20)). Ces deux termes peuvent être calculés par l'équation (III.21) et l'équation (III.22).

$$f_{osc} = \frac{1}{n \cdot (t_{rise} + t_{fall})} \quad (III.19)$$

$$t_{rise} + t_{fall} = 0.7 \cdot (R_P + R_N) \cdot C_{total} \quad (III.20)$$

$$C_{total} = \frac{5}{2} \cdot C'_{ox} \cdot [(L_P \cdot W_P) + (L_N \cdot W_N)] \quad (III.21)$$

$$R = \frac{1}{K_P \cdot \frac{W}{L} (V_{DD} - V_{TH})} \quad (III.22)$$

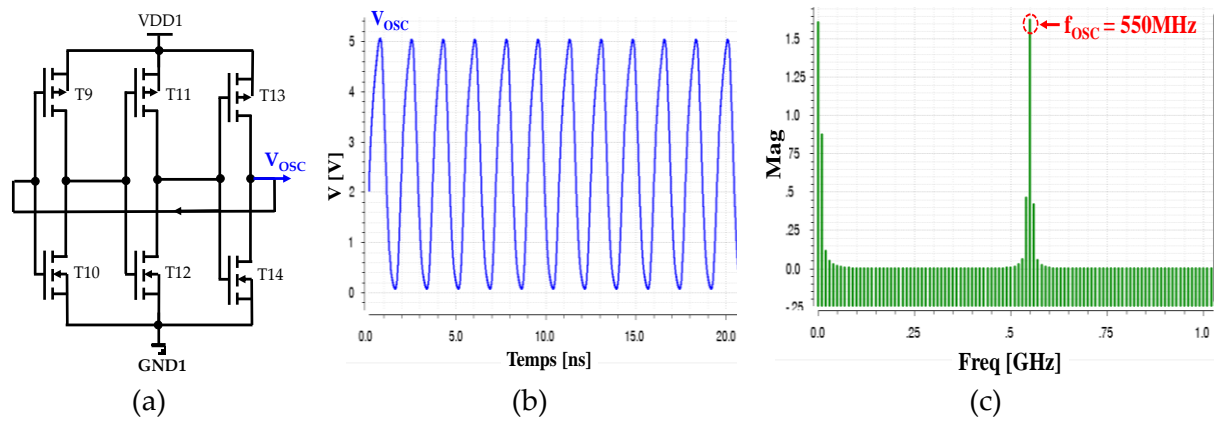


Figure III.-58. (a) Schéma principe du circuit d'oscillateur. (b) Simulation de la tension de sortie du circuit (c) La transformation de Fourier discrète du signal d'oscillation

Le Tableau III-17 montre les paramètres de conception de cet étage. Cette conception a été simulée sous Cadence et a montré qu'elle peut fournir un signal d'oscillation allant de 0 à 5V à la fréquence de 550 MHz confirmant la validité de notre conception. Ces formes d'onde sont présentées Figure III.-58. Cet étage consomme un courant moyen de 1.6mA.

$(W/L)_{T9, T11, T13}$	$(W/L)_{T10, T12, T14}$	R_{DS_ON} NMOS (Ω)	R_{DS_ON} PMOS (Ω)	C_{total} (fF)	t_{RISE} (ns)	t_{FALL} (ns)	n	f _{osc}
8 $\mu\text{m}/0.5\mu\text{m}$	2.5 $\mu\text{m}/0.5\mu\text{m}$	3k	3k	97	0.3	0.3	3	550 MHz

Tableau III-17. Paramètre de conception du circuit d'oscillateur

E. Dimensionnement du circuit au secondaire du driver SOI

La Figure III.-59 montre le schéma du circuit de détection d'enveloppe et du comparateur du driver SOI. Nous détaillons le dimensionnement de chaque étage dans la partie suivante.

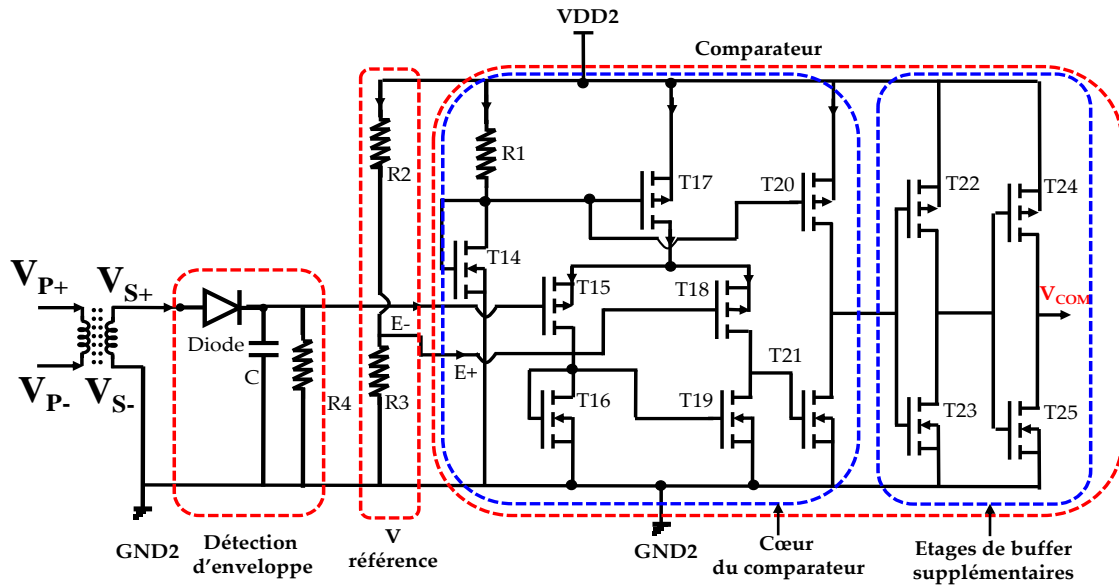


Figure III.-59. Schéma de principe du circuit de détection d'enveloppe et du comparateur

- **Circuit de détection d'enveloppe**

Pour réaliser la diode du détecteur d'enveloppe, nous avons utilisé la diode body d'un transistor PMOS 5V (PE5). D'autre part, pour pouvoir améliorer les temps de transitions du comparateur, nous avons choisi la constante de temps RC du circuit de détection de trois fois la période de porteuse à 550MHz soit :

$$R4 = 10k, C = 500fF$$

Enfin, les deux résistances R2 et R3 de l'étage de référence de tension ont des valeurs respectivement de 20k Ω et de 5k Ω afin de fournir un niveau de tension de 1V à l'entrée du comparateur.

- **Comparateur rapide**

Ce comparateur comprend l'étage amplificateur différentiel, un étage d'inversion ainsi qu'une source de courant commandée par la résistance R1 et le transistor T4. Pour pouvoir améliorer les performances du comparateur en technologie CMOS SOI, nous avons optimisé la structure par rapport à la version précédente en technologie CMOS en rajoutant deux étages push-pull et en augmentant la valeur du miroir de courant jusqu'à 300 μ A. De fait, le gain DC du comparateur a été augmenté jusqu'à 40dB et les réponses transitoires à 1MHz sont rapides (de l'ordre de 5V/2ns), comme illustrée la Figure III.-60.

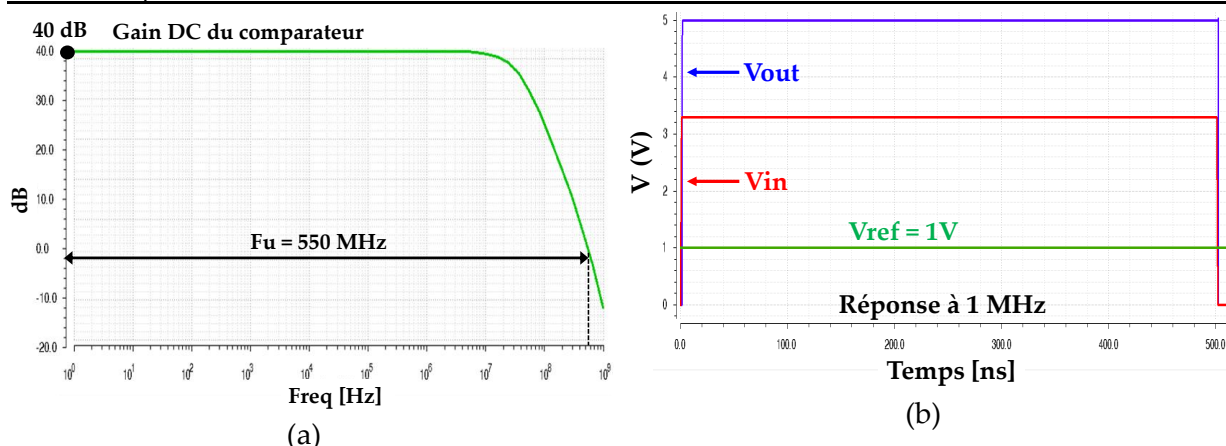


Figure III.-60. Simulation des caractéristiques du comparateur

Les paramètres de conception sont présentés dans le Tableau III-18. La consommation du comparateur est 0.5mW à 1MHz.

(W/L) _{T14, T17}	10.5 μ m/0.5 μ m	(W/L) _{T22}	42 μ m/0.5 μ m
(W/L) _{T15, T18}	5.3 μ m/0.5 μ m	(W/L) _{T23}	70 μ m/0.5 μ m
(W/L) _{T16, T19}	20 μ m/0.5 μ m	(W/L) _{T24}	84 μ m/0.5 μ m
(W/L) _{T20}	21 μ m/0.5 μ m	(W/L) _{T25}	105 μ m/0.5 μ m
(W/L) _{T21}	35 μ m/0.5 μ m	R1	10 k Ω

Tableau III-18. Paramètres de conception du comparateur

- **Etages de buffer 5 V**

Basé sur le principe de l'étage de sortie du driver CMOS (voir Figure III.-2), un étage de sortie est conçu en nouvelle technologie CMOS SOI au cours des travaux de thèse de Long [Long 15]. Il est présenté dans la Figure III.-61. Cet étage de sortie est composé des étages de décalage, des étages d'amplification et d'un étage inverseur de puissance de M0-N0 afin de fournir les courants de charge et de décharge pour le composant de puissance. Cet étage de sortie a été simulé par logiciel Cadence en utilisant une commande MLI de 5V à 1MHz comme présenté Figure III.-62. Nous avons observé que les pics de courant de charge I_{CHARGE} et de décharge $I_{DECHARGE}$ sont respectivement de 4.9A et de 4.4A sous une capacité de charge de 1nF. En outre, les temps de montée « t_R » et de descente « t_F » de la tension de sortie V_{GS} sont estimés respectivement à 2ns de 3ns pour une charge de 1nF. De plus, les temps de retard entre la tension sortie du driver et la commande MLI de 5V sont respectivement de 2.5ns et 3ns pendant la phase montée et de descente de la commande MLI

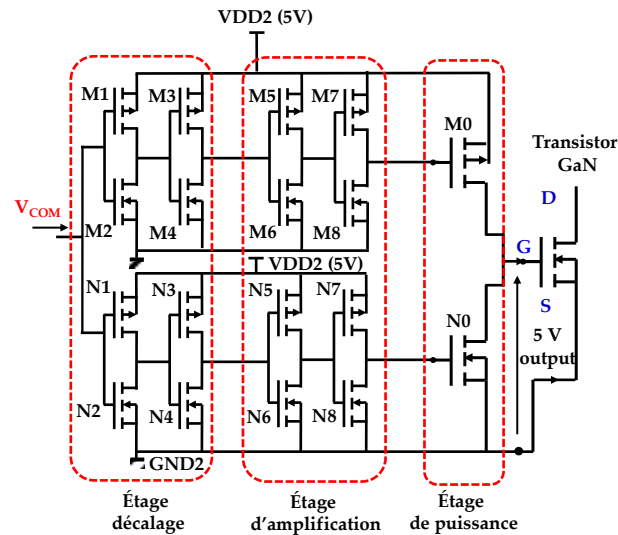


Figure III.-61. Schéma du circuit de l'étage de sortie du driver SOI

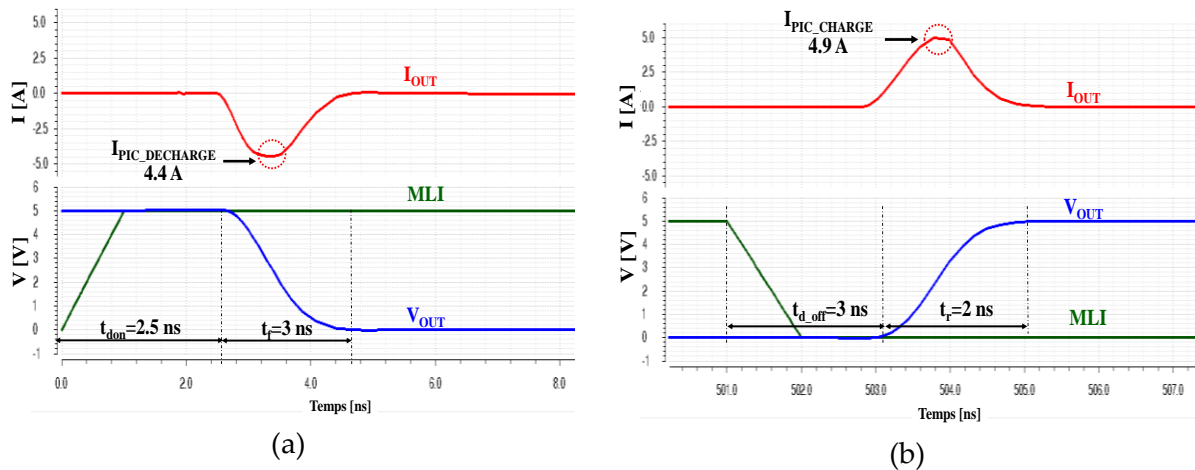


Figure III.-62. Simulation de l'étage de sortie (a) pendant la phase montée et (b) pendant la phase de descente de la commande MLI, $f_{\text{COMMUTATION}} = 1\text{MHz}$, $C_{\text{CHARGE}} = 1\text{nF}$.

Les paramètres de conception sont présentés dans le Tableau III-19. Cet étage consomme un courant de 5.5mA à la fréquence de commutation de 1MHz et sous une charge de 1nF.

(W/L) _{M1}	5 $\mu\text{m}/0.5\mu\text{m}$	(W/L) _{M7}	1200 $\mu\text{m}/0.5\mu\text{m}$	(W/L) _{N5}	25 $\mu\text{m}/0.5\mu\text{m}$
(W/L) _{M2}	100 $\mu\text{m}/0.5\mu\text{m}$	(W/L) _{M8}	333 $\mu\text{m}/0.5\mu\text{m}$	(W/L) _{N7}	424 $\mu\text{m}/0.5\mu\text{m}$
(W/L) _{M3, M4}	10 $\mu\text{m}/0.5\mu\text{m}$	(W/L) _{N1}	5 $\mu\text{m}/0.5\mu\text{m}$	(W/L) _{N8}	174 $\mu\text{m}/0.5\mu\text{m}$
(W/L) _{M5}	60 $\mu\text{m}/0.5\mu\text{m}$	(W/L) _{N2}	1 $\mu\text{m}/0.5\mu\text{m}$	(W/L) _{M0}	30000 $\mu\text{m}/0.5\mu\text{m}$
(W/L) _{M6}	620 $\mu\text{m}/0.5\mu\text{m}$	(W/L) _{N3, N4, N6}	10 $\mu\text{m}/0.5\mu\text{m}$	(W/L) _{N0}	10000 $\mu\text{m}/0.5\mu\text{m}$

Tableau III-19. Paramètres de conception de l'étage de sortie du driver SOI

- **Simulation de la structure complète du driver SOI**

Après avoir dimensionné tous les circuits du driver SOI, nous avons simulé la structure complète du driver présentée Figure III.-63. Ces résultats montrent une bonne commutation du driver SOI avec une charge capacitive de 1nF sous une fréquence de découpage à 1MHz et un rapport cyclique de 0,5.

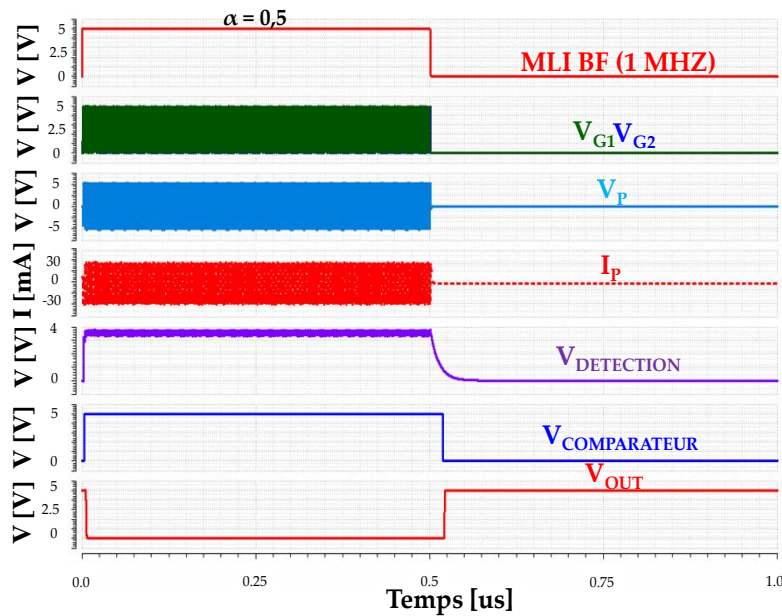


Figure III.-63. Simulation de la structure du driver SOI pour une période de découpage, $f_{\text{COMMUTATION}} = 1\text{MHz}$, $C_{\text{CHARGE}} = 1\text{nF}$.

La consommation totale du driver est estimée à 85.5mW à la fréquence de 1MHz, compte tenu de l'énergie nécessaire à la charge de la capacité. Ainsi, les temps de transitions entre la commande MLI et la tension sortie V_{OUT} du driver sont respectivement de 5.5ns et 19ns pendant la phase de montée et de la descente de la commande MLI, comme illustré dans la Figure III.-64.

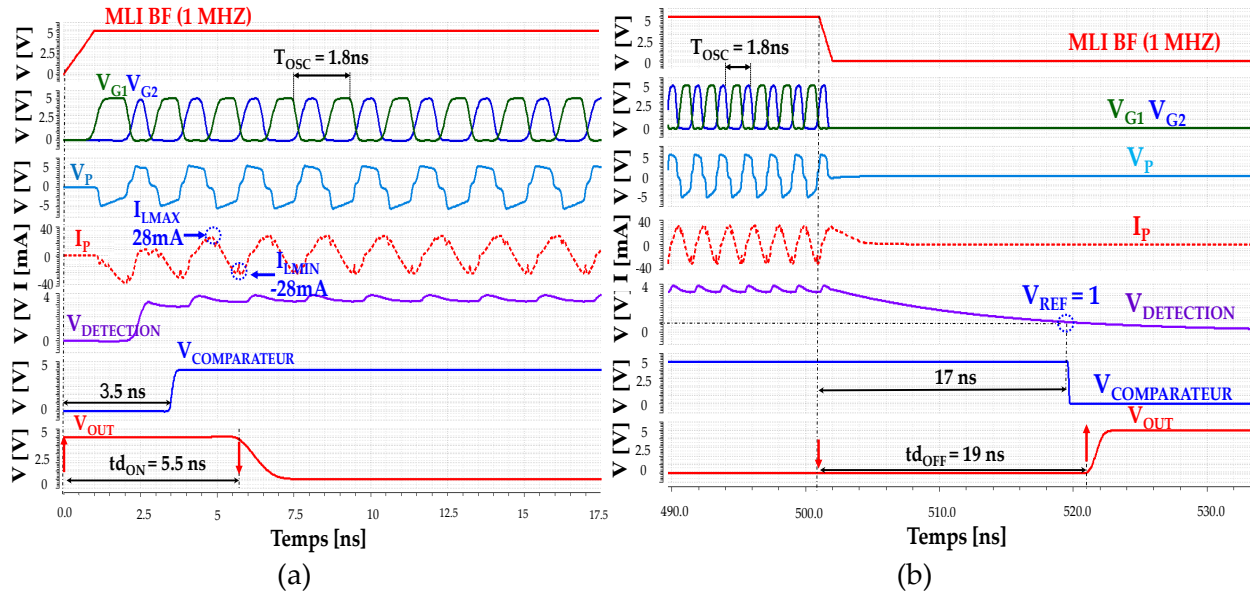


Figure III.-64. Simulation de la structure du driver SOI (a) pendant phase de montée et (b) de la descente de la commande MLI, $f_{\text{COMMUTATION}} = 1 \text{ MHz}$, $C_{\text{CHARGE}} = 1 \text{ nF}$.

En considérant les capacités parasites dans le modèle du transformateur intégré ainsi que les parasites des pistes du layout du circuit dans la simulation, on constate l'influence sur les formes d'ondes des signaux modulés V_{G1} , V_{G2} ainsi que sur la tension primaire V_P . Ceci peut s'expliquer par la réduction de la fréquence de coupure des étages de modulation intégré à cause des résistances et des capacités après l'extraction des parasites des pistes. Quoiqu'il en soit, ces perturbations n'influent pas de manière significative sur le rendement et le fonctionnement du driver ainsi aucun dysfonctionnement n'a été constaté lors de la simulation électrique. Nous observons aussi que les niveaux des pics de courant au primaire sont de l'ordre de 28mA ce qui est inférieur à la valeur du dimensionnement analytique de 39 mA (voir l'équation (III.16)) car les MOSFETs des bras du pont complet possédaient des valeurs importantes pour les résistances à l'état passant de 23 Ω et ne sont pas négligeables comme notre hypothèse.

Le Tableau III-20 montre les caractéristiques de simulation du driver. Le comportement expérimental du driver sera étudié après l'étape de fabrication afin de valider nos travaux de conception.

SIMULATION DES PARAMETRES DU DRIVER CMOS SOI XFAB 0.18 μm	
Configuration	High side / Low side
Courant de sortie (Source / Sink)	4.9A / 4.4A
Tension de sortie	5V
Tension d'alimentation	VDD1 (5V), VDD2 (5V)
Délais d'entrée	5.5 ns
Délais de sortie	19ns
T _{RISE} de V _{GS}	2ns (C _{CHARGE} = 1 nF)
T _{FALL} de V _{GS}	3ns (C _{CHARGE} = 1 nF)
Niveau d'isolation statique	Valeur typique : 400 V
Consommation d'énergie du driver	Primaire : 10.6mA (C _{CHARGE} = 1 nF, f _{COM} = 1MHz)
	Secondaire : 6.5mA (C _{CHARGE} = 1 nF, f _{COM} = 1MHz)

Tableau III-20. Paramètres de simulation du driver SOI

F. Elaboration du layout du driver SOI

• Layout des fonctions électriques au primaire et du secondaire

La Figure III.-65 présente le layout du circuit primaire et du circuit du secondaire du driver.

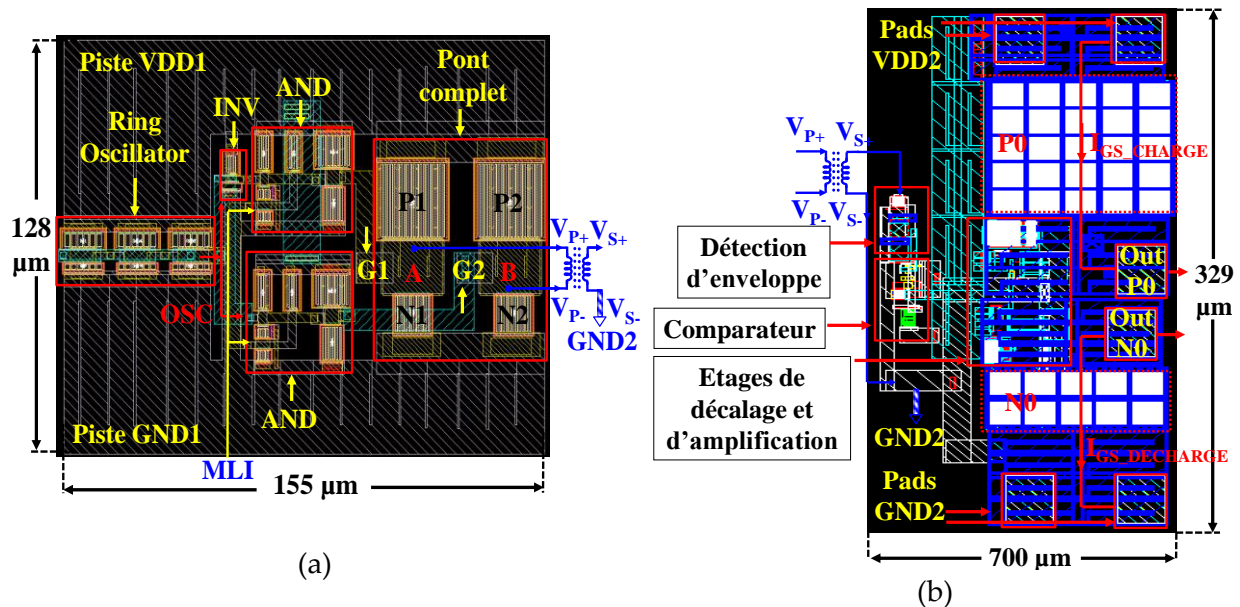


Figure III.-65. Layout du circuit au primaire (a) et du circuit au secondaire (b) du driver SOI

Le circuit primaire est composé de l'étage d'oscillation, du circuit de modulation intégré et des étages du pont complet. La taille de ce circuit est de 128 μm x 155 μm . Le circuit au secondaire est composé de l'étage de détection d'enveloppe, du comparateur et de l'étage de sortie. Pour ce layout, la connexion de l'alimentation VDD2 de 5V est composée de deux

pads en haut tandis que les deux pads de GND sont placés en bas. Les deux pads au milieu du bras de sortie P0-N0 permettent de faire transiter les courants de charge et de décharge entre la puce intégrée et le composant de puissance. La taille de ce circuit est de 329 μ m x 700 μ m.

- **Layout de la puce complète SOI**

Le layout final du driver SOI est présenté Figure III.-66. Il est composé du circuit électronique au primaire de la commande éloignée, du transformateur intégré T4 de diamètre 600 μ m pour l'isolation galvanique et du circuit électronique au secondaire pour la commande rapprochée du transistor de puissance. Nous avons ainsi rajouté des pads d'alimentation (VDD1 et GND1) pour le circuit au primaire et un autre pad de commande MLI basse fréquence. Six couches d'oxydes latéraux DTI (Deep Trench Isolation) ont également été rajoutés pour les circuits au primaire et au secondaire pour empêcher la circulation du courant de fuite dans la couche PTUB. La taille de ce circuit complet est de 840 μ m x 1670 μ m. Le fonctionnement de ce circuit en simulation post-layout est tout à fait conforme à la simulation électrique.

Figure III.-67 nous montre le layout de la deuxième puce SOI où toutes les fonctionnalités du driver ont été séparées. Cette puce est composée d'un bloc circuit au primaire, un bloc circuit de détection incluant le comparateur associé, un bloc transformateur intégré spécifique à deux enroulements pour la mesure de claquage et d'un bloc d'étage de sortie. De plus, un bloc avec le transformateur 600 μ m incluant des plots Ground-Signal-Signal-Ground (G-S-S-G) a été rajouté afin de réaliser la caractérisation en mode différentiel. La taille de cette deuxième puce SOI est de 885 μ m x 2150 μ m.

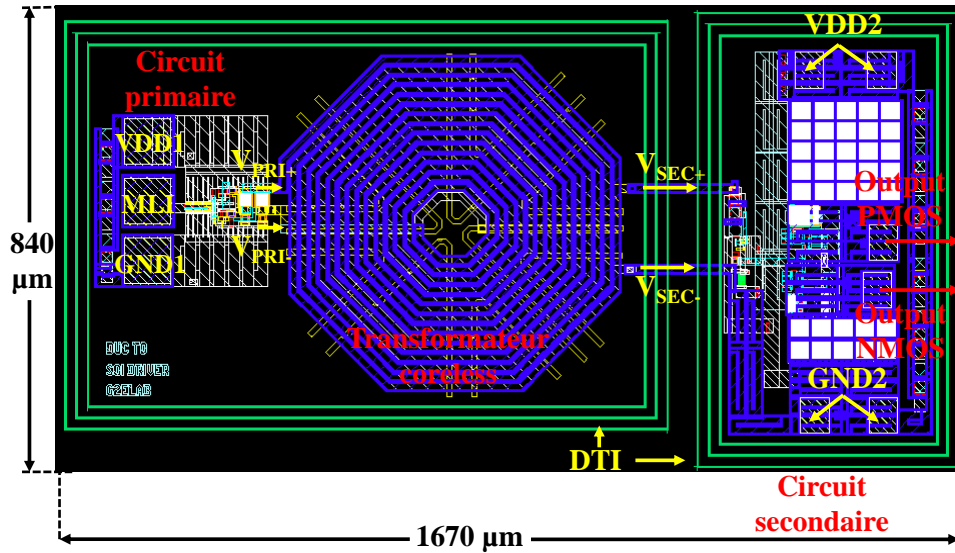


Figure III.-66. Layout complet du circuit du driver SOI

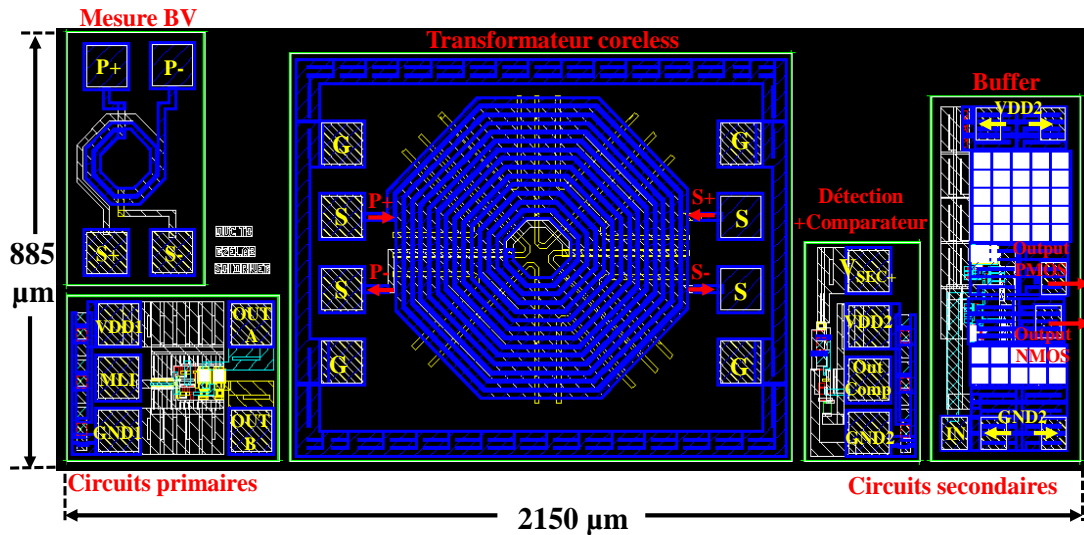


Figure III.-67. Layout de la deuxième puce SOI avec des fonctionnalités séparées, dans le but de caractériser séparément les fonctions élémentaires

G. Conclusion du driver SOI

Le dimensionnement et la conception d'un driver SOI « tout-intégré » a été réalisé, proposant une solution de puce compacte et générique. Ce driver SOI est capable de fonctionner entre -40 et 175°C avec un haut niveau d'isolation galvanique estimé de 5.2 kV, si le couplage par le substrat commun est supprimé. Cependant, nous avons une limitation d'isolation de 200 V du au couplage au substrat silicium commun pour cette conception du

driver SOI. Le circuit a été simulé après extraction des éléments parasites du routage et aucune perturbation due au routage n'a été observée. Le dessin des masques du circuit a été réalisé dans la technologie CMOS SOI XT018. Ces circuits ont été dimensionnés afin de piloter les transistors de puissance GaN avec les temps de commutation rapides entre 2 et 3 ns pour une capacité d'entrée de 1nF. La taille du driver complet est de 840 μ m x 1670 μ m. Cette conception est soumise à la fabrication dans les prochaines périodes. Les travaux de caractérisation seront ensuite mis en place afin de valider le fonctionnement de la puce.

III.4. Conclusion

Au sein de ce chapitre, nous avons présenté les démarches de dimensionnement et le layout de drivers CMOS bulk et CMOS SOI. La caractérisation de la cellule de commutation en technologie CMOS bulk a été réalisée et a validé la conception de ce driver dans un convertisseur Buck. Cette puce CMOS présente une conception compacte de taille 0.8 x 0.9 mm² avec un niveau d'isolation galvanique de 1.8 kV. Cependant, la technologie CMOS ne nous permet pas d'intégrer la commande éloignée au sein du driver et présente aussi certaines limitations sur la conception du transformateur au niveau de la tenue en tension de claquage et de l'évacuation des pertes de la puce. Malgré cela, les résultats sont encourageants et nous offrent des pistes pour la conception du circuit de commande pour la charge partielle mais aussi pour concevoir un circuit de commande « tout-intégré » en technologie SOI.

La partie III.2.3 de ce chapitre présente la conception couplée entre le driver segmenté en technologie CMOS 0.35 μ m et le composant de puissance segmenté par l'utilisation de MOSFET commerciaux IRF. Les résultats de simulation montrent des gains en rendement lorsque le courant de charge est réduit entre 0.2 A à 2A. Une amélioration de 3.9% du rendement à faible charge en utilisant une surface de rapport 1/16 de la taille du composant de puissance, pour une fréquence de commutation de 500 kHz a été obtenue. Ces résultats montrent donc des gains sur les performances par une interaction couplée entre commande et puissance pour des applications haute tension. Cependant, une erreur de conception sur la partie de configuration du driver segmenté a été détectée, provoquant la problématique de liaison automatique à la masse lors de la configuration des bras en parallèle. En conséquence,

il ne nous a pas été possible de valider expérimentalement cette conception et cette problématique doit être résolue dans la version prochaine du driver segmenté.

Finalement, un driver générique « tout-intégré » a été conçu en technologie CMOS SOI 0.18 μ m. Ce driver intégrant dans une seule puce les étages de commande éloignée, l'isolation galvanique et la commande rapprochée, présente de nombreux avantages en termes d'interconnexion et de CEM. Basé sur cette technologie de substrat isolé, le circuit de commande éloigné est ainsi intégré dans le driver. De plus cette technologie CMOS SOI nous permet de repousser la limitation sur la tension de claquage du transformateur intégré jusqu'à une valeur théorique de 5.2 kV et améliorer sa performance de transfert d'énergie. Les travaux de caractérisation seront ensuite mis en place après l'étape de fabrication afin de valider le fonctionnement de la puce SOI. Les perspectives de ce driver SOI sont multiples, à savoir d'une part l'assemblage 3D entre le driver et le composant de puissance et d'autre part les convertisseurs utilisant de nombreux transistors de puissance à potentiels flottants.

Conclusion générale et perspectives

- **Conclusion générale**

Les travaux de ce travail de thèse concernent différents aspects autour de la conception des circuits de pilotage pour transistors de puissance et plus particulièrement l'utilisation de transformateurs intégrés sans noyau magnétique, depuis la conception jusqu'aux problématiques des systèmes associés.

Dans cette démarche, une étude sur les solutions d'intégration et d'interconnexion entre la puce de commande et la puce de puissance a été réalisée, nous montrant les compromis en termes de complexité de conception, de performance, de contraintes technologiques, de volume et de coût pour les solutions existantes de l'état de l'art. Suite à l'état des lieux présenté, nos choix vers deux technologies CMOS 0.35 μm bulk et CMOS 0.18 μm SOI se sont posés dans le cadre de cette thèse.

Du point de vue de l'intégration monolithique du composant passif, nous avons démontré les démarches de la conception, de la modélisation et de la caractérisation du transformateur sans noyau magnétique à haute fréquence via une technologie CMOS 0.35 μm standard. Deux modèles fiables de transformateur intégré ont été établis. Les fréquences de modulation sont situées entre 520 MHz et 10.9 GHz selon les géométries. Cependant, la tenue en tension pour cette conception est limitée à 1.8 kV à cause de l'utilisation d'un seul niveau d'oxyde intermétallique entre la reprise du point milieu du secondaire et le point milieu du primaire. Cette limitation pourrait être améliorée dans la deuxième version de la puce de commande en technologie CMOS SOI via une modification du routage, afin d'utiliser plus de niveaux d'oxyde d'isolation au lieu d'un seul.

Du point de vue de la structure du circuit de commande intégré, nous avons présenté et validé la conception, le dimensionnement et la caractérisation d'une première puce de commande en technologie CMOS 0.35 μm bulk, intégrant l'ensemble du transformateur sans noyau avec plusieurs fonctions de pilotage de la commande rapprochée, présentant une solution du driver compact et fiable. Cependant, des points bloquants ont été montrés par cette conception, comme le problème de la réalisation de routage du circuit PCB et le système de refroidissement, ainsi que le manque d'un circuit de commande éloigné intégré au sein du driver. Basée sur les résultats de cette puce CMOS standard, une deuxième puce a été conçue

en technologie CMOS SOI 0.18 μm , afin d'envisager intégrer dans une seule puce les étages de commande éloignée, l'isolation galvanique et la commande rapprochée pour transistors de puissance. Ce driver présente de nombreux avantages en termes d'interconnexion, de surface de silicium, de consommation énergétique du driver et de CEM. Cette approche doit être transférée pour le pilotage de plusieurs semi-conducteurs de puissance à potentiels de référence flottants, notamment via une intégration 3D entre le circuit de commande et le composant de puissance.

L'aspect du système du convertisseur a été également étudié dans une démarche de conception couplée entre la partie de puissance et la partie de commande dans le but d'améliorer la performance de conversion d'énergie à faible charge. L'avantage de cette conception de segmentation du convertisseur sur sa performance à faible charge a été analysé et démontré par la simulation électrique. Les résultats de simulation électrique sous le logiciel Cadence nous montrent une amélioration maximale de 3.9 % du rendement à faible charge en utilisant une surface de rapport 1/16 de la taille du composant de puissance, sous une commutation à 500 kHz. Ainsi, nous pouvons évidemment obtenir plus de gain en rendement si la fréquence de commutation venait à augmenter (de l'ordre de quelques MHz), si l'on se réfère à nos analyses des gains énergétiques. Cependant, une modification de conception du driver CMOS pour la charge partielle est nécessaire afin d'éviter le phénomène de liaison automatique à la masse de cette version. Ainsi, l'optimisation du système de refroidissement et de la réalisation du circuit imprimé est requise pour pouvoir fonctionner à haute fréquence de découpage (quelques MHz) afin de valider notre conception couplée entre commande/ puissance à faible charge.

Du point de vue de la structure du driver, les points bloquants sont la réalisation et l'intégration du système de protection, de contrôle, de communication en bidirectionnel à travers le transformateur intégré ainsi que l'alimentation flottante au sein du driver.

- **Perspectives**

Les perspectives offertes par ces travaux de thèse sont multiples, à court terme et aussi à long terme.

- **Les travaux à courte terme**

Les travaux à court terme sont :

- La validation expérimentale driver CMOS SOI pour le pilotage des composants GaN à haute fréquence afin de valider notre conception de ce circuit de commande. Ainsi, une caractérisation du driver à haute température est nécessaire afin de tester la performance du circuit sur l'intervalle de température de cette technologie, allant de -40 à 175°C et au-delà.

- La caractérisation du transformateur T4 de 600 μm , intégré au sein du driver SOI afin de valider ses modèles électriques 2D et électromagnétique 3D dans cette nouvelle technologie sur substrat isolé. Par ailleurs, il serait intéressant de travailler sur la tenue en tension de la technologie SOI utilisée afin de repousser la limitation à 200V que nous avons mis en évidence. Une piste pourrait-être la gravure du substrat sous ou partiellement sous le transformateur. Viendrait ensuite la mesure de la tenue en tension du transformateur afin de montrer l'avantage de l'utilisation de la technologie SOI et valider notre optimisation de conception du transformateur intégré par rapport à l'utilisation d'une technologie CMOS standard.

- L'utilisation de drivers SOI pour commander des structures de convertisseur basées sur des bras multiples comme par exemple un convertisseur entrelacé ou un convertisseur triphasé présenté Figure IV.-1.

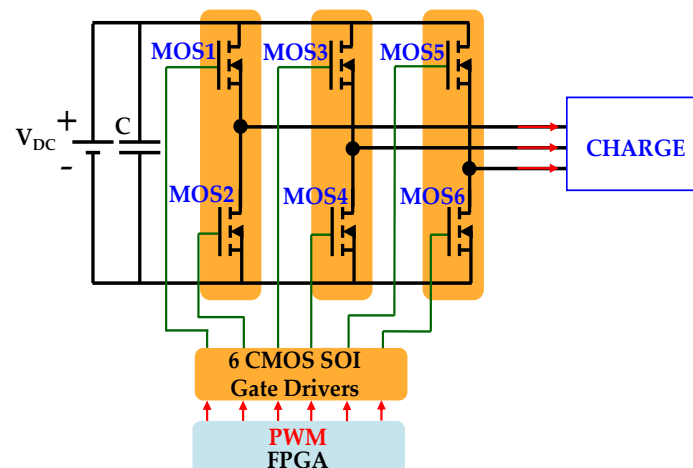


Figure IV.-1. Pilotage un convertisseur entrelacé DC/DC ou triphasé DC/AC piloté par des drivers SOI

Se posera ici la question de l'utilisation de driver pour un interrupteur (fonction interrupteur générique) ou pour un bras (bras générique). Dans le premier, il sera important

de prendre en compte dans la conception la question de la gestion des temps morts entre les commandes des interrupteurs d'un même bras.

▪ **Les travaux à long terme**

Les travaux à long terme pourront être poursuivis dans un objectif de packaging 3D du convertisseur de puissance ainsi que dans la possibilité d'avoir un système de commande plus intelligent.

Du point de vue de la technique du packaging, ces travaux effectués au cours de cette thèse sont un premier pas vers cet assemblage en 3D en l'électronique de puissance. Pour la suite, nous pouvons imaginer les trois solutions d'assemblage entre le circuit de commande intégré et la partie de puissance présentées Figure IV.-2. La Figure IV.-2-a montre un exemple d'une conception couplée possible. Le driver SOI est reporté en flip-chip sur la puce de puissance. Les alimentations ainsi que l'ordre de commutation sont connectées par des pads isolés sur la surface du composant de puissance verticale. L'ordre de commutation est ensuite envoyé à travers le driver jusqu'à la grille et à la source du transistor de puissance afin de piloter ce dernier composant.

Nous pouvons ainsi augmenter la fiabilité du système de packaging de la première solution grâce à des connexions TSV (through-silicon-via) comme présenté Figure IV.-2-b. Une version alternative de la première solution de packaging est présentée dans la Figure Figure IV.-2-c. En effet, la tenue de tension du transformateur intégré au sein du driver CMOS est limitée par l'épaisseur de la couche d'oxyde de silicium présente entre les enroulements. Cette tenue en tension est donc fortement dépendante de la technologie employée. Pour pouvoir s'affranchir de cette contrainte et augmenter le niveau d'isolation électrique, nous pouvons imaginer la solution où le primaire du transformateur est intégré au sein de la puce de puissance tandis que le secondaire est intégré au sein de la puce de commande. En conséquence, nous pouvons rajouter une couche diélectrique de rigidité plus élevée que la couche d'oxyde de silicium ($1\text{kV}/\mu\text{m}$) comme le diamant ($2\text{kV}/\mu\text{m}$) mais aussi augmenter l'épaisseur de cette couche entre les deux enroulements afin d'avoir une tension de claquage plus élevée.

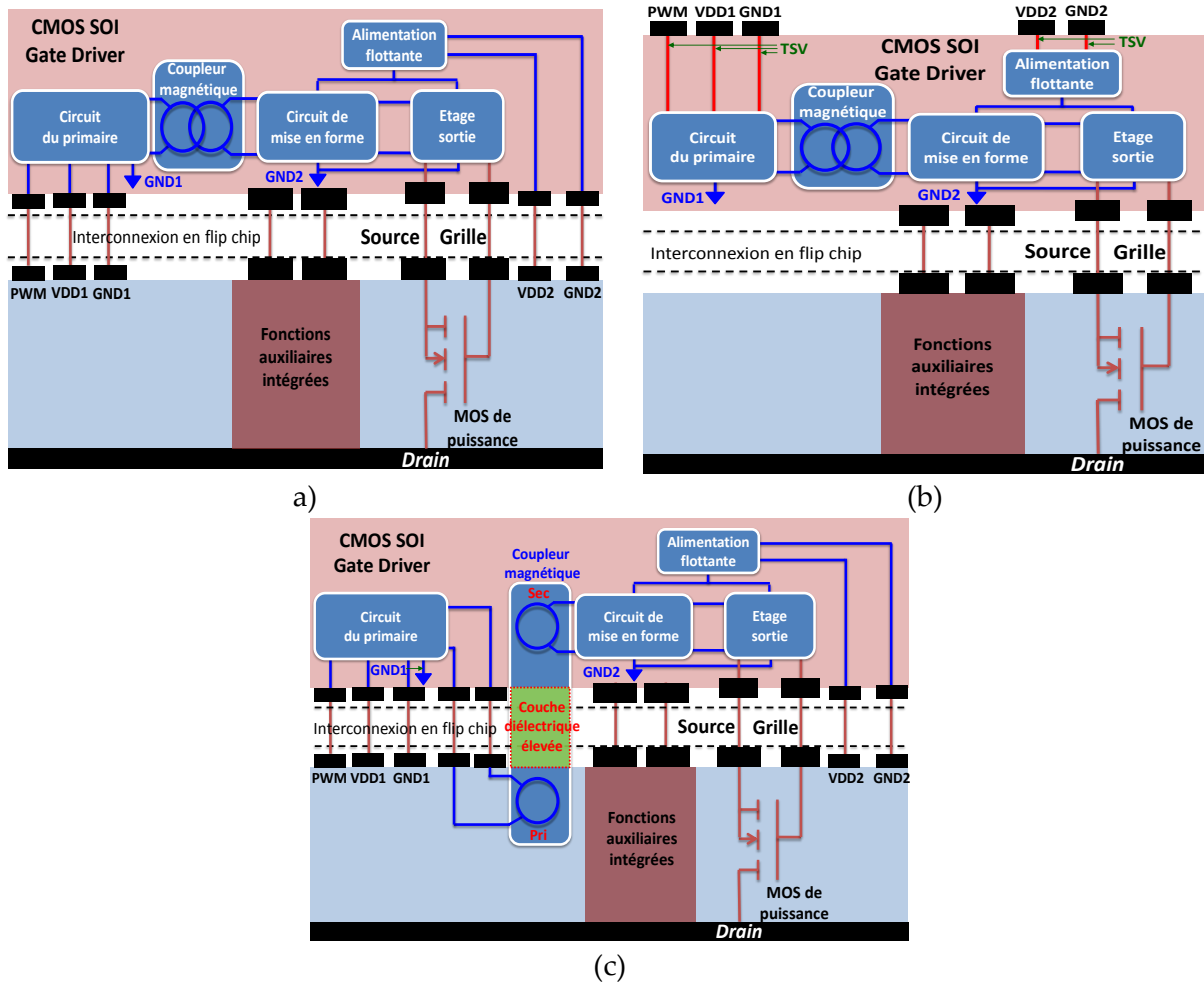


Figure IV.-2. Solutions pour l'assemblage 3D flip chip entre le driver intégré et le transistor de puissance (a) avec les pads supplémentaires (b) avec les connexions de TSV (c) avec le transformateur sans noyau intégré partiel sur la puce de commande et la puce de puissance

Enfin, du point de vue du système de commande, nous avons la possibilité de réaliser une puce de commande « intelligente » par l'intégration des circuits numériques au sein du driver. Ces circuits formant les cœurs numériques du driver sont capables d'envoyer des informations complexes bidirectionnelles à travers le transformateur sans noyau comme des signaux de configuration pour les bras du convertisseur segmenté à faible charge ainsi que des signaux de protection du convertisseur. Ceci peut être réalisé en utilisant une modulation numérique du signal de commande en apportant des informations par des variations d'amplitudes/ fréquences/ rapport cyclique.

Références bibliographiques

- [Ads] http://en.wikipedia.org/wiki/Advanced_Design_System
- [Ams] <http://www.ams.com/>
- [Analog] www.analog.com
- [Ansys] <http://www.ansys.com>
- [Ansys02] "Getting start with HFSS : A silicon spiral inductor", *Application Note by Ansoft*, Septembre, 2010.
- [ATA6832] www.atmel.com/Images/doc9120.pdf
- [Avago] Avago. Hcpl-665k. [Online]. Available: http://www.avagotech.com/pages/en/optocouplers_hermetic/10_mbd_high_cmr_four_channel/hcpl-665k/
- [Ayad 10] Ayad Ghannam, " Conception et intégration "above IC" d'inductances à fort coefficient de surtension pour applications de puissance RF.", *Ph.D. dissertation*, Université de Toulouse, Novembre 2010.
- [Balog 01] Laszlo Balogh, "Design And Application Guide For High Speed MOSFET Gate Drive Circuits." *Application Note*, Texas Instruments.
- [Berg 14] D. Bergogne, C. Martin, B. Allard, K. E. Falahi, G. Picun, H. Ezzeddine, C. Pintout, "High Temperature Discrete Integrated Coreless Signal Insulator," in *Proc. of International Conference on Integrated Power Systems (CIPS)*, 2014, pp. 1-4, 25-27 Feb. 2014.
- [Binh 08] D. B. Nguyen, "Intégration fonctionnelle autour des composants quatre quadrants avec l'application à la conversion AC/AC," *Thèse*, INPG, 2008.
- [Biondi 06] T. Biondi, A. Scuderi, E. Ragonese, and G. Palmisano, "Analysis and modeling of layout scaling in silicon integrated stacked transformers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 5, pp. 2203–2210, 2006.
- [Breh 06] S. Brehaut and F. Costa, "Gate driving of high power IGBT by wireless transmission," in *Proc. of IEEE International Power Electronics and Motion Control Conference*, 2006, pp. 1–5, 2006.
- [Capy 09] F. Capy, J.-P. Laur, M. Breil, F. Richardeau, M. Brunet, E. Imbernon, A. Bourennane, C. Caramel, P. Austin, J.-L. Sanchez, "New self-controlled and self-protected IGBT based integrated switch," in *Proc. of IEEE International Symposium on Power Semiconductor Devices & IC's*, 2009, pp. 243-246, June 2009.
- [Chang 04] C.-A. Chang, S.-P. Tseng, J.-Y. Chuang, S.-S. Jiang and J.-A. Yeh, "Characterization of spiral inductors with patterned floating structures," *IEEE Trans. Microwave Theory Tech*, vol. 52, no. 5, pp. 1375–1381, May. 2004.
- [Chen 08] B. Chen, "Fully integrated isolated dc-dc converter using micro-transformers," in *Proc. of IEEE Applied Power Electronics Conference and Exposition*, 2008, pp. 335-338, 2008.
- [Chen 06] Z. Cheng, D. Boroyevich, R. Burgos, "Experimental Parametric Study of the Parasitic Inductance Influence on MOSFET Switching Characteristics", in *Proc. of IEEE International Power Electronics Conference*, 2010, pp. 164-169, 2010.
- [Cheung 06] T. S. D. Cheung and J. R. Long, "Shielded passive devices for silicon-based monolithic microwave and millimeter-wave integrated circuits," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 5, pp. 1183–1200, 2006.
- [Cheung2 06] T. K. D. Cheung and J. R. Long, "Design and modeling of mm-wave monolithic transformers," in *Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2006, pp. 1–4.
- [Cmp] <http://cmp.imag.fr/>

- [Costa 01] F. Costa, G. Rojat, "CEM en électronique de puissance - Sources de perturbations, couplages, SEM." *Techniques de l'ingénieur Outils d'analyse en électronique de puissance et métrologie*, août 1999
- [Crebier 10] J.-C. Crebier, M. H. Tran, J. Barbaroux, and P.-O. Jeannin, "Implementation and operational investigations of bipolar drivers," in *Proc. of Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE, 2010*, pp. 248–255.
- [Crebier 06] J.-C. Crebier, « Intégration monolithique et composants de puissance », *L'habilitation à diriger des recherches*, INPG, 2006
- [Deleage 10] O. Deleage, "Conception, réalisation et mise en œuvre d'un micro convertisseur intégré pour la conversion DC/DC," *Thèse*, Université Joseph Fourier, 2010.
- [FAN] <https://www.fairchildsemi.com/>
- [Foman 10] A. A. Fomani, "An Integrated Segmented Driver with Adjustable Driving Capability for Efficiency Optimization". *Master Thesis, University of Toronto*, 2010
- [EPC] <http://epc-co.com/epc>
- [GaNSys] www.gansystems.com
- [Gharnity 06] O. El-Gharniti, "Conception, modélisation et caractérisation des transformateurs intégrés sur silicium. application aux amplificateurs faible bruit," *Ph.D. dissertation*, Université Bordeaux 1, 2006.
- [Gharnity 07] O. El-Gharniti, E. Kerherve and J.-B. Begueret, "Modeling and Characterization of On-Chip Transformers for Silicon RFIC," *IEEE Trans. Microwave Theory Tech.*, vol. 55, no. 4, pp. 607–615, April. 2007.
- [Goto 08] Y. Goto, Y. Natsukari, M. Fujishima, "New On-Chip De-Embedding for Accurate Evaluation of Symmetric Devices," *Japanese Journal of Applied Physics*, Vol. 47, No. 4, 2008, pp. 2812–2816.
- [Haitao 06] Haitao Gan, "On chip transformer modeling, characterization, and applications in power and low noise amplifiers.", *Ph.D. dissertation*, STANFORD UNIVERSITY, March 2006.
- [Hanyu 10] L. Hanyu et M. Longhua, « Construction of integrated smart power system for future ship », in *Proc. of 2010 International Conference on Power System Technology (POWERCON)*, 2010, p. 1 - 6.
- [Hemme 09] R. Hemmer, "Intelligent IGBT drivers with exceptional driving and protection features," in *Proc. of the 13th European Conf. on Power Electronics and Application (EPE)*, Barcelona, Spain, Sep. 2009.
- [Herze 10] R. Herzer, "Integrated driver circuit solutions," in *IEEE Integrated Power Electronics Systems (CIPS), 2010, 6th International Conference*, 2010.
- [Hp95] S-parameter techniques, HP Application Note 95-1
- [Hoa 11] X.H. Nguyen, "Méthodes et Modèles pour une Approche de Dimensionnement Géométrique et Technologique d'un Semi-conducteur de Puissance Intégré. Application à la conception d'un MOSFET autonome," *Thèse*, INPG, 2011.
- [Hsieh 12] A.P.-S. Hsieh, F. Udrea, L. Wei-Chieh, "700V Smart Trench IGBT with monolithic over-voltage and over-current protecting functions," in *Proc. of 24th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2012, pp. 61-64, 2012
- [Hui 00] S.Y.R. Hui, S. C. Tang, H.S.-H. Chung, "Coreless planar printed-circuit-board (PCB) transformers-a fundamental concept for signal and energy transfer," *IEEE Transactions on Power Electronics*, pp. 931–941, Sep 2000.

- [Hui 01] S. C. Tang, S. Y. Hui, and Henry Shu-Hung Chung, "A low-profile low-power converter with coreless PCB isolation transformer," *IEEE Transactions on Power Electronics*, pp. 311–315, May 2001.
- [Idir 06] N. Idir, R. Bausiere, and J. J. Franchaud, "Active gate voltage control of turn-on di/dt and turn-off dv/dt in insulated gate transistors" *IEEE Trans. Power Electron.*, vol. 21, no. 4, pp. 849–855, Jul. 2006.
- [Infineon 13] "Cool MOS C7 650 V Switch in a Kelvin Source Configuration", *Application Note AN 2013-05*, May 2013.
- [IRF] www.irf.com
- [Ishii 98] K. Ishii, H. Matsumoto, M. Takeda, A. Kawakami, T. Yamada, "A high voltage intelligent power module (HVIPM) with a high performance driver," *Proceedings of IEEE International Symposium on Power Semiconductor Devices and ICs*, 1998, pp. 289-292, 1998.
- [Kolar 12] J.W. Kolar, F. Krismer, Y. Lobsiger, J. Muhlethaler, T. Nussbaumer, J. Minibock, "Extreme efficiency power electronics," in *Proc. Of International Conference on Integrated Power Electronics Systems (CIPS)*, 2012 7th, pp. 1-22, March 2012
- [Kaeriyama 12] S. Kaeriyama, S. Uchida, M. Furumiya, M. Okada, Ma. Tadashi, M. Mizuno, "A 2.5 kV Isolation 35 kV/us CMR 250 Mbps Digital Isolator in Standard CMOS With a Small Transformer Driving Technique," *IEEE Journal of Solid-State Circuits*, pp. 435–443, Feb 2012
- [Koolen 91] M. C. A. M. Koolen, J. A. M. Geelen and M. P. J. G. Versleijen, "An improved de-embedding technique for on-wafer high-frequency characterization," in *Proc IEEE Bipolar Circuits Technol. Meeting*, pp.188–191, 1991.
- [Kang 10] K. Kang, J. Brinkhoff, J. Shi and F. Lin, "On-Chip Coupled Transmission Line Modeling for Millimeter-Wave Applications Using Four-Port Measurements," *IEEE Trans. Advanced Packaging*, vol. 33, no. 1, pp. 153–159, Feb. 2010.
- [Kenne 12] B. Kennedy, "Implementing an isolated half-bridge driver," *Analog Devices, Tech. Rep.*, 2012
- [Khadi 14] A.El. Khadiry, «Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs "bi-puce" et "mono-puce" pour convertisseurs de puissance compacts», *Thèse*, Université de Toulouse, 2014.
- [Khali 12] Khalil F.El, "Contribution à la conception de driver en technologie CMOS SOI pour la commande de transistors JFET SiC pour un environnement de haute température", *Thèse*, INSA de Lyon, 2012
- [Lan 11] L. Dang, H. Kuhn, and A. Mertens, "Digital adaptive driving strategies for high-voltage IGBTs" in *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2011, pp. 2993–2999
- [LANEF] <http://www.grenoble-lanef.fr/>
- [Larde 96] M. Lardellier, "Contribution à l'étude des perturbations électromagnétiques générés par des convertisseurs à liaison directes" *Thèse*, INSA Lyon, 1996.
- [Lefeb 01] S. Lefebvre and B. Multon, "Commande des semi-conducteurs de puissance : principes. *Techniques de l'ingénieur*
- [Lefra 05] P. Lefranc, "Etude, conception et réalisation de circuits de commande d'IGBT de forte puissance," *Thèse*, INSA Lyon, 2005.
- [Lehman 11] J. Lehmann, G. Katzenberger, G. Konigsmann, M. Rosberg, R. Herzer, "IGBT driver chip set with advanced digital signal processing," in *Proc. of IEEE International Symposium on Power Semiconductor Devices and ICs*, pp. 196-199, 2011

- [Leite 09] B. Leite, E. Kerherve, J.-B. Begueret and D. Belot, "Transformer topologies for mmW integrated circuits," in *Proc. IEEE Microwave Conf.*, 2009, pp. 181–184.
- [Leite 09-02] B. Leite, E. Kerhervé, J.-B. Bégueret, D. Belot, "Shielding Structures for Millimeter-Wave Integrated Transformers," in *Proc. IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, 2009, pp. 239-242.
- [Leite 09-03] B. Leite, E. Kerhervé, J.-B. Bégueret, D. Belot, "Design and Characterization of CMOS Millimeter-Wave Transformers," in *SBMO/IEEE International Microwave & Optoelectronics Conference (IMOC)*, 2009, pp. 402 – 406.
- [Leite 12] B. Leite, E. Kerherve, J.-B. Begueret and D. Belot, "An Analytical Broadband Model for Millimeter-Wave Transformers in Silicon Technologies," *IEEE Trans. Electron Devices*, vol. 59, no. 3, pp. 582–589, Mar. 2012.
- [Liang 06] H.-B. Liang, Y.-S. Lin, C.-C. Chen, and J.-H. Lee, "Optimization of PGS pattern of transformers/inductors in standard RF BiCMOS technology for RFIC applications," in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, 2006.
- [Linh 09] Linh N.T, "Caractérisation et modélisation d'interconnexions et d'inductances en technologie BiCMOS. Application à l'amplification faible bruit.", *Ph.D. dissertation*, Université de Cergy-Pontoise, Mai 2009.
- [Long 15] Long .L.T, "Isolation galvanique intégré pour nouveaux transistors de puissance," Thèse, Université Joseph Fourier, 2015.
- [Long 95] J.-R. Long and M.-A. Copeland, "Modeling of monolithic inductors and transformers for silicon RFIC design," in *Proc. IEEE MTT-S Int. Microwave Symp. Dig.*, 1995, pp. 129–134.
- [Lobsi 14] Y. Lobsiger and J. W. Kolar, "Closed-Loop di/dt and dv/dt IGBT Gate Drive" *IEEE Transactions on Power Electronics*, 2014.
- [Lobsi 12] Y. Lobsiger and J. W. Kolar, "Closed-loop IGBT gate drive featuring highly dynamic di/dt and dv/dt control" in *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, Raleigh, NC, USA, Sep. 2012, pp. 4754—4751.
- [Lorentz 10] V. R. H. Lorentz, S. E. Berberich, M. März, A. J. Bauer, H. Ryssel, P. Poure, F. Braun, "Light-load efficiency increase in high-frequency integrated DC–DC converters by parallel dynamic width controlling," *Analog Integr Circ Sig Process* (2010), pp. 1–8.
- [Man 03] R. Manzo, G. Bustto, L. Fratelli, G. Giannini, R. Nisci et Cabbate, «Optimization of High-Voltage IGBT Modules Turn-on on Inductive Load», dans, *Proceedings of the 2003 European Power Electronics Conference*, [EPE03], p. non paginé.
- [Mitova 05] R. Mitova, « Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant », Thèse, INPG, 2005.
- [Mohan 98] S.-S. Mohan, C.-P. Yue, M.-M. Hershenson, S.-S. Wong and T.-H. Lee, "Modeling and characterization of on-chip transformers," in *Proc. IEEE Int. Electron Devices Meeting*, 1998, pp. 531–534
- [Mohan 99] S. S. Mohan, "The design, modeling and optimization of on-chip inductor and transformer circuits," *Ph.D. dissertation*, Université de Stanford, Décembre 1999.
- [Munze 03] M. Munzer, W. Ademmer, B. Strzalkowski, and K. T. Kaschani, "Insulated signal transfer in a half bridge driver IC based on coreless transformer technology," in *Power Electronics and Drive Systems*, 2003. *The Fifth International Conference on*, 2003, pp. 93–96.
- [Musun 05] S. Musunuri, P.L. Chapman, "Optimization of CMOS Transistors for Low Power DC-DC Converters," in *Proc. of IEEE Power Electronics Specialists Conference*, 2005. pp. 2151-2157, June 2005

- [Nagai 14] Nagai S. Nagai, Y. Kawai, O. Tabata, H. Fujiwara, Y. Yamada, N. Otsuka, D. Ueda, N. Negoro, M. Ishida, "A Drive-by-Microwave isolated driver with a high-speed voltage monitoring," in *Proc. of IEEE International Symposium on Power Semiconductor Devices and ICs*, pp. 434-437, 15-19 June 2014.
- [Nagai 12] S. Nagai, T. Fukuda, N. Otsuka, D. Ueda, N. Negoro, H. Sakai, T. Ueda, T, "A One-chip Isolated Driver with an Electromagnetic Resonant Coupler Using a SPDT Switch," in *Proc. of IEEE International Symposium on Power Semiconductor Devices and ICs*, pp. 73-76, 2012.
- [NCP5106] <http://www.onsemi.com/PowerSolutions/product.do?id=NCP5106>
- [Ng 02] K. T. Ng, B. Rejaei, and J. N. Burghartz, "Substrate effects in monolithic RF transformers on silicon," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 1, pp. 377-383, 2002.
- [Nico 08] N. Rouger, "Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale," *Thèse*, INPG, 2008.
- [Nor 12] K. Norling, C. Lindholm, D. Draxelmayr, "An Optimized Driver for SiC JFET-Based Switches Enabling Converter Operation With More Than 99% Efficiency," in *IEEE Journal of Solid-State Circuits*, pp. 3095-3104, Dec. 2012
- [Peng 13] L. Peng, R. Wu, X. Fang, Y. Toyoda, M. Akahane, M. Yamaji, H. Sumida,; J.K.O. Sin, "A novel 3D TSV transformer technology for digital isolator driver applications," *International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2013 25th. pp. 26-30 May 2013
- [Power 11] "1200V SiC MOSFET Poised to Replace Si MOSFETs and IGBTs", *Power Electronics Technology Magazine*, February 2011.
- [Prodic 03] A. Prodic, D. Maksimovic, R.W. Erickson, "Digital controller chip set for isolated DC power supplies," in *Proc. of IEEE Applied Power Electronics Conference and Exposition*, 2003, pp. 866-872, Feb. 2003
- [Onda 13] K. Onda, A. Konno, J. Sakano, "New concept high-voltage IGBT driver with self-adjusting active gate control function for SiC-SBD hybrid module," in *Proc. of IEEE International Symposium on Power Semiconductor Devices and ICs*, pp. 343-346, 2013
- [Ono 05] Y. Onozawa, M. Otsuki, Y. Seki, "Great improvement in turn-on power dissipation of IGBTs with an extra gate charging function," in *Proceedings ISPSD*, 2005, pp. 207-210, 2005
- [Ourak 12] L. Ourak, A. Ghannam, D. Bourrier, and C. Viallon, "Solenoidal transformers for magnetic materials integration," in *APMC*, 2012.
- [Raha 14] R. Vafaei, "Design, Fabrication And Characterization Of A VMOS Monolithic Integrated Optical Detector", *Thèse*, INPG, 2014.
- [Rossbe 07] M. Rossberg, B. Vogler, R. Herzer, "600V SOI Driver IC with advanced level shifter concepts for medium and high power applications," in *Proc. of European Conference on Power Electronics and Applications*, 2007 , pp. 1-8, Sept. 2007
- [Sasaki 13] M. Sasaki, H. Nishio, A. Shorten, W.T. Ng, "Current balancing control for parallel connected IGBTs using programmable driver output resistance," in *Proc. of IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2013, pp. 65-68, 2013
- [Shorten 11] A. Shorten, A.A. Fomani, W.T. Ng, H. Nishio, Y. Takahashi, "Reduction of conducted electromagnetic interference in SMPS using programmable gate driving strength," in *Proc. of International Symposium on Power Semiconductor Devices and ICs*, pp. 364-367, 2011

- [Shorten 13] A. Shorten, W.T. Ng, M. Sasaki, T. Kawashima, H. Nishio, "A segmented driver IC for the reduction of IGBT collector current over-shoot at turn-on," in *Proc. of IEEE International Symposium on Power Semiconductor Devices and ICs*, pp. 73-76, 2013
- [SOI XT18] <http://www.xfab.com/technology/soi/018-um-xt018/>
- [Song 01] J. Song, F. Ling, G. Flynn, W. Blood and E. Demircan, "A de-embedding technique for interconnects," in *Proc. IEEE Electr. Perform. Electron. Packag. Conf.*, 2001, pp. 129-132.
- [S parameter] http://fr.wikipedia.org/wiki/Param%C3%A8tres_S
- [Stella 14] C.G. Stella, M. Laudani, A. Gaito, M. Nania, "Advantage of the use of an added driver source lead in discrete Power MOSFETs," in *Proceedings IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2014, pp. 2574-2581, March 2014
- [Tai 07] C. M. Tai, C. N. Liao, "A physical model of solenoid inductors on silicon substrates", *IEEE Trans. Microwave Theory Tech*, vol. 55, no. 12, pp. 2579-2585, Dec. 2007.
- [Teulin 96] W. Teulings, J.L. Schanen, J. Roudet, "MOSFET switching behaviour under influence of PCB stray inductance," in *Proc. of IEEE Industry Applications Conference*, 1996, pp.1449-1453, Oct 1996
- [Tim 10] T. Simonot, N. Rouger and J.-C. Crebier, "Design and characterization of an integrated CMOS driver for vertical power MOSFETs," in *Proc. IEEE ECCE*, 2010, pp. 2206-2213.
- [Tim 11] T. Simonot, "Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale," *Thèse*, INPG, 2011.
- [Tim 11-01] T. Simonot, N. Rouger, J.C. Crébier, V. Gaude, I. Pheng, "A novel Power System in Package with 3D chip on chip interconnections of the power transistor and its gate driver", in *IEEE ISPSD*, May 2011, San Diego, United States
- [Van 11] T.V. Nguyen, P. Jeannin, J.-C. Crebier, J.-L. Schanen, "A new compact, isolated and integrated driver using high frequency transformer for interleaved Boost converter," in *IEEE ECCE*, 2011, pp. 1889-1896, 2011.
- [Van 12] T.V. Nguyen, "Circuit générique de commande rapprochées pour l'électronique de puissance," *Thèse*, INPG, 2012.
- [Viper] www.st.com/Viper
- [Volke 11] A. Volke and M. Hornkamp, "IGBT Modules - Technologies, Driver and Application", 1st ed. *Infineon Technologies AG*, Munich, 2011.
- [Wang 07] N. Wang, T. O'Donnell, S. Roy, S. Kulkarni, P. McCloskey, C. O'Mathuna, "Thin film microtransformer integrated on silicon for signal isolation," *IEEE Trans. Magn.*, vol. 43, no. 6, pp. 2719-2721
- [Will 95] R.K. Williams, R. Blattner, B.E. Mohandes, "Optimization of complementary power DMOSFETs for low-voltage high-frequency DC-DC conversion," in *Proc. of IEEE Applied Power Electronics Conference and Exposition*, 1995, pp.765-772, 5-9 Mar 1995
- [Will 97] R.K. Williams, W. Grabowski, A. Cowell, M. Darwish, J. Berwick, "The dual-gate W-switched power MOSFET: a new concept for improving light load efficiency in DC/DC converters," in *Proc. of IEEE International Symposium on Power Semiconductor Devices and ICs*, pp. 193-196, May 1997
- [Wu 11] R. Wu, J.K.O.Sin, S.Y. Hui, "A novel silicon-embedded coreless transformer for isolated DC-DC converter application, *IEEE 23rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2011, pp 23-26 May 2011.
- [Xfab] <http://www.xfab.com/home/>

- [Xiao 04] Y. Xiao, H. Shah, T.P. Chow, R.J. Gutmann, "Analytical Modeling and Experimental Evaluation of Interconnect Parasitic Inductance on MOSFET Switching Characteristics", *IEEE Applied Power Electronics Conference and Exposition, 2004*, pp. 516-521
- [Xu 08] C.Xue, F. Yao, B. Cheng, Q. Wang, "Effect of the silicon substrate structure on chip spiral inductor", *Journal of Frontiers of Electrical and Electronic Engineering in China*, pp. 110-115, 2008.
- [Yim 02] S.-M. Yim, T. Chen, and K. K. O, "The effects of a ground shield on the characteristics and performance of spiral inductors," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 2, pp. 237-244, 2002.
- [Yue 98] C. P. Yue and S. S. Wong, "On-chip spiral inductors with patterned ground shields for SI-based RF ICs," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 5, pp. 743-752, May 1998.

Annexes

Annexe A : Etude sur la variation de la forme et de l'utilisation de bouclier flottant de substrat silicium du transformateur intégré

- Variation de la forme de l'enroulement

Pour pouvoir étudier l'influence de la variation de la forme sur la performance du transformateur, nous avons comparé avec le logiciel HFSS deux transformateurs empilés d'une seule spire ayant un rayon r de $50\ \mu\text{m}$ et une largeur de piste w de $10\ \mu\text{m}$ mais avec des formes différentes. La Figure A.-1 nous montre les résultats de simulation pour la distribution de la densité de courant sur la surface du primaire. Nous observons que la densité de courant présente une très faible distribution dans les coins de l'inductance carrée tandis que l'inductance octogonale peut annuler ce phénomène et faciliter la conduction du courant.

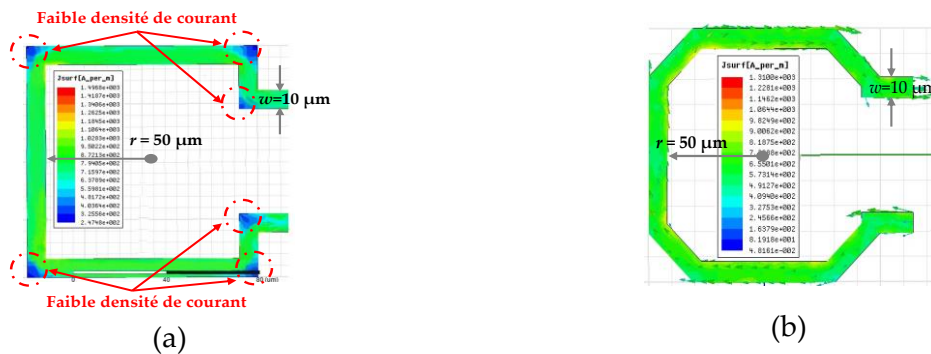


Figure A.-1. Résultats de simulation pour la densité de courant sur la surface du primaire du transformateur ayant la forme carré (a) ou la forme octogonale (b)

Nous avons ainsi extrait les valeurs de l'enroulement du primaire et du secondaire L_p , L_s , les facteurs de qualité des selfs Q_p , Q_s et les paramètres de couplages M , k . La Figure A.-2 montre que les valeurs des inductances des enroulements du transformateur carré sont plus élevées que celles du transformateur octogonal. Cet effet est dû à la longueur physique totale d'un bobinage carré qui est supérieure à celle de la forme octogonale. Par conséquent, l'inductance carrée a une valeur de l'inductance plus grande.

D'ailleurs, la performance des éléments passifs comme les capacités ou les inductances, est souvent évaluée par le facteur de qualité Q [Long 95]. Ce facteur est défini par le rapport de l'énergie électromagnétique moyenne totale (en Joule) sur la puissance perdue (en Watt)

sur une période d'excitation sinusoïdale. Pour l'inductance, cette définition peut s'exprimer par l'utilisation de son impédance z :

$$Q = \omega \cdot \frac{\text{énergie EM moyenne totale (J)}}{\text{puissance perdue (W)}} = \frac{\text{Im}(z)}{\text{Re}(z)} \quad (\text{A.1})$$

La Figure A.-2-b nous montre que c'est le transformateur octogonal qui a des meilleurs facteurs de qualité au primaire et au secondaire Q_p , Q_s par rapport au transformateur carré. Ceci peut s'expliquer par la diminution de la longueur physique de la forme octogonale qui réduit la résistance de la spire et les capacités parasites entre les bobines et le substrat silicium.

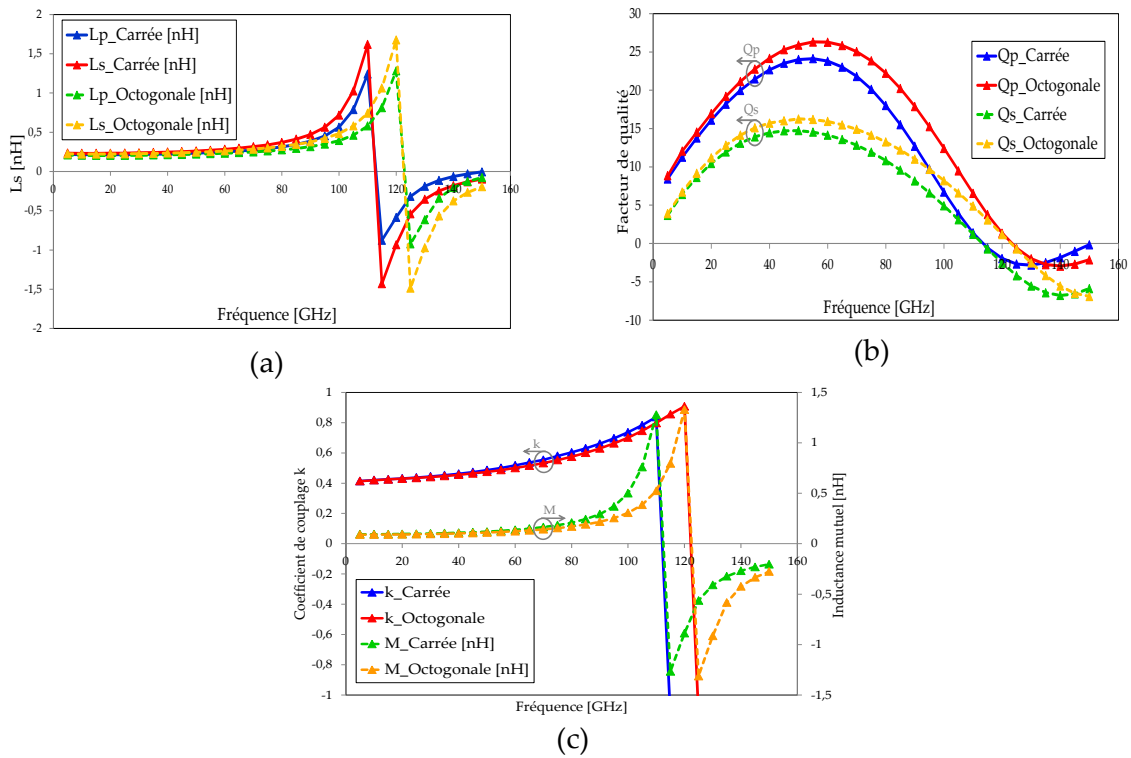


Figure A.-2. Comparaison des inductances des enroulements (a), des facteurs de qualité (b), des inductances mutuelles et coefficients de couplage entre le transformateur octogonal et le transformateur carré (simulation 3D)

En ce qui concerne le couplage, nous avons remarqué que l'inductance mutuelle et le couplage du transformateur octogonal sont légèrement plus grands que ceux du transformateur carré avant sa première fréquence de résonance. Cependant, le dispositif octogonal possède une bande passante plus large que le dispositif carré du fait de la diminution des capacités parasites, qui sont responsables du phénomène de résonance.

D'autre part, il présente un meilleur couplage magnétique k et une inductance mutuelle M plus grande au voisinage de sa fréquence de résonnance. Le Tableau A.-1 présente l'amélioration en pourcentage par l'utilisation de la forme octogonale.

Paramètres	Forme carrée	Forme octogonale	Amélioration en %
$D_{out} [\mu m]$	100	100	N/A
$w [\mu m]$	10	10	N/A
$f_{résonnance} [GHz]$	110	120	9
$Q_p max$	24.1	26.3	9.1
$Q_s max$	14.7	16.2	10.2
$M max [nH]$	1.3	1.32	3.9
$k max$	0.83	0.9	8.4

Tableau A.-1. Comparaison entre le transformateur carré et le transformateur octogonal

Pour toutes ces raisons, nous avons démontré que le transformateur octogonal présente plus d'avantages que le transformateur carré.

- **Bouclier flottant de substrat silicium**

Nous avons remarqué que le substrat silicium possède une nature conductrice, provoquant un effet de proximité entre les conducteurs du transformateur et le substrat. En effet, le champ magnétique créé par l'inductance induit un champ magnétique ou un courant de Foucault dans le substrat, opposé au courant appliqué dans l'inductance comme illustré dans la Figure A.-3-a. De fait, la valeur réelle de l'inductance sera diminuée à cause de ce phénomène.

De plus, ce courant de Foucault génère aussi des pertes Joule dans le volume du substrat, ce qui rajoute de la chaleur pour le dispositif. Nous avons d'ailleurs un courant de fuite vers la masse à cause du couplage capacitif parasite entre la self et le substrat.

Plusieurs méthodes ont été proposées afin de réduire les pertes dues au substrat. Idéalement on remplace le substrat silicium par un substrat isolé [Ng 02]. Par contre, cette méthode demande des étapes supplémentaires sur le procès de fabrication et augmente le coût de fabrication. De ce fait, nous avons des blindages de masse à motif ou en anglais « patterned ground shield (PGS) », qui utilisent le même procès de fabrication sans aucune étape supplémentaire [Yue 98] [Liang 06] [Biondi 06].

L'objectif de l'utilisation des blindages de masse est de réduire la pénétration du champ électrique du conducteur vers le substrat par la création d'un chemin de faible impédance

connectant les blindages à un potentiel de masse commun. De ce fait, la résistance effective de l'écran se rapproche de zéro puis peut améliorer le facteur de qualité de la bobine [Gharnity 06]. Cependant, ce type de blindage nécessite un vrai potentiel de 0 V de référence, ce qui est difficile d'obtenir pour un circuit intégré [Cheung 06].

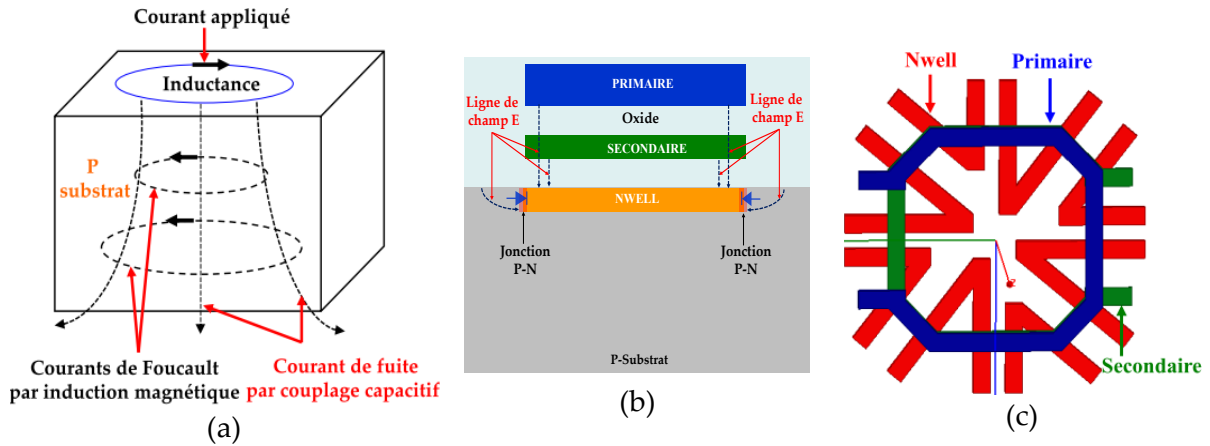


Figure A.-3. Courants induits dans le substrat silicium (a), empêchement des lignes des champs parasites par le blindage NWELL (b), layout du bouclier de substrat par le caisson NWELL (c)

Nous pouvons aussi utiliser des blindages flottants qui ne demandent pas un potentiel de référence nul pour augmenter le facteur de qualité des inductances [Cheung2 06]. De plus, différents matériaux ont été utilisés pour la constitution des blindages tels le polysilicium, les couches métalliques inférieures [Leite 09-02], les couches N+/P+ [Liang 06] ou la couche NWELL [Yim 02].

Pour nos travaux, nous nous sommes orientés vers une solution de blindage flottant en forme de «V» en utilisant le caisson NWELL, apportant un plus fort niveau de dopage que le substrat et permettant donc de s'affranchir de ce problème. En effet, le caisson NWELL avec un substrat silicium de type p, peut présenter des diodes parasites en têtes bêches comme montré dans la Figure A.-3-b. Cette jonction NWELL constituerait un bouclier flottant qui bloquerait complètement les lignes de champs induits dans le substrat à l'interface entre Si-SiO₂ (Figure A.-3-c), présentant ainsi une solution efficace pour isoler le substrat silicium.

La Figure A.-4 montre que l'utilisation de blindage NWELL peut réduire la densité du courant qui circule dans le substrat silicium et ainsi améliorer les facteurs de qualité Q_p , Q_s des enroulements comme prévu (Figure A.-5-a).

Nous remarquons également que le coefficient de couplage et l'inductance mutuelle sont plus élevés en utilisant le blindage NWELL. Le Tableau A.-2 nous montre les avantages de l'utilisation du blindage NWELL. Basé sur ces résultats, nous pouvons dire que le transformateur octogonal avec le bouclier flottant NWELL est la topologie optimale pour nos travaux.

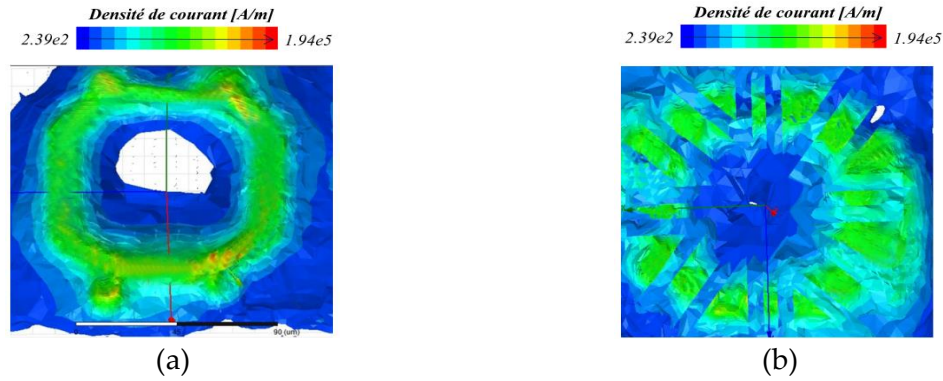


Figure A.-4. Résultats de la simulation de la densité du courant dans substrat sans blindage NWELL (a) et avec blindage NWELL

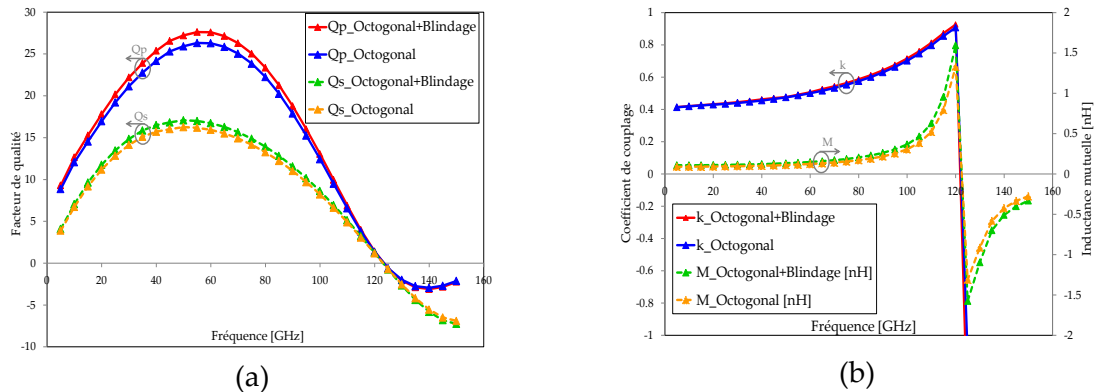


Figure A.-5. Comparaisons des facteurs de qualité (a) des couplages (b) sans blindage NWELL et avec blindage NWELL

Paramètres	Forme octogonale	Forme octogonale et blindage NWELL	Amélioration en %
$D_{out} [\mu m]$	100	100	N/A
$w [\mu m]$	10	10	N/A
$f_{résonance} [GHz]$	120	120	0
$Q_p \max$	26.3	27.6	4.9
$Q_s \max$	16.2	17.1	5.5
$M \max [nH]$	1.32	1.59	20.4
$k \max$	0.9	0.92	2.2

Tableau A.-2. Comparaison entre le transformateur octogonal et le transformateur octogonal avec le blindage NWELL.

Circuit de pilotage intégré pour transistor de puissance

Résumé : Ces travaux de thèse s'inscrivent dans le cadre d'une collaboration entre les laboratoires G2ELAB et IMEP-LAHC en lien avec le projet BQR WiSiTUDe (Grenoble-INP).

Le but de cette thèse concerne la conception, modélisation et caractérisation du driver intégré pour transistors de puissance à base d'un transformateur sans noyau pour le transfert isolé d'ordres de commutation.

La thèse est composée de deux grandes parties : - Une partie de la conception, la modélisation et la caractérisation du transformateur intégré dans deux technologies CMOS 0.35 μm bulk et CMOS 0.18 μm SOI. - Une partie de la conception, la simulation et la mise en œuvre de deux circuits de commande intégrée dans ces deux technologies. Ainsi, l'aspect du système du convertisseur de puissance sera étudié en proposant une nouvelle conception couplée commande/puissance à faible charge.

Les résultats de ce travail de thèse ont permis de valider les approches proposées. Deux modèles fiables (électrique 2D et électromagnétique 3D) du transformateur ont été établis et validés via une réalisation CMOS 0.35 μm standard. De plus, un driver CMOS bulk, intégrant l'ensemble du transformateur sans noyau avec plusieurs fonctions de pilotage de la commande rapprochée a été caractérisé et validé. Finalement, un driver générique a été conçu en technologie CMOS SOI, intégrant dans une seule puce les étages de commande éloignée, l'isolation galvanique et la commande rapprochée pour transistors de puissance. Ce driver présente nombre d'avantages en termes d'interconnexion, de la consommation de la surface de silicium, de la consommation énergétique du driver et de CEM.

Les perspectives du travail de thèse sont multiples, à savoir d'une part l'assemblage 3D entre le driver et le composant de puissance et d'autre part les convertisseurs de multi-transistors.

Mots clés : Driver intégré, transformateur sans noyau magnétique, driver isolé, intégration CMOS, intégration SOI, intégration monolithique.

Integrated driver for power transistor

Abstract: This thesis work focuses on the design, modelling and the implementation of integrated drivers for power transistors based on CMOS coreless transformer. The main objectives of thesis are the design, modeling and characterization of coreless transformer in two technologies CMOS 0.35 μm bulk and CMOS 0.18 μm SOI, as well as the design and the characterization of two integrated drivers in these two technologies. The results of thesis allow us to validate our proposal models for coreless transformer: 2D electrical model and 3D electromagnetic model. Moreover, one CMOS bulk isolated driver which monolithically integrates the coreless transformer, the secondary side control circuit for power transistors has been fabricated and validated for both high side and low side configuration in a Buck converter. Finally, a CMOS SOI isolated driver is designed; integrates in one single chip the external control, the coreless transformer and the close driver circuit for power transistors. This one-chip solution presents a numerous advantages in term of interconnect parasitic, energy consumption, silicon surface consumption, and EMI with a high level of galvanic isolation. The perspectives of this SOI driver are multiple, on the one hand, are the 3D assemblies between driver/power transistors and on the other hand, are the multiple-switch converter.

Keywords: Integrated driver, coreless transformer, isolated driver, CMOS driver, SOI driver, monolithic integration.